

논문 2014-51-11-12

2 단계 자동 진폭 캘리브레이션 기법을 적용한 넓은 튜닝 범위를 갖는 클래스-C 타입 전류 재사용 전압제어발진기 설계

(A Class-C type Wideband Current-Reuse VCO With 2-Step Auto Amplitude Calibration(AAC) Loop)

김 동 영*, 최 진 욱*, 이 동 수*, 이 강 윤**

(Dongyoung Kim[Ⓞ], Jinwook Choi, Dongsoo Lee, and Kang-Yoon Lee)

요 약

본 논문에서는 전류-재사용 구조를 사용하여 1.95 GHz~3.15 GHz 의 광범위한 튜닝 범위를 갖는 저전력 전압 제어 발진기 (VCO)를 설계하였다. 클래스-C 타입을 적용하여 위상 잡음 특성을 향상 시켰으며, 2 단계 자동 진폭 캘리브레이션 기법을 통해 전류-재사용 전압제어발진기 구조의 가장 큰 단점인 차동 출력 전압간의 불균형을 최소화 하였다. 차동 출력 전압간의 차이는 1.5mV ~ 4.5mV 가량으로 나타나며, 이는 출력 전압의 0.6% 이내 오차이다. 제안하는 전류-재사용 전압제어발진기는 CMOS 0.13 μm 공정을 사용하여 설계 하였다. 공급 전압은 1.2 V를 사용하였고, 소모 전류는 2.3 GHz에서 2.6 mA이다. 출력 주파수가 2.3 GHz에서 위상 잡음은 -116.267 dBc/Hz(@1MHz Offset)이며, 레이아웃 면적은 720 X 580 μm^2 이다.

Abstract

In this paper, a design of low power Current-Reuse Voltage Controlled Oscillator (VCO) which has wide tuning range about 1.95 GHz ~ 3.15 GHz is presented. Class-C type is applied to improve phase noise and 2-Step Auto Amplitude Calibration (AAC) is used for minimizing the imbalance of differential VCO output voltage which is main issue of Current-Reuse VCO. The mismatch of differential VCO output voltage is presented about 1.5mV ~ 4.5mV. This mismatch is within 0.6 % compared with VCO output voltage. Proposed Current-Reuse VCO is designed using CMOS 0.13 μm process. Supply voltage is 1.2 V and current consumption is 2.6 mA at center frequency. The phase noise is -116.267 dBc/Hz at 2.3GHz VCO frequency at 1MHz offset. The layout size is 720 X 580 μm^2 .

Keywords : Current-Reuse VCO, Class-C type VCO, Auto Amplitude Calibration (AAC), Low power VCO

I. 서 론

* 학생회원, ** 정회원, 성균관대 정보통신대학
(Department of Semiconductor and Display
Engineering, Sungkyunkwan University)

Ⓞ Corresponding Author(E-mail: dongang0@skku.edu)

※ 본 연구는 미래창조과학부 및 정보통신산업진흥원
의 대학 IT연구센터 지원사업의 연구결과로 수행되
었음.(NIPA-2013-(H0301-13-1013)

접수일자: 2014년06월24일, 수정일자: 2014년10월13일
게재확정: 2014년11월01일

최근 급성장하고 있는 무선 어플리케이션 시장에서 RF 무선 송수신기의 저전력, 고집적 등의 성능을 요구하고 있다. 더불어 근래 이용 가능한 주파수의 대역 폭이 끊임에 따라 무선 통신 시스템에서는 고주파 대역을 사용하고 있다. 이와 같은 요구 사항을 만족하고 신뢰도 있는 통신 시스템을 구현하기 위해서는 RF 시스

템을 구성하는 요소 중에 하나이고, 주파수를 구현하는 데 사용되는 전압제어발진기 역할의 중요성이 점점 부각된다. 그리하여 현재 저전력, 저잡음, 고주파 동작 등의 성능을 가진 수많은 전압제어발진기가 CMOS 공정을 사용하여 개발되고 있다^[1~2].

무선 송수신기를 구성하고 있는 블록들 중에서 전압제어발진기는 전류를 많이 소모하는 블록 중 하나이다. 그러므로 저전력 무선 송수신기를 구현하기 위해서는 전압제어발진기에서 전력 소모를 최소화하면서 낮은 위상 잡음 특성을 갖는 저전력 전압제어발진기 구현이 필수적이다. 저전압, 저전력의 전압제어발진기를 설계하기 위한 기존 기술에는 비표준적인 공정을 사용하는 방법이나, 높은 Q 값을 갖기 위해 외부 인덕터 소자를 사용하는 방법 등이 있다^[3]. 요즘에는 CMOS 공정을 이용하여 이론적으로는 일반적인 컴플리멘터리 전압제어발진기 구조에서 소모하는 전류의 절반 가량을 줄일 수 있는 전류-재사용 전압제어발진기 구조가 활발히 연구되고 있다^[4].

일반적인 컴플리멘터리 CMOS 전압제어발진기와 비교했을 때, 전류-재사용 전압제어발진기는 비대칭적인 구조 및 동작으로 인하여 차동 출력 단에서 전압 레벨의 불균형을 야기할 수 있다^[1]. 이로 인해 출력 단에서 잡음 및 왜곡 등의 현상이 발생하여 전체적인 시스템 성능에 영향을 끼치게 된다.

앞서 언급한 전류-재사용 전압제어발진기의 가장 큰 문제점인 차동 출력 전압 간의 불균형을 해결하기 위해서는 네거티브-Gm 바이어스 전압을 알맞게 인가하여 전압제어발진기 차동 출력 전압의 스윙을 최대로 가져가서 불균형을 최소화 하거나^[2], 저항을 NMOS 혹은 PMOS의 드레인 단이나 소스 단에 적절히 삽입하여 전압제어발진기에 흐르는 DC 전류를 조절함으로써 출력 전압의 불균형을 최소화 시키는 방안 등이 있다^[5].

본 논문에서는 넓은 튜닝 범위를 갖는 클래스-C 타입 전류-재사용 전압제어발진기를 설계하였다. 전류-재사용 전압제어발진기의 차동 출력 전압 간의 불균형을 최소화하기 위해서 2-스텝 자동 진폭 캘리브레이션 기법을 적용하였고, 이 기법은 넓은 튜닝 범위를 갖도록 전압제어발진기의 DC 전류를 조절하는 역할도 하게 된다. 2-스텝 자동 진폭 캘리브레이션 루프를 통해서 클래스-C 타입으로 구성된 전류-재사용 전압제어발진기의 네거티브-Gm 바이어스 전압을 1차적으로 조정하게

되며, 그 후 NMOS 소스 단에 연결된 저항 값을 조절하여 전체적인 DC 전류와 전압제어발진기의 차동 출력 레벨 등을 조정하게 된다.

II. 본 론

1. 일반적인 전압제어발진기와 전류-재사용 전압제어발진기의 구조 및 동작 원리

가. 일반적인 전압제어발진기와 전류-재사용 전압제어발진기의 구조

전류-재사용 전압제어발진기의 동작이 기존의 컴플리멘터리 전압제어발진기의 구조 및 동작 원리의 차이는 다음과 같다. [그림 1]은 일반적인 전압제어발진기의 회로도 와 전류-재사용 전압제어발진기의 회로도를 나타낸다. [그림 1 (a)]에 나타나 있는 회로는 일반적인 전압제어발진기의 회로도이며, 네거티브-Gm이 컴플리멘터리 구조로써 NMOS, PMOS를 이용하여 구성되어 있다. [그림 1 (b)]는 전류-재사용 전압제어발진기의 회로도이다. 기존 일반적인 구조와 다른 점은 컴플리멘터리로 구성된 네거티브-Gm이 NMOS와 PMOS가 각각 하나씩 제거되어 있는 상태이며, 공급 전압에서 그라운드로 형성된 전류 패스는 유일하다는 것이다.

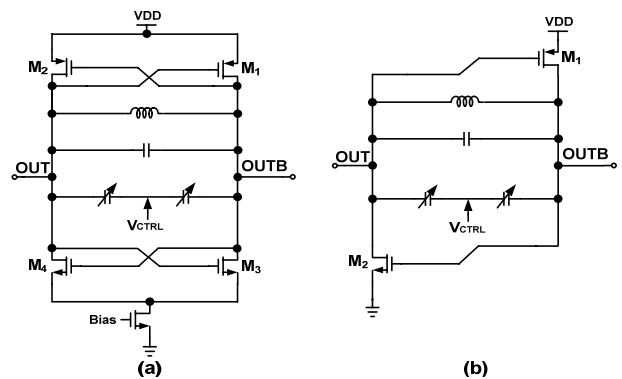


그림 1. (a) 일반적인 전압제어발진기와 (b) 전류-재사용 전압제어발진기의 회로도
Fig. 1. (a) Conventional Voltage Controlled Oscillator (b) Current-Reuse Voltage Controlled Oscillator.

나. 일반적인 전압제어발진기와 전류-재사용 전압제어발진기의 동작 원리

[그림 2]는 일반적인 전압제어발진기의 동작 원리를 나타내며, 발진이 시작된 이후, 차동 출력 단에서의 파

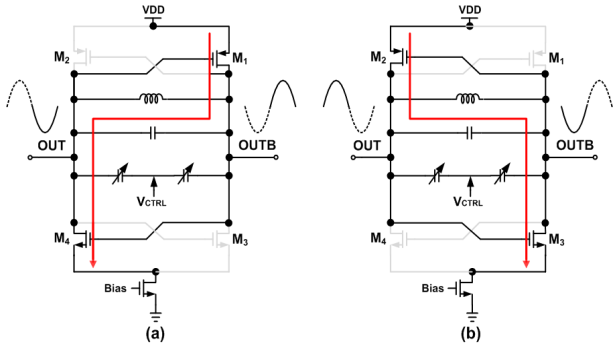


그림 2. 일반적인 전압제어발진기의 한 주기 동작 (a) 첫 번째 반 주기 동작 (b) 두 번째 반 주기 동작

Fig. 2. Operation of Conventional VCO (a) 1st Half period operation (b) 2nd Half period operation.

형에 따른 한 주기 동안의 동작을 나타낸다. [그림 2 (a)]에 나타난 바와 같이 첫 반주기 동안에 차동 출력 단(OUT, OUTB)에서 스윙이 다음과 같이 나타난다고 가정해보자. OUT 단에서는 NMOS M4가 동작 영역에 들어가게 되고, OUTB 단에서는 PMOS M1이 켜지게 된다. 그리하여 공급 전압에서부터 M₂ ~ M4를 거쳐 그라운드로 연결 되는 DC 전류 패스가 형성되며 동작을 하게 된다. 이와 반대로 다음 반 주기 동안에는 [그림 2 (b)]와 같이 동작을 하게 되는데, [그림 2 (a)]와는 반대로 M2, M3가 켜지게 되어 공급 전압에서부터 그라운드로 연결되는 DC 전류 패스를 형성한다. 이와 같은 동작이 주기적으로 나타나게 되는데 주목해야 할 점은 DC 전류 패스가 서로 대각선에 놓여진 PMOS, NMOS 쌍에 의해서 형성된다는 점이다.

다음으로 전류-재사용 전압제어발진기의 동작 원리에 대해서 살펴보자. [그림 3]을 보면 일반적인 전압제어발진기의 전류 패스에 비해 전류-재사용 전압제어발진기에서는 한 주기 동안에 공급 전압에서 그라운드로 형성되는 전류 패스가 하나로 줄어드는 것을 볼 수 있다. 그러므로 전류-재사용 전압제어발진기는 비대칭 구조를 갖게 된다. 이를 동작 원리와 함께 보게 되면 전압제어발진기의 차동 출력에 불균형을 예상할 수 있는데, [그림 3 (a)]와 같이 동작을 할 때, 차동 출력 단의 전압 크기는 공급 전압에 의해 제한이 되며^[7], [그림 3 (b)]처럼 동작 시에는 L, C에 의해 전류 패스가 형성되기 때문에 인덕터를 통한 출력 전압 스윙의 제한이 없어서 공급 전압보다 더 크게 스윙할 수 있다. 주기적으로 이러한 동작들이 반복될 경우에는 각각의 반 주기

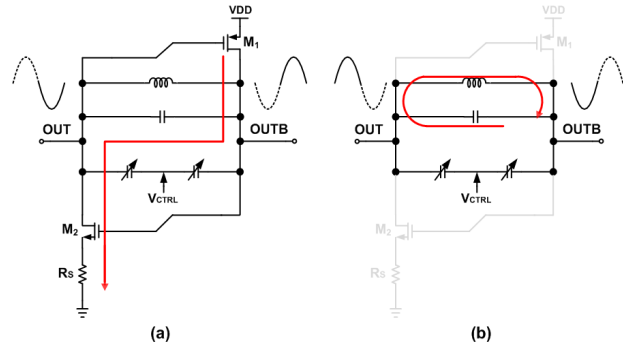


그림 3. 전류-재사용 전압제어발진기의 한 주기 동작 (a) 첫 번째 반 주기 동작 (b) 두 번째 반 주기 동작

Fig. 3. Operation of Current-Reuse VCO (a) 1st Half period operation (b) 2nd Half period operation.

동안에 다이내믹 전류 차이에 의해 [그림 3 (a)]의 경우 차동 출력 전압의 왜곡이 발생하게 된다.

전류-재사용 전압제어발진기는 기존의 일반적인 구조보다 전류를 소모하는 공급 전압에서 그라운드까지의 전류 패스가 절반으로 줄어들어서 이론적으로는 전류 소모량이 1/2 가량으로 줄어들게 된다^[6].

다. 제안하는 2 단계 자동 진폭 캘리브레이션 기법을 적용한 전류-재사용 전압제어발진기

앞서 설명한 바와 같이 전류-재사용 전압제어발진기 구조에서의 가장 큰 이슈 사항은 출력 전압의 불균형이다. 이를 해결하기 위해 네거티브-Gm 바이어스 전압을 알맞게 인가하여 전압제어발진기 출력 전압 스윙을 최대로 가져가서 불균형을 최소화 한다거나^[2], 저항을 NMOS 혹은 PMOS의 드레인이나 소스 단에 적절히 삽입하여 전체 전류를 조절함으로써 출력 전압의 불균형을 줄이는 방안 등이 있다^[5].

본 논문에서는 2 단계 자동 진폭 캘리브레이션 기법을 통하여 클래스-C 타입으로 구성된 네거티브-Gm의 게이트에 전압을 인가하고, NMOS 소스 단에 연결된 저항 값을 조절함으로써 출력 전압의 불균형을 최소화 하였다.

[그림 4 (a)] 제안하는 전류-재사용 전압제어발진기 구조이다. 클래스-C 타입으로 구성되어 있어서 네거티브-Gm의 게이트 바이어스를 인가하는 구조이며, NMOS 소스 단에 저항을 연결하여 다이내믹 전류를 조절하며 출력 전압의 불균형을 최소화 할 수 있도록 설계하였다. 또한 8 비트로 이뤄진 커패시터 뱅크를 사용

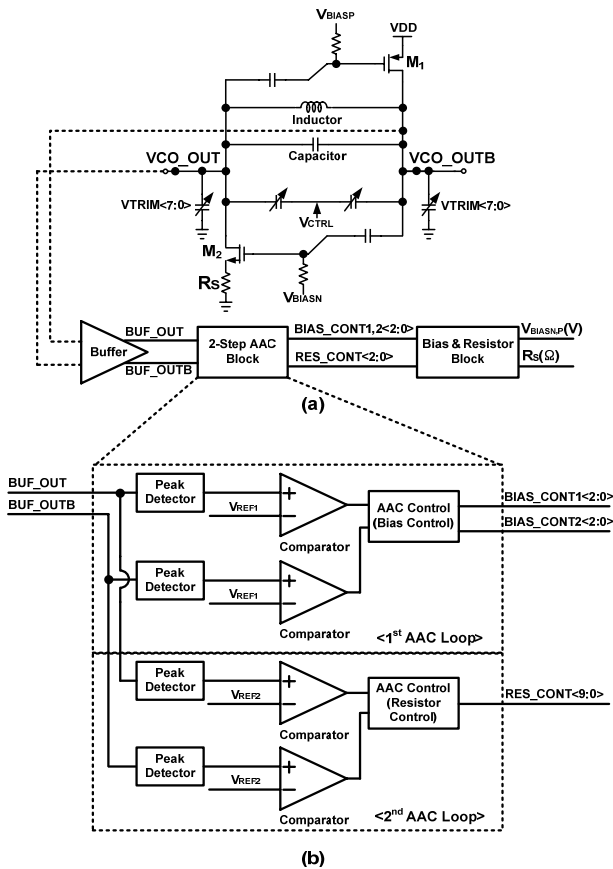


그림 4. (a) 제안하는 클래스-C 전류-재사용 전압제어발진기 회로도 (b) 2 단계 자동 진폭 캘리브레이션 블록

Fig. 4. (a) Proposed Circuit of Class C type Current-Reuse VCO (b) 2-Step Auto Amplitude Calibration(AAC) Loop.

함으로써 1.95GHz~3.15GHz의 주파수 범위를 갖게 된다. [그림 4 (b)]는 2 단계 자동 진폭 캘리브레이션 루프 블록 다이어그램이다.

1st 자동 진폭 캘리브레이션 루프에서는 네거티브-Gm의 게이트에 인가되는 바이어스 전압을 결정한다. 동작을 살펴보면 우선 버퍼를 통과한 전압제어발진기의 출력을 피크 감지기를 사용하여 출력 전압의 최대치를 감지한 후에 비교기를 이용하여 기준 전압(VREF1)과 비교하게 된다. 그 후, 기준 전압에 따라 비교기가 동작하게 되며 컨트롤 비트를 조절하며 (BIAS_CONT1<2:0> 또는 BIAS_CONT2<2:0>) 게이트 바이어스를 결정하게 된다.

첫 번째 루프 동작 후 두 번째 루프가 동작하게 된다. 2nd 자동 진폭 캘리브레이션 루프를 통해서 기준 전압(VREF2)에 따라 10비트로 이루어진 RES_CONT

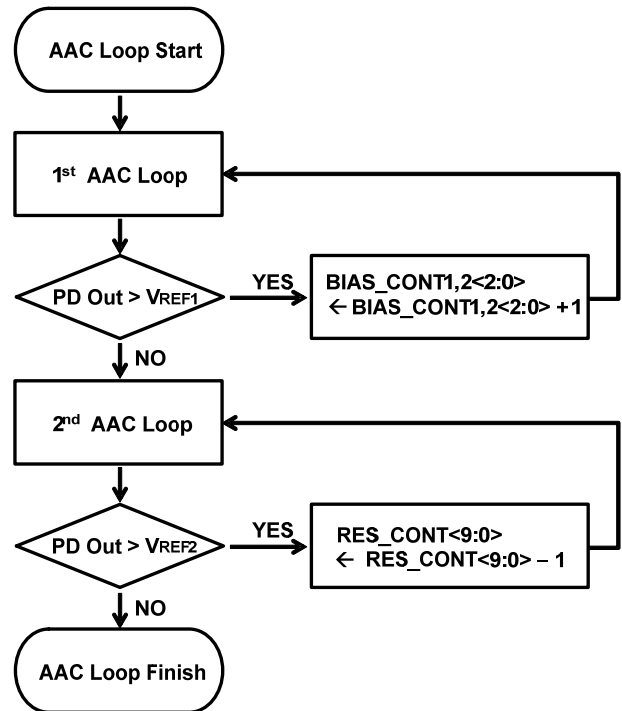


그림 5. 2단계 자동 진폭 캘리브레이션 루프 플로우 차트

Fig. 5. 2-step Auto Amplitude Calibration Loop Flow Chart.

<9:0>을 조절하며 NMOS 소스 단에 연결된 RS 값을 바꿔준다. 이로 인해 최종적으로 전압제어발진기 출력 전압의 스윙 폭 및 다이내믹 전류를 결정하게 된다.

[그림 5]는 앞서 설명한 2 단계 자동 진폭 캘리브레이션 루프에 대한 플로우 차트를 나타낸다.

III. 실험

[그림 6]은 1st 자동 진폭 캘리브레이션 루프의 시뮬레이션 결과를 나타낸다. [그림 4 (b)]에 표기된 것처럼 전압제어발진기의 출력이 버퍼를 통과 한 후에 피크 감지기로 출력 전압의 스윙을 감지한다.

[그림 6]은 피크 감지기 출력과 바이어스 전압이 비교기에서 비교가 이뤄지고 그에 따라 BIAS_CONT1,2<2:0> 신호가 변하는 과정을 나타낸다. BIAS_CONT1, 2<2:0> 신호에 따라 네거티브-G 바이어스 값인 VBIAS_N,P 값이 변하고 이어서 전압제어발진기의 출력 값이 변함을 피크 감지기 출력 값이 떨어지는 것을 통해 확인할 수 있다.

[그림 7]은 2nd 자동 진폭 캘리브레이션 루프 시뮬레

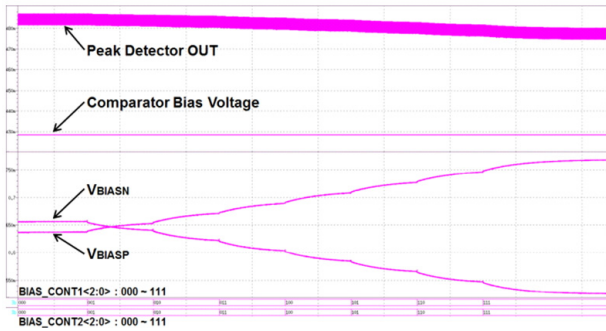


그림 6. 1st 자동 진폭 캘리브레이션 루프 시뮬레이션 결과
 Fig. 6. 1st Auto Amplitude Calibration Loop simulation results.

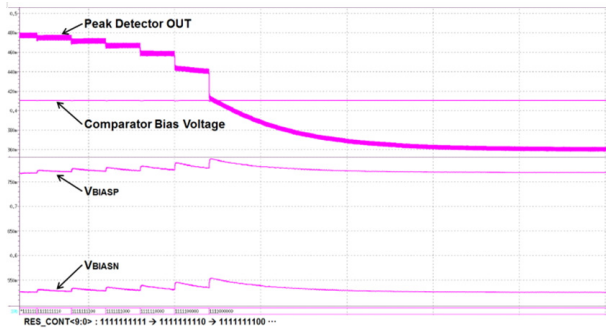


그림 7. 2nd 자동 진폭 캘리브레이션 루프 시뮬레이션 결과
 Fig. 7. 2nd Auto Amplitude Calibration Loop simulation results.

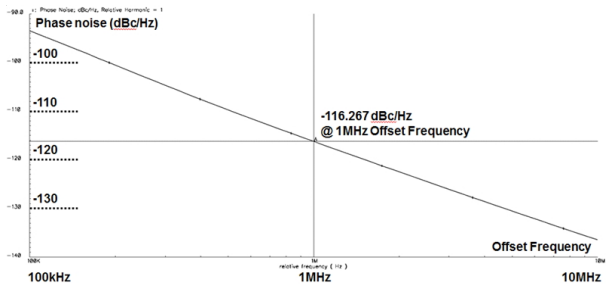


그림 8. 제안하는 전류-재사용 전압제어발진기의 위상 잡음
 Fig. 8. Phase Noise of Proposed VCO.

이전 결과를 나타낸다. 이번 루프에서는 [그림 3 (a)]에 나타나있는 NMOS 소스 단의 저항을 바꾸며 전압제어 발진기 출력 및 전체 다이내믹 전류를 조정하게 된다. [그림 7]에 나와 있듯이 저항을 조절하는 RES_CONT <9:0>은 초기 값 "111111111"을 갖게 되며, 비교기 결과에 따라 LSB부터 1 -> 0으로 변하게 된다.

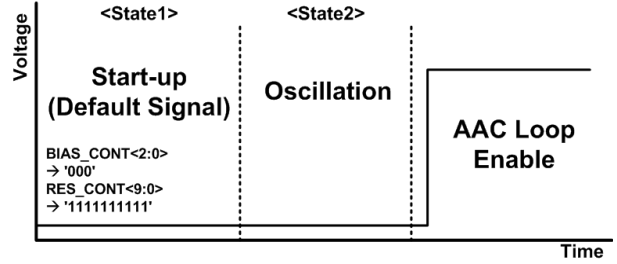


그림 9. 시뮬레이션 조건
 Fig. 9. Simulation condition.

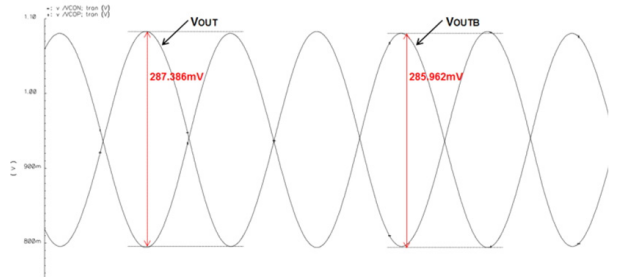


그림 10. 제안하는 전압제어발진기의 출력
 Fig. 10. Current Reuse VCO output.

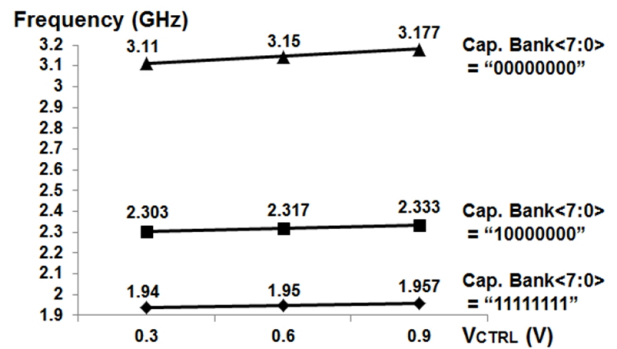


그림 11. 제안하는 전압제어발진기의 주파수 튜닝 범위
 Fig. 11. Tuning Range of proposed VCO.

[그림 8]은 제안하는 전압제어발진기의 위상 잡음 특성을 나타낸다. 2.3GHz에서 위상 잡음은 1MHz Offset 에서 -116.267dBc/Hz이며, 전류 소모량은 2.6mA이다.

[그림 9]는 시뮬레이션 조건을 나타내며, [그림 10]은 그 조건에 따라 시뮬레이션을 했을 때 전압제어발진기의 출력을 나타낸다. 스타트-업을 한 후, 전류-재사용 전압제어발진기의 출력이 안정화 되었을 때 자동 진폭 캘리브레이션 루프를 동작 시켜 진행하였다.

[그림 10]은 제안하는 전압제어발진기의 출력을 나타낸다. 차동 출력 전압 간의 차이는 약 1.5mV~4.5mV 가량 갖는다.

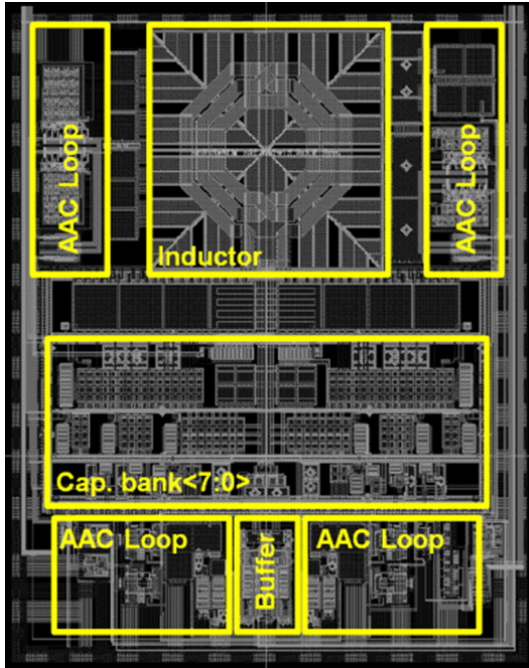


그림 12. 제안하는 전압제어발진기 레이아웃
Fig. 12. Layout of Proposed VCO.

표 3. 성능 요약표
Table 3. Performance Summary.

공정	CMOS 0.13 μ m
공급 전압	1.2V
주파수 튜닝 범위	1.95GHz ~ 3.15GHz
Δ 전압제어발진기 출력	~4.5mV (0.6% 이내)
위상 잡음 (@ 1MHz offset) @ 2.3GHz	-116.267 dBc/Hz
소모 전류 @ 2.3GHz	2.6 mA
FoMT (dBc/Hz)	-192.3

[그림 11]은 제안하는 전압제어발진기의 주파수 튜닝 범위를 나타낸다. 주파수 튜닝 범위는 1.95GHz~3.15GHz 이다.

[그림 12]는 제안하는 전압제어발진기의 레이아웃이다. 면적은 750 μ m X 850 μ m 이다.

[표 1]은 성능 요약표를 나타낸다. CMOS 0.13 μ m 를 사용하였으며 공급 전압은 1.2V이다. 전압제어발진기의 출력 전압 차이는 4.5mV 이내로 나타나고, 이는 전 출력 범위에서 0.6% 이내이다. 위상 잡음은 2.3GHz에서 -116.267 dBc/Hz (@1MHz)를 갖는다. 전류 소모량은 2.6mA이다. FoMT (Figure of Merit with the frequency tuning range)는 다음과 같은 식으로 계산되었다.

$$FoMT = \mathcal{L}(f_{offset}) - 20\log\left(\frac{f_o}{f_{offset}}\right) + 10\log\left(\frac{P_{DC}}{1mW}\right) - 20\log\left(\frac{FDR}{10}\right) \quad (1)$$

$\mathcal{L}(f_{offset})$ 은 위상 잡음을 나타내며, f_{offset} 은 오프셋 주파수, f_o 는 발진 주파수, P_{DC} 는 전력 소모량, FDR 은 주파수 튜닝 범위를 나타낸다.

IV. 결 론

본 논문에서는 넓은 튜닝 범위를 갖는 클래스-C 타입 전류-재사용 전압제어발진기를 설계하였다. 출력 전압의 불균형을 최소화시키기 위해 2 단계 자동 진폭 캘리브레이션 루프를 통하여 네거티브-Gm 게이트 바이어스 전압 및 저항 등을 조절하였다. 출력 전압의 차이는 4.5mV 이내이며, 2.3GHz에서 위상 잡음은 -116.267 dBc/Hz (@ 1MHz)이다. 전류 소모는 2.6mA 이다.

REFERENCES

- [1] Chin-Lung Yang, Yi-Chyun Chiang, "Low Phase-Noise and Low-Power CMOS VCO Constructed in Current-Reused Configuration", IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 18, NO. 2, FEBRUARY 2008
- [2] Teerachot Siriburanon, Wei Deng, Kenichi Okada, Akira Matsuzawa, "A Current-Reuse Class-C LC-VCO with an Adaptive Bias Scheme", 2013 IEEE Radio Frequency Integrated Circuits Symposium
- [3] KaChun Kwok, Howard C.Luong, "Ultra-Low-Voltage High-Performance CMOS VCOs Using Transformer Feedback", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 3, MARCH 2005
- [4] Ye Zhang, Lei Liao, Muh-Dey Wei, Jan Henning Mueller, Basian Mohr, Aytac Atac, Yifan Wang, Martin Schleyer, Ralf Wunderlich, Renoto Negra, Stefan Heinen, "A 2.4-GHz Low Power High Performance Frequency Synthesizer Based on Current-Reuse VCO and Symmetric Charge Pump", 2013 IEEE Radio Frequency Integrated Circuits Symposium

[5] Wenrong Ying, Peng Qin, Jing Jin, Tingting Mo, "A 1mW 5GHz Current Reuse CMOS VCO with Low Phase Noise and Balanced Differential Outputs", 2011 International Symposium on Integrated Circuits

[6] Seok-Ju Yun, So-Bong Shin, Hyung-Chul Choi, Sang-Gug Lee, "A 1mW Current-Reuse CMOS Differential LC-VCO with Low Phase Noise", in Proc. IEEE Int. Solid-State Circuits Conf., Feb 2005, PP. 540-616

[7] Ali Hajimiri and Thomas H. Lee, "Design Issues in CMOS Differential LC Oscillators", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 34, NO. 5, MAY 1999

— 저 자 소 개 —



김 동 영(학생회원)
 2013년 성균관대학교 반도체시스
 템공학과 학사 졸업.
 2013년~현재 성균관대학교 정보
 통신 대학 석사과정
 <주관심분야 : PLL, DC-DC
 Converter>



최 진 욱(학생회원)
 2014년 세종대학교 전자공학과
 학사 졸업.
 2014년~현재 성균관대학교 정보
 통신 대학 석사과정
 <주관심분야 : RF Transceiver,
 Pre. Sensor>



이 동 수(학생회원)
 2012년 건국대학교 전자공학과
 학사 졸업.
 2012년~현재 성균관대학교 정보
 통신 대학 석박통합과정
 <주관심분야 : RF Transceiver,
 Pre. Sensor>



이 강 윤(평생회원)
 2003년~서울대학교 전기공학부
 박사 졸업.
 2000년~2005년 (주) 지씨티리씨치
 책임 연구원.
 2005년~2012년 건국대학교
 전자공학부 부교수
 2012년~현재 성균관대 정보통신대학 부교수
 <주관심분야 : RF · 아날로그 집적회로설계, 아날
 로그/디지털 Mixed Mode 설계>