

나노미터 MOSFET비휘발성 메모리 소자 구조의 탐색

정 주 영[†]

[†]수원대학교 전자공학과

Feasibility Study of Non-volatile Memory Device Structure for Nanometer MOSFET

Ju Young Jeong[†]

[†]Department of Electronic Engineering, The University of Suwon

Abstract

From 20nm technology node, the finFET has become standard device for ULSI's. However, the finFET process made stacking gate non-volatile memory obsolete. Some reported capacitor-less DRAM structure by utilizing the FBE. We present possible non-volatile memory device structure similar to the dual gate MOSFET. One of the gates is left floating. Since body of the finFET is only 40nm thick, control gate bias can make electron tunneling through the floating gate oxide which sits across the body. For programming, gate is biased to accumulation mode with few volts. Simulation results show that the programming electron current flows at the interface between floating gate oxide and the body. It also shows that the magnitude of the programming current can be easily controlled by the drain voltage. Injected electrons at the floating gate act similar to the body bias which changes the threshold voltage of the device.

Key Words : floating body effect, finFET, non-volatile memory, dual gate MOSFET, simulation, kink effect, capacitorless DRAM, SOI

1. 서 론

반도체 기술이 20나노미터 시대로 들어서면서 finFET이 급속히 표준 소자 구조로 자리잡아가고 있다. 특히 실리콘 벌크 웨이퍼 위에 제작한 소자에 비해 SOI(Silicon on Insulator) finFET은 약간 높은 제조 비용에도 불구하고 탁월한 기생성분 억제능력 때문에 지배적인 소자가 될 것으로 기대된다.

finFET은 기본적으로 3차원 소자구조를 갖기 때문에 SOI MOSFET의 body두께를 리소그래피 과정에서 자유자재로 제어할 수 있다. 즉, 현재의 기술로도 22나노미터 두께의 body를 갖는 FDSOI (Fully Depleted SOI) MOSFET의 제작이 용이하다. 하지만 다른 한편으로 종래의 planar 공정기술로 제작하던 소자를 제작하는 것이 매우 어려워지거나 비경제적이 될 수 있다. 그 대

표적인 소자로 floating 게이트와 control게이트 적층 구조의 비휘발성 메모리 소자를 들 수 있다.

시스템 구성에 필수적인 비휘발성 메모리를 같은 공정에서 제작하는 것은 매우 중요한 일이므로 본 논문에서는 finFET 제조공정을 이용해 만들 수 있는 비휘발성 메모리 소자 구조를 찾고 시뮬레이션을 통해 기본적인 특성을 파악해 보았다.

2. 나노미터 비휘발성 메모리 소자

2.1. FBE

FBE (Floating Body Effect)는 8-90년대 SOI MOSFET의 개발 과정에서 큰 관심의 대상이었고 많은 연구가 진행되었다. Gautier등[1]은 잘 설계된 실험의 결과를 바탕으로 한 그들의 탁월한 논문에서 충돌전이에서 발생한 정공을 Kink현상의 원인으로 지목하였다. Fig. 1은 그들의 실험 결과로, 게이트에 펄스를 인가한 후

[†]E-mail : yjeong@suwon.ac.kr

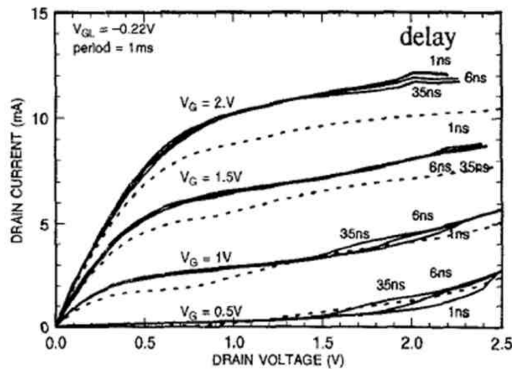


Fig. 1. I_d vs V_d characteristics measured after impact ionization for 1, 6, and 35 nsec. ($L = 0.15 \mu\text{m}$, $W = 25 \mu\text{m}$ PMOSFET) [1].

delay 값에 따라 kink가 발생하는 드레인 전압이 줄어드는 것을 보이고 있다. 이같은 현상은 게이트 전압이 낮을수록 뚜렷한데 수직 전계가 수평 전계에 비해 약해 드레인 근방에서 충돌전이가 커지기 때문이다. 충돌전이 발생시간은 delay에 비례하므로 delay가 길수록 정공이 floating body에 많이 쌓여 body potential을 높여 kink가 두드러진다. Kink를 없애기 위해서는 채널 영역인 body가 열평형 상태에서 모두 공핍영역이 되어 정공의 축적이 일어나지 않아야 한다.

FBE는 오랫동안 SOI MOSFET 응용 분야를 제한하는 요소였으나 2000년대 들어 이것을 바람직한 방향으로 응용하는 연구 결과가 발표되었다.

2.2. 캐패시터가 없는 메모리 소자

DRAM은 1T-1C (one transistor - one capacitor)의 형태로 발전해 왔다. 하지만 MOSFET의 크기가 작아짐에 따라 캐패시터가 차지하는 면적이 지나치게 큰 비중을 차지하게 되었고 그 결과 캐패시터 없는 DRAM연구가 활발히 진행되고 있다. SOI (Silicon On Insulator) 기술을 이용한 1T DRAM은 Fazan 등[2]에 의해 발표되었으며 그 이후 Tanaka 등[3, 4]은 터널링 전류를 이용하여 정보를 기록하는 방법 등을 발표하였다.

위에서 언급한 초기 1T DRAM은 전기적으로 부동인 채널 밑 body영역에서 발생하는 FBE를 이용하여 데이터를 저장한다. 즉, 채널에서 이동하는 높은 에너지 전자의 충돌전이로 발생한 정공이 채널 아래의 body 영역에 축적되어 소자의 문턱전압이나 전류의 크기를 변화시키는 현상을 이용한다. 이 방식은 PDSOI (Partially Depleted SOI)구조에 기반한 것이며, 전기적으로 부동인 body에 축적된 다수 캐리어 정공이 body-

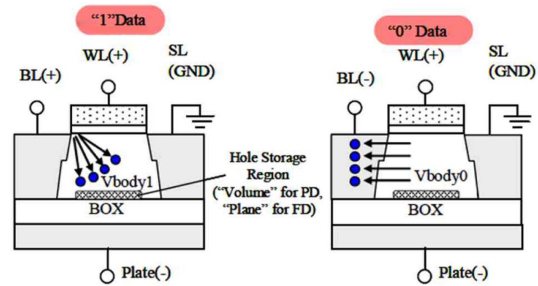


Fig. 2. Programming method for 1T FBRAM. Use the substrate as a bias plate to maintain holes generated by FBE [5].

source간 pn접합을 순바이어스 시켜 캐리어가 유실되는 오류가 발생할 가능성이 있다.

Hamamoto 등[5]은 SOI 구조의 얇은 buried oxide (BOX)를 사용하고 그 아래의 기판을 plate 전극으로 사용하여 충돌전이에 의해 생긴 다수 캐리어 정공을 안정적으로 저장하는 방법을 제안하였고 Floating Body RAM (FBRAM)으로 명명하였다. Fig. 2은 FBRAM의 프로그래밍 과정을 보인 것이다. logic 1은 충돌전이가 일어나도록 BL(bit line)에 (+)바이어스를 인가하고 그 결과 발생한 정공을 (-) 전압이 인가된 BOX위에 모아 프로그래밍한다. 한편 logic 0는 BL에 충분히 큰 (-) 전압을 인가하여 BOX위에 쌓여 있던 정공을 없애서 구현한다. 이 방법은 종래의 방법보다 안정적인 동작특성을 얻을 수 있으나 바이어스를 인가할 전극이 추가로 필요하다.

Sverdlov 등[6]은 1T 구조에 SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 게이트를 갖는 비휘발성 메모리 소자를 제안하였다. 금속 floating 게이트보다 두께를 50%까지 줄일 수 있는 SONOS 게이트 구조는 기존 MOSFET 제조 공정을 그대로 사용할 수 있는 장점이 있다. 이들은 게이트에 인가한 전압의 극성에 따라 전류를 기생 bipolar 접합 트랜지스터가 담당하도록 하여 히스테리시스 특성을 확보함으로써 메모리 소자로 사용할 수 있는 길을 열었다(Fig. 3).

이상에서 살펴 본 캐패시터 없는 메모리 소자는 finFET으로 구현이 가능하다. 그러나 body에 쌓인 전하를 이용해 정보를 저장하기 때문에 전원이 꺼지면 정보가 사라진다. 또, 기술이 소자의 체적을 줄이는 방향으로 진보하는 것과 반대로 body가 최소 체적 이상이 되어야 한다. finFET은 공정 및 소자구조 특성상 body의 두께가 커질수록 소자가 차지하는 면적이 커지므로 두꺼운 body는 캐패시터를 없앤 효과를 상쇄시키게 된다.

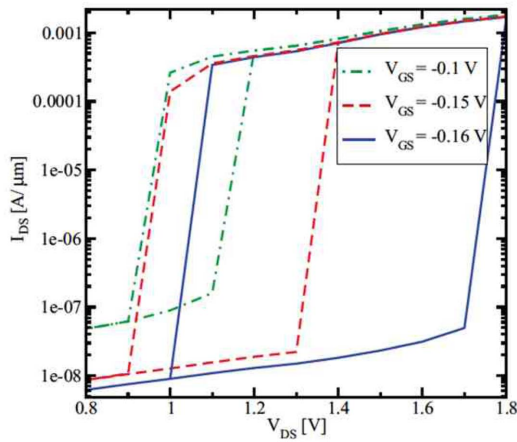


Fig. 3. Hysteresis observed from Id-Vds characteristics of double gate MOSFET with 12.5 nm channel length. [6].

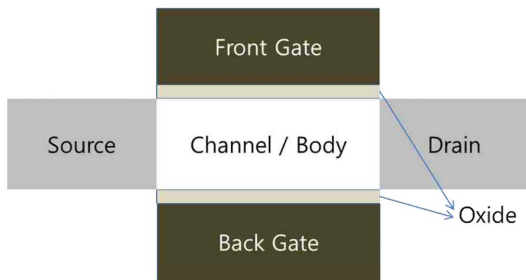


Fig. 4. FinFET based non-volatile memory device structure proposed in this work. One of the two gate is floating.

2.3. FinFET 공정 비휘발성 메모리 소자

Fig. 4는 제안하는 소자의 구조를 간단히 그린것이다. 일반적으로 알려진 dual gate MOSFET의 형태이며 finFET공정에 두꺼운 ILD층을 추가한 후 게이트 금속을 증착한다. 이후 CMP 공정을 통해 상부의 게이트 금속을 ILD가 나타날 때까지 갈아내어 완성한다.

두개로 나뉜 게이트 중 하나는 외부로 연결되는 control 게이트로, 나머지는 floating 게이트로 사용한다.

이 소자의 프로그래밍은 control 게이트에 인가한 전압으로 전자를 floating 게이트 산화막에 주입시켜 달성한다. 프로그래밍 과정에서 주입된 캐리어는 전원이 제거된 후에도 사라지지 않으므로 비휘발성 특징을 갖게 된다.

종래 planar 기술로 두개의 게이트를 적층구조로 만들던 소자에서는 프로그래밍할 때 control 게이트 밑의 산화막을 통해 hot carrier가 터널링하는 관계로 소자

Table 1. Parameters of the device under study.

W / L	1000 nm / 50 nm
Gate oxide Tox	2nm
Channel doping	1E17 /cm3
Gate work function	4.7eV
Body thickness	40nm

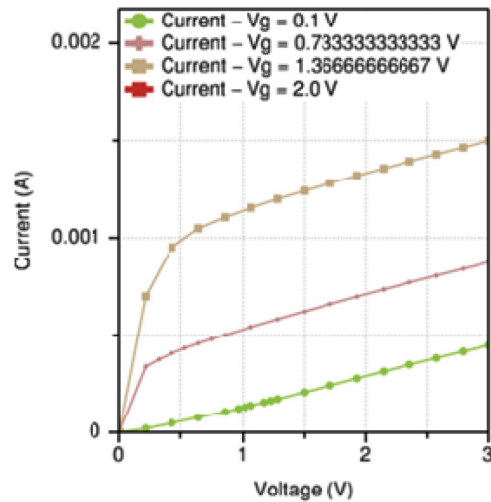


Fig. 5. Id-Vd characteristics of the device under simulation.

수명에 나쁜 영향을 미쳤지만 제안하는 소자는 별도의 floating 게이트 산화막을 통해 프로그래밍하므로 신뢰도를 높일 수 있다.

3. 실험과 결과

3.1. 소자 파라미터

시뮬레이션에 사용된 소자는 Table 1과 같다. 소자의 전기적 특성을 파악하기 위한 시뮬레이션은 Padre[7]와 MOSFet[8]를 이용하였다.

Fig. 5는 소자의 드레인 전압에 따른 전류특성을 실험한 결과로 문턱전압은 0.3 V이다. 포화영역에서 드레인 전압에 따라 전류가 선형적으로 증가하는 것은 기생 바이폴라 트랜지스터의 누설전류에 의한 것이다.

Fig. 6은 Vgs = 1V, Vds = 0.8 V인 상태에서 포텐셜과 전자 농도의 등고선을 나타낸 것으로 콘트롤 게이트 아래에 반전층이 생기고 수직 전계가 집중되는 것을 볼 수 있다. 아울러 반전층 아래 기생 npn트랜지스터에 의한 전자의 흐름도 볼 수 있는데 드레인 전압이 낮아질수록 표면으로 집중됨을 확인하였다.

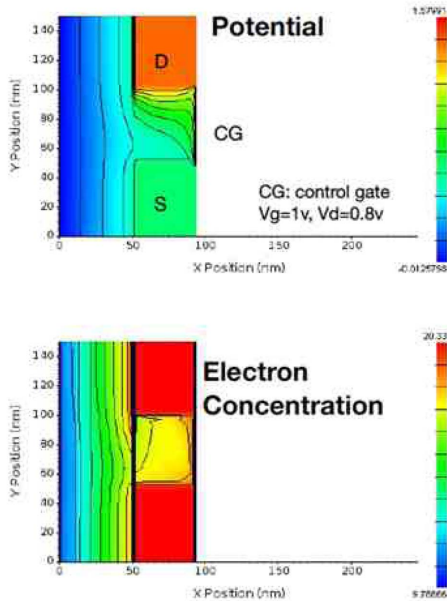


Fig. 6. Contour of potential and electron concentration at $V_{gs} = 1$ V, $V_{ds} = 0.8$ V

3.2. 프로그래밍 메커니즘

소자의 비휘발성 프로그래밍은 콘트롤 게이트에 인가한 전압으로 반대편 floating 게이트 또는 산화막에 전자를 주입하여 이루어진다. 즉, control 게이트에 음(-)의 전압을 인가하여 전자를 밀어냄으로써 소오스에서 드레인으로 움직이는 전자들이 floating 게이트 방향으로 터널링하도록 한다. 수직 전계는 게이트에 프로그래밍 전압 2 V를 인가했을 때 $2.5E5$ v/cm 수준으로 발생하게 된다.

Fig. 7은 소자의 I_d - V_g 특성 곡선으로 게이트 전압이 음(-)인 영역에서 비교적 일정한 전류가 흐르는 것을 보이고 있다. 게이트에 accumulation 모드 바이어스를 인가하고 있으므로 이 전류는 반전층을 통해 흐르는 전류가 아니다. 또 이 전류는 드레인 전압의 변화에 민감하다. 즉, 드레인 전압이 0.01, 0.255, 0.5 V로 증가함에 따라 전류값도 각각 $1E-8$, $2E-7$, $1E-6$ 가량으로 증가한다.

Accumulation 모드에서의 전류 성분을 파악하기 위해 control 게이트 중앙에서 floating 게이트를 향해 1 차원 전자 전류를 계산하였고 그 결과는 Fig. 8과 같다. 그림에서 보듯이 전자의 전류 값은 floating 게이트에 가까운 body 영역에서 최대치가 되고 control 게이트로 갈수록 $1E-10$ 이하로 매우 작아진다. 이 전류의 전자는 드레인 근처의 높은 전계 때문에 충돌전이를 일으

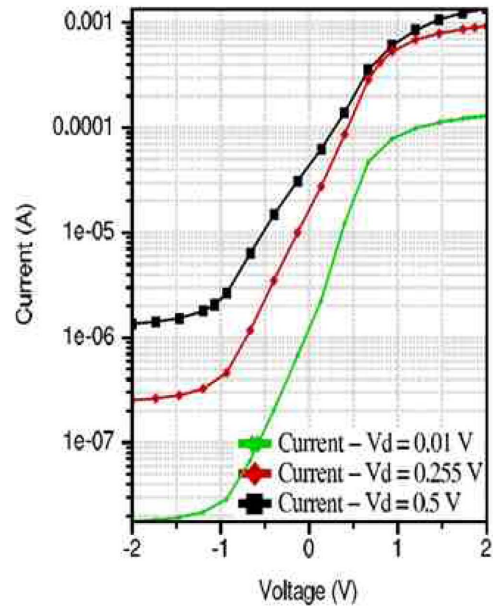


Fig. 7. Drain current as a function of control gate bias. For $V_{gs} < -1$ v, almost constant currents flow for different drain bias.

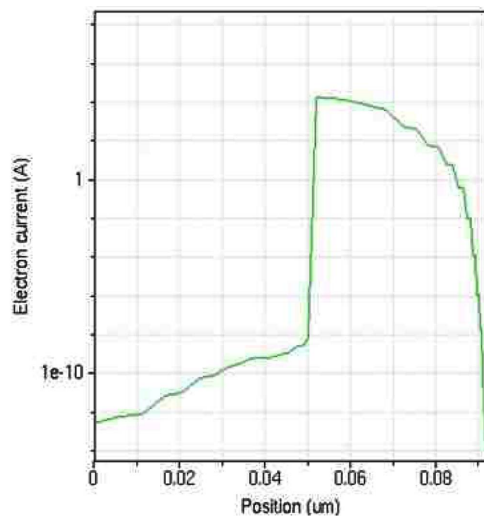


Fig. 8. One dimensional electron current profile at the center. (body: $0.052 \mu\text{m}$ to $0.092 \mu\text{m}$. control gate: $0.094 \mu\text{m}$ ~, $V_{gs} = -1.5$ V, $V_{ds} = 0.5$ V)

키고 floating 게이트로 터널링해 들어가 축적됨으로써 소자의 프로그래밍에 이용된다. 이러한 프로그래밍 메커니즘은 소자 정상 동작에 사용되는 control 게이트 산화막 수명에 아무런 영향을 미치지 않는다. 이 전류는 Fig. 7에서 보인 것처럼 드레인 전압을 조절해 그

크기 제어가 용이하다.

프로그래밍된 소자를 원래의 상태로 돌리는 것은 control 게이트에 프로그램 할 때와 반대 극성인 양(+)의 전압을 인가함으로써 가능하다. 이 경우 control 게이트 밑에 반전층이 생기고 채널 영역으로 재 주입된 전자들은 드레인으로 배출되어 소자가 초기 상태로 돌아간다.

4. 결 론

finFET 공정과 호환적인 비휘발성 메모리 소자로 control 게이트와 floating 게이트가 body를 사이에 두고 서로 마주 보는 구조를 모사하였다. 프로그래밍은 control 게이트가 accumulation 모드일 때 일어나므로 hot carrier 열화가 발생하지 않는다. finFET의 body 두께가 수십 나노미터로 매우 얇으므로 control 게이트에서 만들어진 수직 전계 만으로 반대편 floating 게이트에 전자를 주입할 수 있다. 주입되는 전자는 floating 게이트 산화막과 body의 경계면을 흐르는 바이폴라 트랜지스터의 전자 전류가 공급하는 것을 확인하였다

참고문헌

1. Jacques Gautier', Keith A. Jenkins, Jack Y.- C. Sun, "Body Charge Related Transient Effects In Floating Body SoI Nmosfet's," in IEDM'95, pp. 623-626, 1995.
2. S. Okhonin, M. Nagoga, J. M. Sallese, and P. Fazan, "A capacitor-less 1T-DRAM cell," IEEE Electron Device Lett., vol. 23, no. 2, pp. 85-87, Feb. 2002.
3. E. Yoshida and T. Tanaka, "A design of a capacitorless 1T-DRAM cell using gate-induced drain leakage (GIDL) current for low-power and high-speed embedded memory," in IEDM Tech. Dig., 2003, pp. 37.6.1-37.6.4.
4. T. Tanaka, E. Yoshida, and T. Miyashita, "Scalability study on a capacitorless 1T-DRAM: From single-gate PD-SOI to double-gate FinDRAM," in IEDM Tech. Dig., 2004, pp. 919-922.
5. Takeshi Hamamoto and Takashi Ohsawa, "Overview and Future Challenges of Floating Body RAM (FBRAM) Technology for 32nm Technology Node and Beyond," in ESSDERC 2008, pp. 25-29.
6. Viktor Sverdlov and Siegfried Selberherr, "Modeling Floating Body Z-RAM Storage Cells," PROC. 27th INTERNATIONAL CONFERENCE ON MICRO-ELECTRONICS (MIEL 2010), NIŠ, SERBIA, 16-19 MAY, 2010.
7. Mark R. Pinto; kent smith; Muhammad Alam; Steven Clark; Xufeng Wang; Gerhard Klimeck; Dragica Vasileska (2014), "Padre," <https://nanohub.org/resources/padre>. (DOI: 10.4231/D30C4SK7Z).
8. Shaikh S. Ahmed; Saumitra Raj Mehrotra; SungGeun Kim; Matteo Mannino; Gerhard Klimeck; Dragica Vasileska; Xufeng Wang; Himadri Pal; Gloria Wahyu Budiman (2014), "MOSFet," <https://nanohub.org/resources/mosfet>. (DOI: 10.4231/D3Q23R14Z).

접수일: 2015년 6월 3일, 심사일: 2015년 6월 12일,
게재확정일: 2015년 6월 22일