

범용 부품을 이용한 M-PHY AFE Block 개발

최병선[†] · 오호형^{*}

[†]에스에프유, ^{*}단국대학교 전자공학과

Development of The M-PHY AFE Block Using Universal Components

Byung Sun Choi[†] and Ho Hyung Oh^{*}

[†]SFU Co.

^{*}Depart of Electronic Eng, Dankook University

Abstract

For the development of UFS device test system, M-PHY specifications should be matched with MIPI-standard which is analog signal protocol. In this paper, the implementation methodology and hardware structure for the M-PHY AFE (Analog Front End) Block was suggested that it can be implemented using universal components without ASIC process. The testing procedure has a jitter problem so to solve the problems we using ASIC process, normally but the ASIC process needs a lot of developing cost making the UFS device test system. In is paper, the suggestion was verified by the output signal which was compared to the MIPI-standard on the Prototype-board using universal components. The board was reduced the jitter on the condition of HS-TX and 5.824 Gbps Mode in SerDes (Serialize-deserializer). Finally, the suggestion and developed AFE block have a useful better than ASIC process on developing costs of the industrial UFS device test system.

Key Words : MIPI, UFS, M-PHY, UniPro , HIBERNATE, DIF-Z, PWM-MODE, HS-MODE, GEAR

1. 서 론

스마트폰으로 대표되는 휴대용 단말기는 대용량 데이터를 고속으로 처리하면서 동시에 소비전력의 저전력화가 중요하다. 최근까지 휴대용 단말기 제조에 사용된 저장매체로는 다수의 데이터 신호 선(DATA Bus)을 사용하여 고속의 데이터 전송 속도를 구현하는 eMMC (Embedded Multi Media Card)가 주로 사용되었으나 최근에는 보다 적은 데이터 신호 선을 이용하여 고속의 데이터 전송 속도를 얻을 수 있는 MIPI (Mobile Industry Processor Interface) 기반의 UFS (Universal Flash Storage)를 사용하기 시작하였다.

UFS는 기존의 eMMC보다 더 빠르게 데이터를 기록하거나 읽어내면서 동시에 소비전력의 저전력화가 가능하다[1].

UFS를 구성하는 계층도(Layer)는 Fig. 1에서 보듯이 바와 같이 L1에서 LA 계층구조로 구성되어 있으며, L1에서 L4에 해당하는 계층은 MIPI 규정에 의해서 정의되고, LA 계층은 JEDEC의 규정에 의해서 정의되었다.

본 논문은 L1 계층의 M-PHY중 Analog 신호를 다루는 물리적 영역에 국한하여 범용 부품을 이용한 M-PHY AFE(Analog Front End) Block을 구현하는 방법을 제한하고 EDA Tool을 사용하여 설계한 후 Prototype의 Board를 제작하여 제안된 방법의 유용성을 검증하고자 PRBS-31 Test Signal를 적용 함으로써 M-PHY AFE Block을 제작함에 있어서 범용 부품을 이용하여 M-PHY AFE Block구현이 가능함을 입증하였다.

UFS는 MIPI에 정의된 M-PHY에 의해 직렬 전송 방식으로 동작된다. 따라서 UFS제조 후, 그 기능평가를 위해 사용되는 검사장비(TESTER)는 M-PHY 규격의 입력신호에 대한 출력 신호의 비교를 통해 검증해야 한다[2-3].

[†]E-mail : bschoi@sfy.co.kr

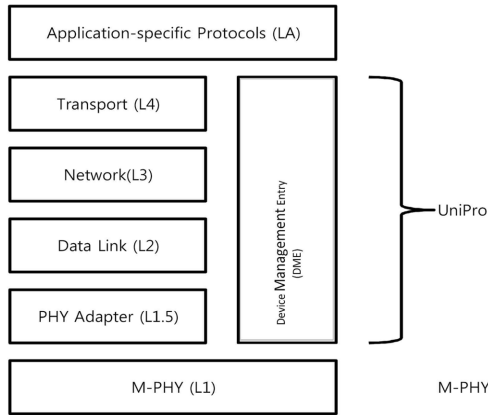


Fig. 1. UFS Platform Layer.

현재 국내,외 반도체 제조사에서 UFS 2.0 버전 규격의 소자를 개발하였으며 그 전송 속도는 하나의 데이터 전송 선에 대해 최대 5.824 Gbps에 이른다. 이러한 속도에서 동작되는 M-PHY를 구현하는 방법은 ASIC을 이용하는 것이 유용하나 UFS Test System 개발을 위한 비용적 측면에서 효율적이지 못한 문제점이 지적되고 있다. 따라서 본 연구에서는 범용 부품인 Xilinx FPGA의 6.6Gbps SerDes와 Micrel의 6.4Gbps Buffer Driver 그리고 Hittite의 10Gbps Comparator를 사용하여 M-PHY AFE를 구현 하였다.

2. M-PHY

2.1 UFS M-PHY

M-PHY는 MIPI UniPro Layer와 Signal Lane사이에 위치하여 8b/10b Encoding/Decoding을 수행하고 Signal Lane 사이의 Skew를 조절하며 각 동작 속도에 따른 데이터 전송 속도를 조절한다. UFS에서 사용하는 M-PHY Type-I의 HS와 LS 모드에서 지원하는 전송 속도를 Table 1에 나타내었다[2-4].

2.2. M-PHY Line 연결 및 Line State

Host 와 Device는 Fig. 2와 같이 M-PORT의 M-TX와 M-RX 를 통해 데이터를 송,수신 한다. M-TX와 M-RX로 구성되는 M-PORT는 전송 속도와 필요한 대역폭에 따라 멀티레인(Multi-lane)으로 구성될 수 있고 M-TX와 M-RX사이의 데이터 전송은 Differential Line에 의한 DC-Coupling 방식으로 이루어 진다.

각각의 Line은 Differential Line에 나타나는 전압의 극성 및 크기 그리고 임피던스(Impedance)에 따라 4가

Table 1. Speed of the M-PHY Type-I.

HS/LS	GEAR	Series		Speed
		Rate A	Rate B	
HS Mode	1	1.248	1457.6	Gbps
	2	2.496	2.9152	
	3	4.992	5.8304	
PWM Mode	0	0.01~3		Mbps
	1	3~9		
	2	6~18		
	3	12~36		
	4	24~72		
	5	48~144		
	6	96~288		
7	192~576			

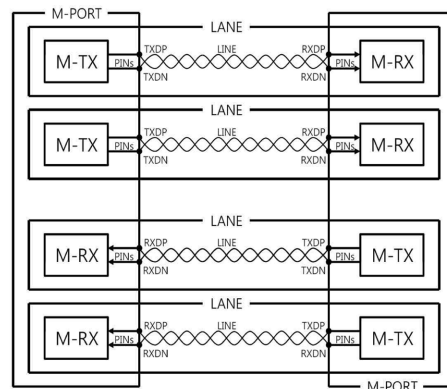


Fig. 2. M-PHY LANE Example.

Table 2. LINE State.

Diff. LINE Voltage	M-TX 출력 임피던스	M-RX 입력 임피던스	LINE State Set by	LINE State Name
Positive	Low	Any	M-TX	DIF-P
Negative	Low	Any	M-TX	DIF-N
Zero	High	Medium	M-RX	DIF-Z
Unknown or floating	High	High	None	DIF-Q

지의 Line State를 가지며 각각의 State는 Table 2에 보인 것과 같은 조건을 갖는다. DIF-P, DIF-N은 M-TX가 Active된 상태이고 DIF-Z는 High 임피던스 상태를 나타낸다[2-4].

Table 3. M-TX Parameters.

Symbol	Values		Unit	Description
	Min.	Max.		
M-TX Electrical parameters				
VDIF_DC_LA_RT_TX	160	240	mV	LA, Term.
VDIF_DC_LA_NT_TX	320	480	mV	LA, Non-Term.
VDIF_DC_SA_RT_TX	100	130	mV	SA, Term.
VDIF_DC_SA_NT_TX	200	260	mV	SA, Non-Term.
VCM_LA_TX	160	260	mV	LA, Common.
VCM_SA_TX	80	190	mV	SA, Common.

2.3. M-PHY Line Signal Level Condition

UFS Test System의 검증조건을 충족시키기 위한 M-PHY의 M-TX는 SA (Small amplitude)와 LA (Large amplitude) 두 종류의 Signal Level 을 제공하여야 하며, M-RX에서 Termination 여부와 Signal Level에 따른 신호의 조건은 Table 3과 4를 만족해야 하며, Term. 은 100 Ω의 저항으로 Termination되었음을 의미한다[2-5].

2.4. Power Mode Change

Table 1에 제시한 바와 같이 M-PHY는HS/LS 조건에 따른 2가지 모드(HS, PWM)에 대하여 각 세부조건(GEAR, Series)에 따른 속도가 규정되어있다. 각각의 속도전환을 위해 PMC(Power Mode Change) 방법을 이용한다. PMC 방법은 전송속도 전환을 위하여 3가지 중요 동작 준비단계가 필요하다. PLL을 이용한 Reference Clock을 정확하게 설정해야 하고, SerDes의 Parameter를 변경하고, 마지막으로 SerDes.를 Reset하여야 한다. 이 과정에서 비정상적인 신호가 출력될 수 있고, 이는 UFS Device의 부적절한 동작을 야기시킨다. 이를 방지하기 위해 출력이 DIF-N 상태가 되도록 강제(SerDes. Reset) 할 필요가 있다. 또한 Table 2와 같이 M-RX에서는 Device의 M-TX와 연결된 LINE의 High 임피던스 상태를 검출하여 HIBERNATE Enter/Exit를 인식할 수 있어야 하므로 이를 위해 DIF-Z를 Detect 하는 별도 회로가 필요하다[2-4].

3. M-PHY의 AFE Block구현

3.1. PLL Block 구현

서두에 언급된 문제점을 해결하기 위하여 Fig. 3과 같은 범용부품을 이용하여 구현 가능한 PLL Block

Table 4. M-RX Parameters.

Symbol	Values		Unit	Description
	Min	Max		
M-RX Electrical parameters				
VDIF_RT_RX	60	245	mV	Term.
VDIF_NT_RX	120	490	mV	Non-Term.
VCM_RX	25	330	mV	Common

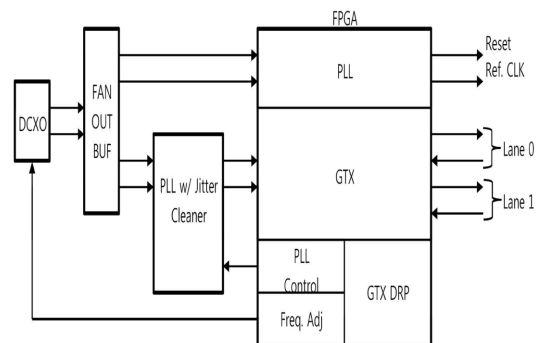


Fig. 3. PLL Block with SerDes.

구조를 제안한다. 제안된 PLL Block은 26 MHz의 Reference Clock을 입력으로 사용하고 거의 모든 부품이 PVT에 의해 오차가 존재하므로 SiTime사의 DCXO를 사용하여 +/-1,600 ppm의 범위에서 주파수가 26 MHz가 되도록 구현하였다[9]. 26 MHz Reference Clock은 다시 두 개의 출력으로 Fan-out되어 하나는 FPGA의 PLL에 연결하고 다른 하나는 외부 PLL에 연결하였다.

FPGA 내부의 PLL은 UFS Device에 Shared Reference Clock을 제공하기 위한 것으로 Software에 의해 제어

되는 FPGA PLL을 사용하여 19.2 Mhz, 26 MHz, 38.4 MHz, 52 Mhz 중 어느 하나를 생성하여 UFS Device에 공급한다.

FPGA의 SerDes 동작이 외부 PLL의 출력으로부터 입력되는 Reference Clock의 Jitter에 밀접하게 영향을 받기 때문에 SerDes의 정확한 동작을 위해 Reference Clock의 Jitter제거가 필수적이다. 이를 위해 Jitter제거 기능이 포함된 PLL(TI사의 CDCE62002RHB를 이용하여 구현)을 사용하여 Fig. 3과 같이 구현하였다[10].

PMC 수행을 위해서는 SerDes의 DRP(Dynamic Reconfiguration Port)를 이용하여 SerDes Parameter를 바꾸어 Table 1에 나타난 조건을 만족시켜야 하므로 외부 PLL의 REG-1 값을 다음과 같이 설정하여 정확한 주파수를 생성하여야 된다.

124.8MHz 설정 → REG-1 : 0x83852021 (1)

145.6MHz 설정 → REG-1 : 0x01001802 (2)

이런 방법에 따라 최종적으로 제안한 PLL Block은 Fig. 3과 같다.

3.2. M-TX Signal Level 및 DIF-Z구현

앞서 언급된 PMC기능을 위하여 범용부품(MICREL사의 SY58626을 드라이버, Analog사의 Digital Potential Meter AD5160, Linear사의 LDO LT3082)을 사용하여 구현한 제어 회로를 Fig. 4에 나타내었다. M-PHY의 M-TX가 Table 3에 제시된 규격의 SA와 LA Signal Level을 설정할 수 있으며 Table 2에 나타난 High 임피던스 Line State를 설정하고 PMC 동작 시 드라이버의 출력을 DIF-N으로 설정할 수 있는 제어를 구현하였다[6-8].

마지막으로 Hibernate Enter를 위한 M-TX의 High 임피던스 Line State는 사용된 드라이버를 Shutdown시키는 /TXQSHDN을 High Level로부터 Low Level로 전환하면서 동시에 스위치 SW를 Off시키는 방식으로 구현하여 동작시켰다. 이를 위한 최종 Controller는 Fig. 4와 같다.

High임피던스 Line State의 동작 검증을 위해 /TXQSHDN에 설정된 Level에 따른 드라이버의 출력 파형은 Fig. 5와 같으며, PMC를 위한 DIF-N Line State는 드라이버의 /TXEN에 HIGH를 인가하여 드라이버의 출력이 DIF-N이 되도록 함으로써 PMC시에 SerDes의 Parameters 변경에 따른 비정상적인 동작이 일어나지 않도록 한 파형을 Fig. 6에 나타내었다.

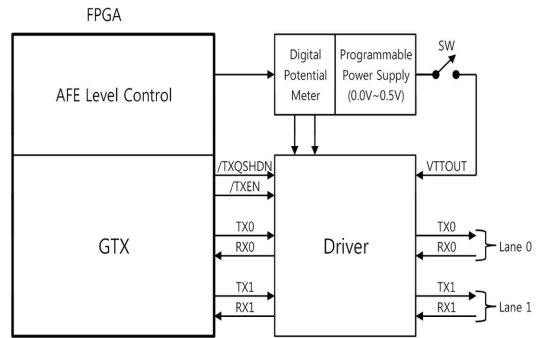


Fig. 4. M-TX Signal Level and High-impedance.

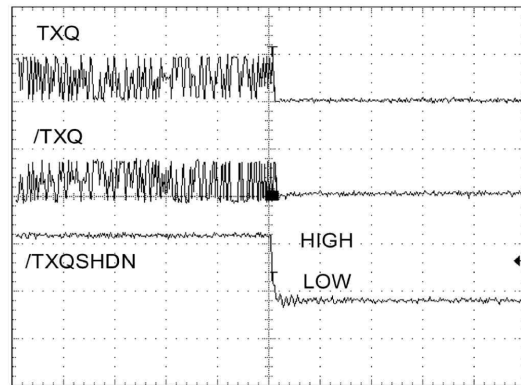


Fig. 5. DIF_Z Generation by /TXQSHDN='HIGH'.

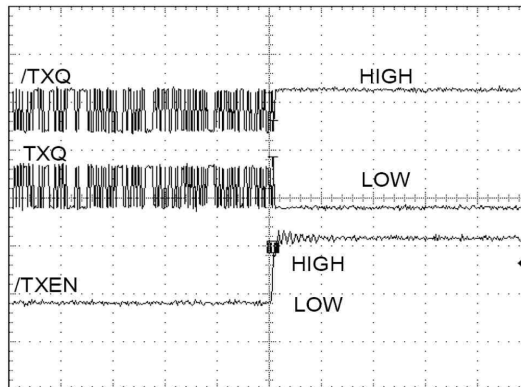


Fig. 6. DIF-N Generation by /TXEN='HIGH'.

3.3. M-RX의 DIF-Z 검출기 구현

마지막으로 M-RX의 LINE STATE를 검출하여 HIBERATE Enter/Exit을 판단하기 위한 Block을 Fig. 7과 같이 구현하였다.

Table 2와 Fig. 7에서 Device의 M-TX LINE의 출력 임피던스가 High이고 Differential LINE의 전압이

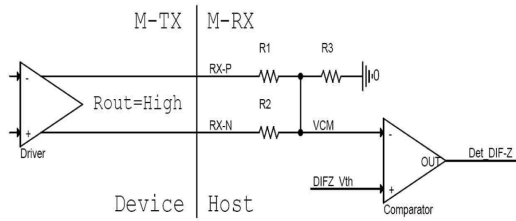


Fig. 7. LINE STATE (DIF-Z) Detector.

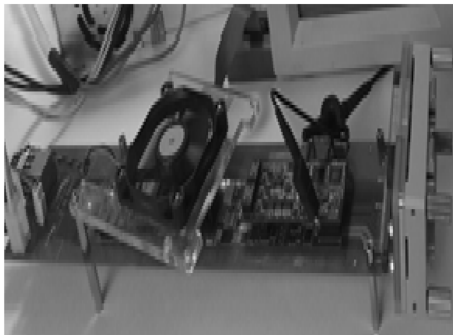


Fig. 8. Prototype Board.

Zero이면 HOST의 M-RX 입력 RX-P와 RX-N은 거의 Floating 상태가 되고 VCM의 전압은 거의 0V가 된다. $0V < DIFZ_Vth < VCM_RX$ 을 만족하는 조건에서 항상 $DIFZ_Vth > VCM \approx 0$ 이므로 비교기의 출력 Det_DIF-Z는 HIGH가 되어 DIF-Z 상태를 검출할 수 있다.

3.4. M-PHY AFE Board 구현

제한한 범용 디바이스를 이용한 M-PHY AFE 구현의 효과를 확인하기 위해 SerDes가 내장된 FPGA, PLL, Variable Output Swing Driver 그리고 Comparator 등을 사용하여 Prototype 보드를 제작하였다. Circuit 및 PCB 설계에는 Allegro16.6을 사용하였고 FPGA Synthesis에는 Xilinx Vivado2014.01을 사용하였다.

Prototype Board 는 FPGA SerDes. Block에 입력되는 Reference Clock의 Jitter가 가능한 작아야 하고 또한 DIF-Z 검출에 사용하는 비교기의 Vth 값 설정 범위는 Table 4에 나타낸 VCM_RX 값이 고려되어야 하며 M-TX의 High임피던스 구현을 위해 드라이버의 /TXQSHDN과 SW의 타이밍이 조건이 만족되어야 한다.

SerDes.에 입력되는 Reference Clock의 Jitter가 너무 크면 SerDes.의 CDR (Clock Data Recovery)에 입력되는 8b/10b Coding Data로부터 Clock Recovery시 문제가 발생되므로 본 실험에서는 Reference Clock 발생을

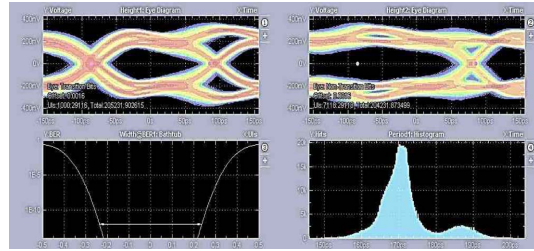


Fig. 9. EYE Measurement for PRBS-31.

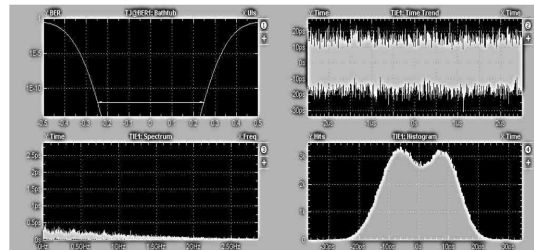


Fig. 10. JITTER Measurement for PRBS-31.

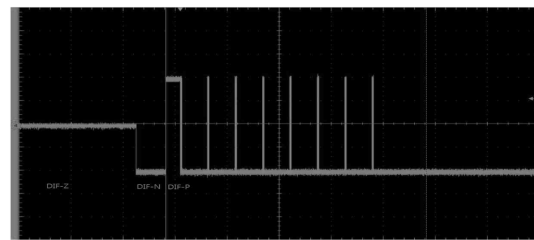


Fig. 11. LINE STATE (DIF-Z, DIF-P, DIF_N).

위한 PLL에 Jitter Cleaner 기능이 있는 범용부품을 사용하였다.

Vth는 Table 4에 보인 것과 같이 +25 mV 이하가 적당하나 실제 Device의 조건을 고려하여 +50 mV로 설정하였다. /TXQSHDN과 SW의 제어 타이밍은 FPGA의 ODELAY 값을 변경하여 조정하였다.

Fig. 8은 실제로 제작한 검증용 보드이다. 검증을 위해 +12V, 5A 전원 공급기를 사용하였으며 HS Mode에서의 Eye와 Jitter 검증에는 5.824 Gbp PRBS-31 Pattern을 출력하여 DSA72004 Oscilloscope, P7516 Probe를 사용하여 Fig. 9 EYE와 Fig. 10 Jitter를 측정하였다. LS Mode 검증에는 TDS1012와 P5050을 사용하여 Fig. 11과 같이 LA에서의 LINE State DIF-Z, DIF-P, DIF-N을 측정하였다.

4. 결 론

본 논문은 휴대용 단말기에 적합한 인터페이스 규격

인 MIPI 기반의 UFS Device를 제조한 후 그 동작을 검사함으로써 양품과 불량을 판별하는 테스트 시스템 개발에 있어 M-PHY의 AFE를 고비용이 요구되는 ASIC으로 구현하지 않고 범용 부품을 사용하여 구현함으로써 테스트 시스템의 제작 비용을 획기적으로 절감할 수 있는 방법에 관한 내용이다.

본 논문에서 제시한 PMC 방법과 이를 구현한 Prototype Board는 구현에 사용된 FPGA의 SerDes.에 여러 가지 PRBS 패턴을 인가하여 HS Gear-1/2/3, Rate-A/B에 대한 EYE와 Jitter를 측정된 결과 EYE가 0.55UI 이상, Jitter가 0.32UI 이하로 측정되어 M-PHY 규격에 충족됨을 확인하였다.

본 논문에서 제안 한 방법을 이용한 M-PHY AFE 구조는 실제 Device의 테스트에 적용 가능하고, 범용 소자를 이용하여 구현 할 수 있음을 보였으며, 실제 검사용 장비개발을 위한 현실적인 솔루션을 제공할 수 있다고 판단 된다.

감사의 글

본 연구의 진행에 많은 도움을 주신 삼성전자 TP 및 PE 관계자 분들께 감사 드리며 연구의 결과는 UFS2.0 테스트 시스템에 적용 예정이다.

참고문헌

1. <http://dcslab.hanyang.ac.kr/nvramos/nvramos13/presentation/MinyoungEom.pdf>
2. Mipi alliance, "Specification for M-PHY", MIPI Alliance Inc., Version 3.0, Vol.1, pp.1-192, 2013.
3. Mipi alliance, "Specification for Unified Protocol (UniPro)", MIPI Alliance Inc., Version 1.6, Vol.1, pp.1-353, 2013.
4. Jedec Solid State Technology Association, "Universal Flash Storage (UFS) Host Controller Interface (Revision of JESD223)", JEDEC SOLID STATE TECHNOLOGY ASSOCIATION, Vol.1, pp.1-50, 2012.
5. Byung Sun Choi, Jun Sung Kim, Jong Won Kim and Young Jo Jang, "Implementation of 880Mbps ATE Pin Driver using General Logic Driver", Journal of the Semiconductor & Display Equipment Technology, Vol. 5, No. 1. March 2006
6. http://www.micrel.com/_PDF/HBW/sy586261.pdf
7. http://www.xilinx.com/support/documentation/user_guides/ug476_7Series_Transceivers.pdf
8. <http://www.analog.com/media/en/technical-documentation/data-sheets/AD5160.pdf>
9. <http://www.sitime.com/products/datasheets/sit3921/Si3921-datasheet.pdf>
10. <http://www.ti.com/lit/ds/symlink/cdce62002.pdf>

접수일: 2015년 6월 8일, 심사일: 2015년 6월 17일,
게재확정일: 2015년 6월 22일