

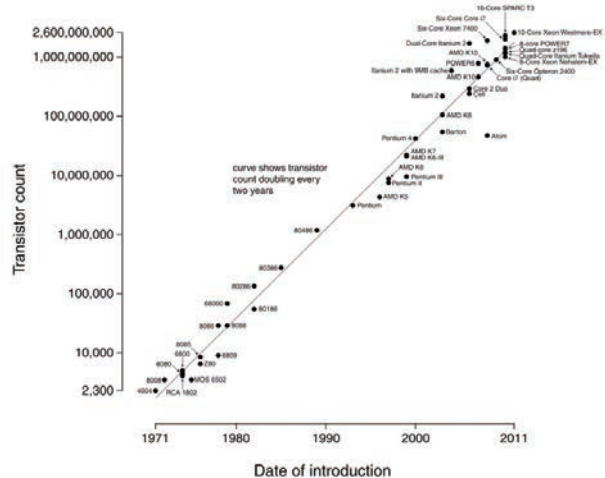


최신 반도체 공정기술

I. 서론

실리콘 공정 기술은 전력소자를 비롯하여 스마트폰, 태블릿PC, 마이크로컨트롤러, 인버터/컨버터등과 같이 다양한 전기전자응용제품에 사용되는 기능성 부품들의 핵심기술이다. 집적회로(Integrated Circuit, IC) 기술과 금속-산화물 반도체 전계효과트랜지스터(metal-oxide semiconductor field effect transistor, MOSFET) 기술이 발명된 이후로 실리콘을 기초로 하는 트랜지스터 제조기술, 내부 소자간 연결기술, 칩패키징 공정기술은 반도체 산업 발전의 구동력이 되어 왔다. 최근의 스마트폰이나 모바일 컴퓨팅기술의 발전의 근간에는 실리콘 소자 제작기술이 밀접하게 연결되어 있음은 과언이 아니다. 본 투고에서는 최근의 실리콘 공정 제조기술을 몇가지 측면에서 살펴보고자 하겠다.

Microprocessor Transistor Counts 1971-2011 & Moore's Law



<그림 1> Microprocessor Transistor counts 1971–2011 and Moore's law^[2]



김도영
울산과학기술대학교

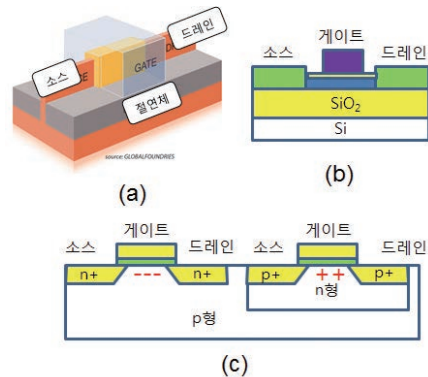
II. 최근 반도체공정기술 발전동향

1. 트랜지스터의 크기 - Moore's law

반도체 공정기술은 발전은 유명한 무어의 법칙^[1]으로 잘 알려져 있다. 1965년 페어차일드(Fairchild)의 연구원이던 고든 무어(Gordon Moore, 1929~)가 마이크로칩의 용량이 매년 2배가 될 것으로 예측하며 만든 법칙이다. 이 법칙은 1975년 24개월로 수정되었고, 그 이후 18개월로 바뀌었다. 무어의 법칙 발표 후 지금까지 지난 50년간의 트랜지스터의 크기가 감소함에 따라서 집적되는 트랜지스터의 수는 지수적으로 증가하였다. 이 결과 트랜지스터의 가격은 1970년대에는 개당 1\$정도인 것이 지금은 10^{-12} \$로 떨어지게 되었다. 다시 말하면 오늘날에는 \$1로 약 10억개의 트랜지스터를 구매할 수 있다는 이야기가 된다. 이와 같이 트랜지스터의 개수를 증가시키고 소자크기를 감소가 50년간 10^7 배의 변화를 불러온 반도체 공정 기술의 눈부신 발전은 과학적으로나 기술적으로 설명하기는 매우 어렵다. 그러나 이러한 반도체 공정기술은 1980년대부터 시작한 투박한 핸드폰을 시작으로 경박 단소화되면서 다기능의 스마트폰이 급격하게 발전하는데 큰 기여를 하였다는 것에는 반대가 없을 것이다. 반도체 생산 기술은 기술의 장벽에 도달 할 때마다 공정 기술의 이면에서 공학기술과 과학기술을 기반으로 다양한 기술 발전이 시도되어 왔다.

2. 2D 트랜지스터에서 3D 트랜지스터로 개념의 혁신

최근의 트랜지스터의 최소 선폭은 20nm로 마이크로프로세서, 시스템 반도체, 메모리소자까지 다양하게 적용된다. 이후 20nm 선폭을 넘어선 기술로써 제안되는 것은 FinFET^[3] (finfield effect transistor)기술과 ultra-thin body SOI^[4] (silicon-on-insulator) 기술로 대표된다. FinFET 기술은 <그림 2의 (c)>와 같이 평면형 2D 트랜지스터에서 변형된 형태로 소스와 드레인이 3면의 게이트에 의하여 감싸여 있는 3차원 구조를 가지고 있다. 이러한 3차원 다중 게이트 FinFET는 선폭이 짧아짐에



<그림 2> 전전류기술이 적용된 새로운 트랜지스터 소자 디자인 (a) FinFET, (b) ultra-thin body SOI, (c) Conventional planar CMOS

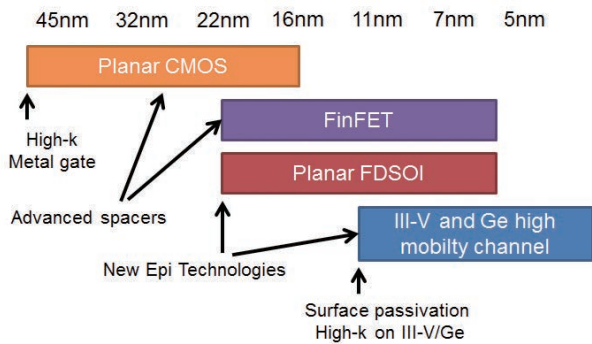
따라 발생하는 트랜지스터의 누설전류를 50%이상 감소시킬 수 있다. FinFET의 구조에서 트랜지스터 게이트는

**반도체공정의 선폭이 협소해짐에 따라서
기존의 2D트랜지스터에서 3D
트랜지스터로 변하고 있다.**

상부와 좌우측에 설계되어 있는 서라운드(surround) 게이트는 on과 off 상태에서 채널에 흐르는 전류를 완벽하게 제어할 수 있다. 특히 이것은 모바일 기기와 같이 휴대용 장

치는 제한된 전지를 사용하는 경우 매우 중요한 동작특성이 된다. 즉 낮은 채널 전류 조절은 낮은 전력소비를 의미하는 것이며 이것은 전지를 좀 더 오래 사용할 수 있다는 말과 같다. 낮은 채널 전류를 얻기위한 다른 방법으로 ultra-thin body SOI (silicon-on-insulator)는 <그림 2의 (b)>와 같이 게이트 하부에 매우 얇은 박막이 있으며 드레인은 채널과 매우 짧은 영역에서 중첩되어 있는 구조로 되어 있어 우수한 전류-전압특성을 가지고 있다. 역시 off 상태에서 낮은 누설전류를 얻을 수 있는 방법이다.

그러나 CMOS 소자의 채널거리를 최소화 시키는 방법은 실리콘 원자의 크기에 대한 제한 때문에 영원히 지속될 수 없다. (실리콘 기반 20nm 채널길이를 가지는 트랜지스터에 포함되는 실리콘 원자는 200개 정도에 지나지 않는다.) 현재의 반도체 물리학에서 실리콘 재료는 연속적인 물질로 가정함으로써 전자와 정공의 통계적인 거동이나 옴의 법칙이 모두 적용 가능하다. 그러나 20nm의 채널길이를 넘어 원자단위의 물리적 해석 방법으로 양자역학은 전혀 다른 형태를 가질 것이다. 결국 bulk 상태의 실리콘 상태에 대한 해석이 달라지므로 소자생산기술이

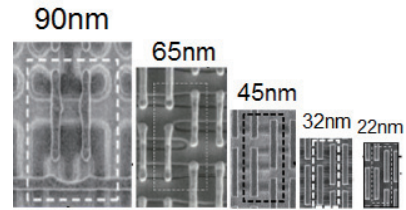


〈그림 3〉 CMOS transistor architecture roadmap^[5]

나 안정적인 소자 동작의 방법은 완전히 변화해야 할 것이다. 결국 높은 주파수와 낮은 동작전압에서 높은 전하이동도를 가지는 소자를 만들기 위해서 실리콘과는 구별된 SiGe, III-V 화합물 반도체 (GaAs, GaN, InP), II-VI 화합물 반도체, 탄소기반 나노물질(graphene, graphene oxide)과 같은 대안 반도체물질들이 적극적으로 연구 개발될 것으로 예상된다. 〈그림 3〉은 45nm공정에서 5nm 공정으로 게이트의 폭이 협소해짐에 따라서 적용가능한 반도체 CMOS의 구조의 변화를 보여 주고 있으며 단계적으로 극복하고 적용해야할 기술을 제시하고 있다.

3. 리소그래피 이슈 – 193nm ArF와 EUV

나노크기의 협소한 채널거리를 가지는 반도체 소자를 제작하기 위하여 리소그래피 공정은 미세 패턴 소자 제작에 있어서 매우 중요한 이슈이다. 최상의 실리콘 공정을 위한 반도체 FAB은 미세한 형상을 패턴하기 위한 광회절을 조절하고 초점 심도를 향상시킨 리소그래피 기술을 사용해야 한다. 대표적인 OPC(optical proximity correction)^[6]은 빛의 회절 특성으로부터 기인된 패턴의 부정확성을 보상하기 위하여 사용되는 기술로 130nm 이하에서 리소그래피를 향상시킬 수 있다. 이러한 OPC기술은 원형이 포함된 사각도형이나 유사사각형을 패턴되는 리소그래피 결과를 사각형의 결과를 얻도록 하는 공정 기술이다. 핵심기술로 광회절효과를 감소시키기 위하여



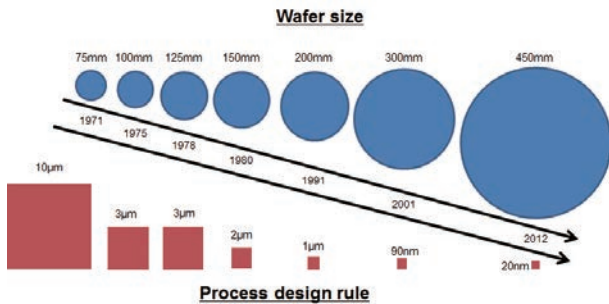
〈그림 4〉 최소 선폭의 감소에 따른 SRAM 패턴형상^[7]

스캐너의 렌즈와 웨이퍼의 표면사이에 갭을 공기 대신에 굴절률이 1(공기의 경우 1)이상인 액체물질을 포함시키는 기술을 말한다. 순수한 물의 경우 굴절률이 1.44이고 ArF 193 nm 엑시머 레이저를 사용하는 경우 패턴 해상도를 액체의 굴절률과 동일한 만큼 증가시킬 수 있다. 최근 매우 순수한 물을 사용하는 경우 65nm 이하의 패턴이 가능하여 20nm까지 가능하다.

**20nm이하의 기술에 적용되는
리소그래피 광원은 OPC 기술을 바탕으로
EUV기술로 변화하여 가고 있으며 이것은
450mm 실리콘 웨이퍼까지 확대될 것이다.**

여기서 〈그림 4〉는 리소그래피 최소 선폭의 축소에 따른 SRAM의 설계의 변경을 이미지로 나타낸 것이다. 리소그래피의 선폭 해상도는 레이저 광의 파장에 비례하고 개구수(NA)에 반비례한다. 여

기서 NA는 굴절률에 비례하므로 굴절률이 1보다 큰 물을 사용하는 경우 해상도가 증가하게 된다. 1980년대에 시작된 리소그래피용 광원은 수은램프를 사용하였다. 이 수은램프로부터 만들어진 레이저 광원은 436nm의 G-line과 365nm의 I-line은 초기의 트랜지스터의 선폭보다는 매우 작은 것이었다. 그러나 0.25 μ m 공정이 개발되면서 248nm KrF 레이저와 193nm ArF 레이저가 사용되었다. 150nm 반도체 공정이 개발되면서도 여전히 193nm ArF 레이저가 사용되고 있으며 여기에 OPC, double patterning, multiple patterning이 동시에 사용되면서 선폭을 지속적으로 축소할 수 있었다. 20nm 이하의 반도체 공정도 여전히 193nm ArF를 OPC와 double patterning으로 해결할 수 있을 것으로 보고 있다. 그러나 16nm 이하의 공정에서는 13nm 단파장의 EUV(extreme ultraviolet)을 사용해야 할 것으로 예상하고 있다.^[8]



〈그림 5〉 년도별 웨이퍼 크기의 증가율과 반도체공정설계의 최소선 폭의 변화도

4. 실리콘 웨이퍼 – 450nm 시대

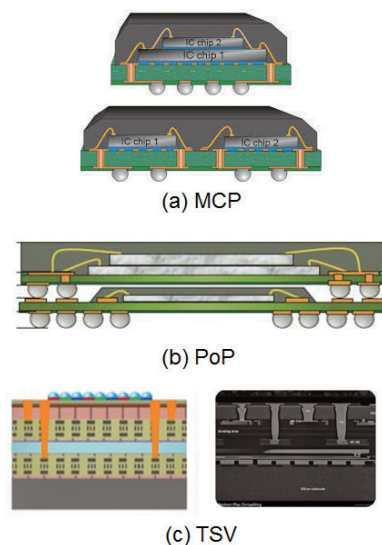
반도체 소자의 크기 축소되는 것과 유사하게 실리콘 웨이퍼의 크기는 1970년대에는 1~3인치 정도에서 지금은 450mm(18인치)로 증가되었다. 실제로 450mm의 실리콘 웨이퍼가 양산에 투입되는 시기는 2016년 이후에나 가능할 것으로 예상된다. 이것은 FAB 건설비용이 100억\$ 정도로 매우 고가이고 기존의 300mm웨이퍼 공정을 450mm업그레이드에는 많은 시간과 비용이 소용된 전망이다. 그러나 웨이퍼 사이즈의 증가는 매우 큰 경제적 이익을 가져다 준다. 예를 들어 150mm 웨이퍼에서 200mm 웨이퍼로 변경될 때 25~30%의 비용절감을 얻을 수 있었으며 200mm에서 300mm이로 변경될 때 역시 동등한 비용절감의 효과가 있었다. 이러한 구동력은 300mm에서 450mm로의 향상이 있었다. 〈그림 5〉는 년도별로 1971년 75mm 웨이퍼로부터 2012년 450mm 웨이퍼 크기가 증가함에 따라서 반도체 공정의 최소 선폭은 10µm에서 20nm로 급격히 감소하는 모습을 보이고 있다.

5. 3차원 멀티칩 패키징

반도체 공정기술과 설계기술이 발전함과 동시에 반도체 소자의 소모전력은 데이터의 양과 스위칭주파수의 증가와 동시에 증가한다. 반도체의 소모 전력은 클럭 주파수의 증가와 비례하여 증가하므로 전력소모를 최적화 하고 발열을 줄이기 위한 새로운 반도체 칩의 설계와 패키징 방법이 요구되고 있다. 고속의 데이터 처리속도를 위해서는 고속의 클럭 속도를 요구하게 되고 넓은 데이터 버스 폭과 더 많은 패키지 핀을 요구한다. 직접적으로 이

를 위해서 반도체 칩을 패키징하고 PCB 위에 패키징된 칩들을 조립하는 공정에서 개선이 필요로 하고 기계적인 강도와 열적, 전기적인 안정성을 유지하기 위하여 3차원 패키징 기술에 대한 채용이 증가하고 있다.

3차원 패키징의 대표적인 기술이 MCP (Multi Chip Package), PoP (Package on Package), TSV (Through Silicon Via, 관통전극 기술)로 알려져 있다. MCP기술은 서로 다른 기능을 가진 2개 이상의 칩을 하나로 합쳐 패키징하는 방식으로, 부품실장 면적을 줄여 공간을 절약할 수 있는 특징이 있으며 PoP기술은 하나의 패키지 위에 다른 기능을 하는 패키지를 적층하는 방식으로, 테스트가 완료된 패키지를 적층함으로써 수율을 높일 수 있는 장점이 있다. 마지막으로 TSV기술은 반도체공정기술을 활용하여 2개 이상의 칩을 수직 관통하는 전극을 형성해 칩간의 전기적 신호를 전달하는 첨단 패키지 방식으로 성능은 높으면서 크기를 줄일 수 있어 가장 유력한 차세대 패키지로 주목받고 있다. 이러한 빠른 데이터 전달 속도와 낮은 소비전력을 가지는 CPU/GPU는 대부분은 DRAM이나 플래시 메모리를 포함하고 있다. 저장용량과 저장밀도를 증가시키기 위하여 현재 DRAM과 플래시 메모리 적층이 24층이상 증가하고 있다. 발전되고 있는 반도체 공정은 실리콘 공정의 제약조건을 극복하기 위하여 반도체 소자물리를 더 잘 이해함으로써 해결할 수 있는데 예를



〈그림 6〉 대표적인 3차원 패키지 기술^[9]

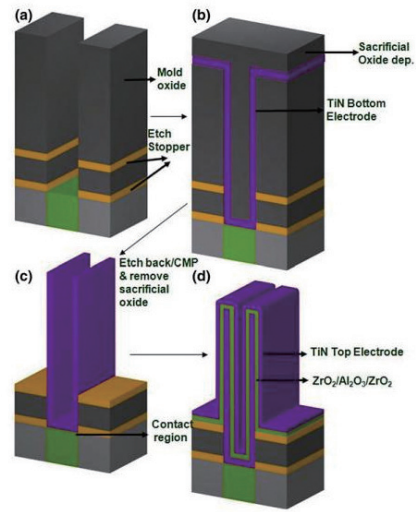
들어 트랜지스터의 크기가 작아짐에 따라서 낮은 구동 전압에 동작해야 하며 crosstalk과 잡음에 대하여 작은 마진을 가지고 있다. 빠른 데이터의 이동속도는 높은 소비 전력 소모와 소자당 더 많은 데이터 핀의 할당을 요구하고 이것은 3차원의 복잡한 패키징공정과 실리콘 반도체 공정에서 응용된 Via 기술을 이용한 적층연결을 통해 특수한 다이패드(die pad)와 여러 개의 다이드들 간의 연결이 가능하도록 하고 있다.

III. ALD를 이용한 최신 증착기술

반도체공정에서 사용되는 실리콘 웨이퍼 위에서 CMOS와 같은 소자를 제작하기 위해서는 포토리소그래피, 확산도핑, 세정과 에칭공정, 급속 열처리(RTP)공정을 포함하는 불순물 이입란테이션(implantation) 그리고 증착공정이 복잡하게 연결되어 있다. 특히 증착공정은 고정세와 저전력, 고주파수를 요구하는 CMOS 특성과 고층의 적층 요구 때문에 새로운 혁신을 요구 받고 있다. 증착공정은 단결정 박막을 형성하는 에피택시(epitaxy), 화학 기상증착(CVD), 분자빔에피택시(MBE), 금속유기물화학 기상증착(CVD) 그리고 원자층증착법(ALD)로 다양하게 분류된다. 여기에서 ALD는 미세하고 깊은 trench 내부에 절연층이나 금속을 균일하게 증착할 수 있는 장점 때문에 최근 ALD 장비의 투가가 급격하게 증가하고 있으며 다양한 기술들이 연구, 개발되고 있다.

1. TIT-ZAZ capacitor 형성기술

DRAM의 크기가 80nm 이하로 축소되면서 높은 유전상수를 가지는 물질들이 요구에 따라 TiN전극사이에 Al_2O_3 , ZrO_2 가 제안되어 왔다. 특히 ZrO_2 는 유전상수가 41로 매우 크지만 상대적으로 높은 누설전류 특성 때문에 스택구조를 가지는 $Al_2O_3/ZrO_2/Al_2O_3$ 가 제안되었다. <그림 7>과 같이 나노구조를 활용한 ZAZ 캐퍼시터는 $ZnO_2/Al_2O_3/ZrO_2$ 박막구조로써 전극으로 TiN를 사용하므로 TIT-ZAZ capacitor로 말할 수 있다. TIT-ZAZ 구조는 etch stopper가 포함된 mold 산화물 구조를 형성 뒤에 TiN 하부 전극을 증착하고 희생용 산화물을 trench

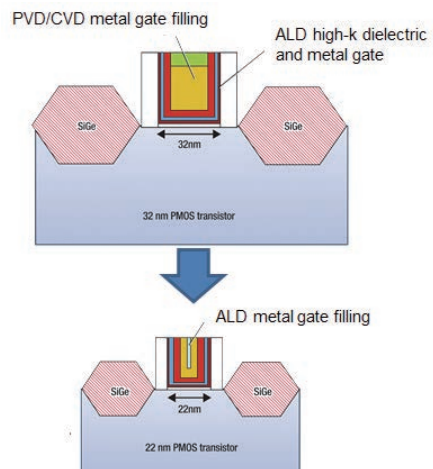


<그림 7> TIT-ZAZ capacitor의 제작단계^[10]

내부에 형성시킨다. 이후 식각과 CMP를 통해서 etch stopper 까지 희생용 산화물을 제거하면 TiN 하부 전극이 노출되고 ALD를 이용하여 ZrO_2 와 Al_2O_3 , ZrO_2 를 차례로 증착고 TiN 상부 전극을 형성하면 TIT-ZAZ 캐퍼시터가 완성된다.

2. High-k metal gate

많은 연구자들이 기존의 유전물질인 SiO_2 를 대체하기 위하여 높은 유전상수(high-k) 물질에 대하여 관심을 가져왔다. 특히 HfO_2 물질은 높은 에너지 밴드갭과 높은 유전상수를 가지고 있고 Si과 열역학적인 안정성때문에 가



<그림 8> 22nm 로직 트랜지스터를 위한 ALD high-k 게이트 형성 기술^[11]

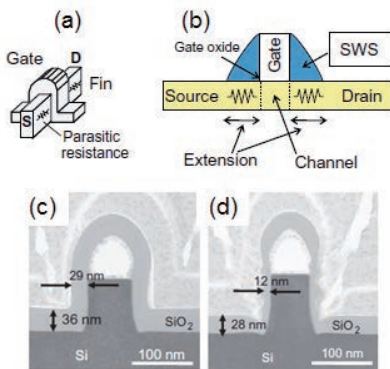
장 희망적인 물질로 알려져 있다. 다른 물질로는 Al_2O_3 의 경우 SiO_2 와 가장 유사한 밴드갭과 에너지 밴드 정렬이 가능하다. 상대적으로 낮은 유전상수에도 불구하고 Al_2O_3 는 높은 결정화 온도, 좋은 산소 확산 barrier와 높은 열적 안정성과 같은 장점 때문에 산업에 적용하기에 적합하다. 때문에 게이트 유전체로 HfO_2 와 Al_2O_3 의 결합하므로써 높은 유전율을 얻으면서 안정적인 high-k 유전체를 얻을 수 있었다.

예를 들어 high-k 유전체와 트랜지스터 게이트 금속은 1%의 균일성을 유지하면서 1nm 정도로 얇은 증착이 요구된다. HfO_2 게이트 산화물은 전형적으로 $HfCl_4$ 와 같은 고체 전구체와 금속유기 화합물을 이용한다. 32nm 공정에서 트랜지스터의 크기가 22nm로 축소됨에 따라서 conformal 금속박막이 5nm 이하의 두께로 증착되어야 한다. 이 과정에서 역시 접촉금속물질의 형성에도 ALD가 요구된다.

3. Sidewall spacer

집적회로의 트랜지스터의 크기가 축소됨에 따라서 증가되는 전력소모와 short-channel 효과를 극복하기 위하여 multi-gate 기술이 제안되었는데 대표적인 소자가 FinFET이다. FinFET은 현재의 CMOS 공정에 적합하고 intrinsic channel을 사용할 수 있어서 최근 연구개발이 빠르게 진행되어 지고 있다.

채널의 크기가 협소해 짐에 따라서 <그림 9>에서와 같



<그림 9> FinFET의 구조(a)와 sidewall spacer(SWS)에 의해서 발생된 기생저항성분(b), PECVD로 성장된 SWS(c), ALD로 성장된 SWS(d)^[12]

이 협소한 fin 영역 때문에 소오스/드레인영역에서 높은 기생저항(parasitic resistance)이 발생한다는 것이다. 이를 극복하기 위해서 정확하게 두께가 조절된 sidewall spacer에 의해서 확장되는 영역을 축소하므로 해결이 가능하다. Kazuhiko et. al.^[12]의 보고에 따르면 TEOS를 활용하여 SiO_2 sidewall spacer를 ALD로 형성시켜 12nm의 박막을 형성할 수 있었다.

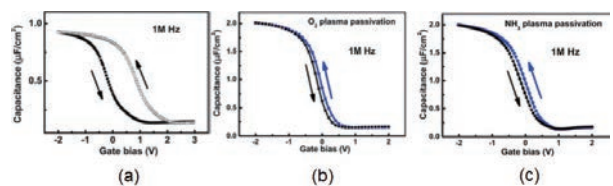
4. Surface passivation of high mobility channel

고성능의 CMOS를 제작하기 위하여 사용되는 SiO_2 는 지속적인 소자 축소로 인하여 증가하는 누설전류를 감소시키기 위한 대체물질이 필요하다. 따라서 높은 유전상수를 가지는 HfO_2 는 충분한 두께를 유지하면서 낮은 EOT를 유지할 수 있다. 이것은 SiO_2/Si 간의 계면문제가 다른 물질과 Si간의 계면문제로 이어지고 있다. 또한 높은

이동도를 가지는 Ge이나 III-V 반도체를 활용하여 높은 구동 전류를 낮은 구동전압에서 얻기 위하여 연구되고 있다. 특히 Ge는 고성능 MOSFET의 채널 물질로 관심을 받고 있는데 전자의 이동도가 3900

cm^2/Vs , 정공의 이동도가 1900 cm^2/Vs 로 매우 크다. 이러한 Ge를 산업적으로 활용하기 위해서 가장 극복해야 할 문제는 Ge와 고 유전상수 물질간의 계면문제이다. <그림 10>을 보면 passivation 전의 Pt/ HfO_2/p -Ge 구조의 C-V 곡선으로 높은 농도의 포획 밀도가 계면에 있음을 알 수 있다. 계면문제를 해결하기 위하여 O_2 플라즈마나 NH_3 플라즈마를 활용한 passivation은 C-V곡선에서 hysteresis 특성을 dramatic하게 해결할 수 있다.

Ge 계면문제를 해결하기 위한 다양한 표면



<그림 10> Pt/ HfO_2/p -Ge의 C-V hysteresis 특성 (a) 계면 처리가 없는 경우 (b) O_2 플라즈마 처리, (c) NH_3 플라즈마 처리^[13]

passivation은 GeO_x 가 불안정한 산화물이기 때문에 NH_3 를 처리함으로써 안정적인 GeO_xN_y 나 GeN_x 와 같은 nitridation이 처음 시도되었다. Houssa 그룹^[14]에서 발표한 GeO_xN_y 의 전기적인 특성은 HfO_2 를 게이트 유전체로 사용하여 최소 0.8nm의 EOT를 얻을 수 있었다.

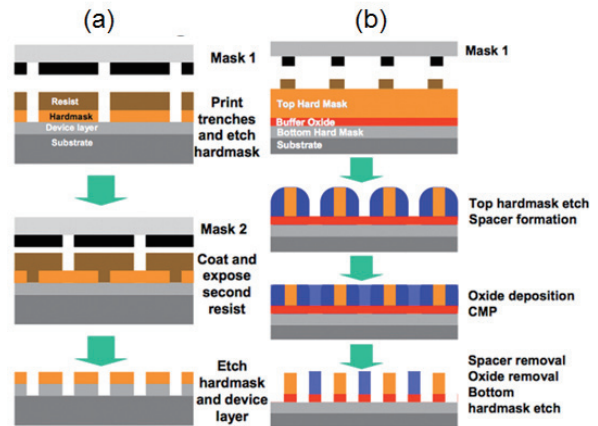
다른 시도로써 매우 얇은 epitaxial Si을 SiH_4 를 표면에 처리함으로써 Ge 물질위에 형성하는 것이다. Bai 그룹^[15]에서는 1nm 정도의 Si passivation을 통하여 1.24nm의 EOT를 얻을 수 있었다. 유사한 시도로써 Si를 완전히 산화시켜 SiO_2 산화물을 계면에 적용함으로써 EOT 0.95nm를 얻을 수 있었으며 TaN/ ZrO_2 / La_2O_3 / SiO_2 구조의 Ge n-MOSFET 제작하여 전자이동도 $340 \text{ cm}^2/\text{Vs}$ 가 얻어 졌다.

황(Sulfur, S)은 고이동도를 가지는 Ge 뿐만 아니라 III-V 화합물 반도체에서도 활용이 가능한 passivation 물질이다. S passivation은 $(\text{NH}_4)_2\text{S}$ 용액이나 H_2S 가스를 반응시켜 Ge-S-Ge을 형성시킬 수 있으며 1~3의 단일층이 생겨날 때 좋은 특성을 가지는 것으로 알려져 있다.

마지막으로 Ge 산화물은 물에 잘 용해가 되고 열적으로 불안정하여 430 °C에서 이동성이 강한 GeO로 변한다고 알려져 있다. 그러나 양질의 GeO_2 를 형성할 수 있다면 매우 낮은 D_{it} 를 가질 수 있으며 $1100 \text{ cm}^2/\text{Vs}$ 의 높은 Ge n-MOSFET^[16]을 제작할 수 있기 때문에 우수한 passivation 방법으로 주목 받고 있다.

4. Double patterning

반도체 소자 공정이 20nm 이하의 미세공정은 이머전 (immersion) 리소그래피 노광방식으로 완벽하게 회로를 형성하기 어렵기 때문에 고안된 방법으로 두 번에 나눠 노광을 하는 방법이 더블 패터닝이다. 쉽게 말하면 첫 번째 회로는 선폭을 50nm로 해서 노광하고, 두 번째는 첫 번째 회로 사이에 회로를 노광하여 넣으면 최종 회로선폭은 25nm가 되는 것이다. <그림 11(a)>와 같이 PR(photo resist)와 hardmask를 적층하고 mask 1을 이용하여 노광/패터닝하고 다시 PR을 코팅한 후 mask 2를 이용하여 노광패터닝한 후 hardmask를 노광/패터닝 한다. 남아 있는 PR을 제거한 후 식각하고자 하는 층을 제거하면 노광기



<그림 11> Double patterning 방법 (a) 2 mask (b) ALD spacer를 이용한 1 mask double patterning^[17]

의 노광능력을 2배로 증가시킬 수 있다.

ALD를 사용하는 경우는 <그림 11(b)>와 같이 mask 1을 이용하여 상부의 hardmask를 노광/패터닝 하여 제거한 후 ALD를 이용하여 spacer를 형성한다. 이후에 협소한 trench 부분에 ALD를 이용하여 oxide를 형성시켜다. 표면을 chemical-mechanical polishing (CMP)를 이용하여 제거한 후 노출된 spacer 부분을 식각하고 buffer oxide까지 제거하면 mask 1로 더블 패터닝이 완료된다.

IV. 향후 연구 및 결론

반도체 공정에서 실리콘을 기반으로 하는 공정기술은 여전히 주요한 소자형성 방법으로 응용된다. 소비자의 요구와 전자응용기기의 발전 속도로 미루어 보아 매우 협소한 10nm 이하의 소자 선폭이 곧 필요하게 될 것으로 예상된다. 트랜지스터에 대한 자체의 제한 요소는 역시 실리콘의 원자 크기와 제조사의 수율과 관련된 공정 능력이 될 것이다. 트랜지스터의 크기는 점점 작아지면서 실리콘 웨이퍼의 크기는 점점 증가하게 됨에 따라서 관련된 기술이 지속적으로 개발될 것이다. EUV에 근접하는 포토리소크리피와 ALD를 포함하는 증착기술, sidewall 제작기술과 나노구조를 활용하는 high-k 유전체 개발, 높은 이동도를 가지는 새로운 반도체 물질의 passivation과 3D의 패키징 기술이 개발될 것이며 이러한 기술들은 기존의



단순 제조기술에서가 아니라 고체물리나 소자물리적인 관점에서 해결이 가능할 것으로 예상된다.

참고 문헌

- [1] G. E. Moore, Cramming more components onto integrated circuits, Proc. IEEE, 86, 82–85, 1998.
- [2] Wikipedia, <http://en.wikipedia.org>.
- [3] A. B. Sachid and H. Chenming, Denser and more stable SRAM using FinFETs with multiple fin heights, IEEE Trans. Electron Devices, 59, 2037–2041, 2012.
- [4] C. Yang-Kyu, K. Asano, N. Lindert, V. Subramanian, K. Tsu-Jae, J. Bokor, and H. Chenming, Ultra-thin body SOI MOSFET for deepsub-tenth micron era, Proc. 1999 Int. Electron Devices Meeting Technical Dig., IEDM'99, 919–921, 1999.
- [5] ASML homepage, <http://www.asml.com>.
- [6] J. Fung Chen, Tom Laidig, Kurt E. Wampler, and Roger Caldwell, Optical proximity correction for intermediate-pitch features using sub-resolution scattering bars, J. Vac. Sci. & Technol. B, 15, 2426–2433, 1997.
- [7] Kelin J. Kuhn, Martin D. Giles, David Becher, Pramod Kolar, Avner Kornfeld, Roza Kotlyar, Sean T. Ma, Atul Maheshwari, and Sivakumar Mudanai, Process Technology Variation, IEEE Trans. on Elec. Dev., 58, 2197–2208, 2011.
- [8] S. Miller, EUVL scanners operational at chipmammers, Semicon West, 2011.
- [9] SK hynix homepage, <http://www.skhynix.com>.
- [10] Cheol Seong Hwang, Atomic layer Deposition for Semiconductors, Springer, New York, 2014.
- [11] M. Verghese, J. W. Maes, N. Kobayashi, Atomic layer deposition goes mainstream in 22nm logic technologies, Solid State, Technology, 53, 2010.
- [12] Kazuhiko Endo, Yuki Ishikawa, Takashi Matsukawa, Yongxum Liu, Shin-ichi O'uchi, Kunihiro Sakamoto, Junichi Tsukada, Hiromi Yamauchi, Meishoku Masahara, Enhancement of FinFET performance using 25-nm-thin sidewall spacer grown by atomic layer deposition, Sol. State Elec., 74, 13–18, 2012.
- [13] Qi Xie, Shaoren Deng, Marc Schaeckers, Dennis Lin, Matty Caymax, Annelies Delabie, Xin-Ping Qu, Yu-Long Jiang, Davy Deduytsche, and Christophe Detavernier, Germanium surface passivation and atomic layer deposition of high- κ dielectrics—a tutorial review on Ge-based, MOS capacitors, Semicond. Sci. Technol., 27, 074012, 2012.
- [14] Houssa M, Conard T, Bellenger F, Mavrou G, Panayiotatos Y, Sotiropoulos A, Dimoulas A, Meuris M, Caymax M and Heyns M M, Electrical Properties of Atomic-Beam Deposited $Ge_{1-x}N_x/HfO_2$ Gate Stacks on Ge, J. Electrochem. Soc., 153 G1112, 2006.
- [15] Bai W P, Lu N and Kwong D L, Si interlayer passivation on germanium MOS capacitors with high- κ dielectric and metal gate IEEE Electron Device, Lett, 26, 378–380, 2005.
- [16] Lee C H, Nishimura T, Nagashio K, Kita K and Toriumi A, High-Electron-Mobility Ge/GeO₂ n-MOSFETs With Two-Step Oxidation, IEEE Trans. Electron Devices 58, 2011.
- [17] Tech design forum, Triple patterning and self-aligned double patterning (SADP), <http://www.techdesignforums.com>.



김도영

- 1997년 2월 성균관대학교 재료공학과 학사
- 1999년 2월 성균관대학교 전기전자공학부 석사
- 2004년 2월 성균관대학교 전기전자공학부 박사
- 2004년 8월~2008년 9월 삼성SDI 책임연구원
- 2008년 9월~2009년 8월 포항공과대학교 연구교수
- 2009년 9월~2011년 2월 연세대학교 전기전자공학부 연구교수
- 2011년 3월~현재 울산과학기술대학교 전기전자공학부 조교수

〈관심분야〉

반도체공정, 태양전지 반사방지막, 박막증착, NCS 교육과정