

스위칭 IC의 근접 자계 분포 예측

Prediction of Near Magnetic Field Distribution of Switching ICs

김현호 · 송 림 · 이승배* · 김병성

Hyun-Ho Kim · Reem Song · Seungbae Lee* · Byung-Sung Kim

요 약

본 논문은 회로 시뮬레이션과 전자기 시뮬레이션을 병행하여 디지털 스위칭 회로가 실장된 PCB 상의 근접 자계 분포를 예측하는 방법을 제시한다. 제안 방법은 스위칭 회로의 신호 및 전원 포트를 정현 전원으로 구동하여 규격화된 근접 자계 분포를 구하고, 이 결과를 실제 스위칭 회로에 의한 전류의 주파수 스펙트럼으로 가중하여 근접 자계를 예측한다. 예측 방법론을 검증하기 위해 링 발진기와 출력 버퍼로 구성된 스위칭 집적 회로를 제작하고, 칩-온-보드(Chip On Board, 칩-온-보드) 형태로 평가하였다. 자계 프로브를 이용하여 PCB 상에서 표면 자계 분포를 측정하였으며, 시뮬레이션 결과와 비교하였다. 측정 결과와 시뮬레이션 계산 결과는 5차 하모닉 주파수까지 10 dB 이내로 일치함을 확인하였다.

Abstract

This work presents a method to predict the near magnetic field distribution on the digital switching circuit mounted on PCB using co-simulation of circuit and electromagnetic fields. The proposed method first obtains the normalized near field distribution by exciting the signal and power ports of the switching circuit using sinusoidal sources. Then the real near magnetic field distribution is determined by weighting the normalized field distribution using the current spectrum of the switching circuit. To confirm the proposed method, a switching IC with a ring oscillator and a output buffer is fabricated and measured in the form of chip-on-board. The surface magnetic field distribution is measured using a magnetic probe above the PCB and compared with the simulation results. Experimental results show the correspondence between simulation and measurement results within 10 dB up to fifth harmonics.

Key words: EMI, Prediction, Near Field Distribution, Switching ICs, Co-Simulation

I. 서 론

스마트폰의 발전에 따라 고속 디지털 시스템과 RF 모듈의 집적화가 일반화 되었다. 단말기의 제한된 공간에서 디지털 회로의 동작 속도가 증가함에 따라 전자기 간섭(Electromagnetic Interference: EMI)에 의한 RF 시스템의 수신감도 저하 가능성이 높아지고 있다^[1]. 과거에는 제품

개발의 최종 단계에서 EMI를 평가하여 문제가 발생하면 해결책을 찾았으나, 이 방법은 근원적 해결이 어려울 뿐더러 시간과 비용 면에서도 불리하다. 따라서 최근에는 설계 단계에서 EMI를 사전 예측하고 진단하는 것이 일반화 되고 있다^[2].

스위칭 회로에 의한 전자기파 간섭은 TEM 셀을 이용하여 그 정도를 파악할 수 있으나^[3], 이 방법으로는 EMI

「이 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2009-0083495).」

성균관대학교 정보통신대학(College of Information & Communication Engineering, Sungkyunkwan University)

*삼성전자(Samsung Electronics Co., Ltd.)

· Manuscript received August 17, 2015 ; Revised October 7, 2015 ; Accepted October 12, 2015. (ID No. 20150817-059)

· Corresponding Author: Byung-Sung Kim (e-mail: bskimice@skku.edu)

를 유발하는 원인을 정확하게 파악하기 어렵다. EMI를 유발하는 원인을 파악하기 위해서는 PCB나 칩 표면에서 접선방향 성분의 근접 자계를 측정하는 방법이 널리 사용된다. 이는 평면 회로에서 전자기 복사를 유발하는 전류성분의 대부분이 수평으로 흐르기 때문이며, 이 근접 자계가 큰 지점일수록 전류의 불평형 상태가 심해 전자기 복사를 강하게 유발하게 된다. 신호전류가 귀환하는 접지면이 신호선에 근접하여 위치하면 표면 자계가 약화되므로, 신호선뿐 아니라 접지면의 전류 분포도 정확히 계산해야 하며, 이를 위해서는 회로 해석과 전자기 해석을 병행해야 한다.

기존 연구에도 PCB 회로망의 부하 임피던스를 전자기 해석으로 구하여 능동 회로 해석에 반영함으로써, 전류 파형을 좀 더 정확히 구하고, 이로부터 EMI 특성을 예측한 연구 결과가 발표된 바 있다⁴⁾. 본 논문은 회로에 흐르는 전류를 정확히 계산할 뿐더러, 이 전류 분포를 활용하여 칩 및 PCB 상에서 근접 자계 분포를 구하는 전자기 통합 시뮬레이션 방법을 제시한다. 본 논문의 구성은 다음과 같다. II 장에서는 통합 시뮬레이션 방법론을 소개하고, III 장에서는 측정 결과와 시뮬레이션 결과를 비교하며, IV장에서 결론을 맺는다.

II. 통합 시뮬레이션 방법론

그림 1은 근접 자계 예측을 위한 회로, 전자기 통합 해석 방법론의 순서도이다. 해석 모델은 스위칭 전류를 발생시키는 집적회로 칩과 이 칩이 장착된 PCB 기판으로 구성되며, 칩에서 발생하는 스위칭 전류에 의한 PCB 상의 근접 자계를 예측하는 것이 목적이다. 실제 IC는 제어와 전원 공급 및 신호 입출력을 위한 다수의 패드를 갖고 있으나, 여러 패드 중 EMI를 발생시키는 스위칭 전류가 흐르는 패드는 일부에 국한된다. 따라서, 칩의 동작을 분석하여 문제가 될 스위칭 전류가 흐르는 패드를 선정하고, 이 패드들을 칩 상의 공통 접지면을 기준으로 전자기 해석 포트로 설정하여 전자기 해석을 수행한다. 전자기 해석을 통해 각 포트에서 바라본 PCB 회로망의 부하 임피던스와 PCB 상의 자계 분포를 구한다. 다음으로 각 포트의 부하 임피던스를 고려하여 회로 해석을 수행한다.

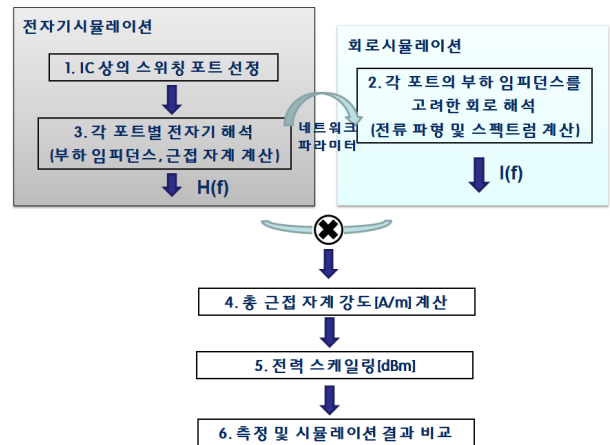


그림 1. 통합 시뮬레이션 순서도
Fig. 1. Co-simulation flow chart.

주파수 영역 전자기 해석은 규격화된 정현 전원을 사용하므로, 실제 스위칭 회로에 의한 근접 자계 분포를 구하기 위해서는 전자기 해석에서 각 포트 별로 구한 주파수 영역의 전류-자계 전달함수에 회로 시뮬레이션에 구한 각 포트의 스위칭 전류 주파수 스펙트럼을 곱해야 한다. 총 근접 자계는 기준 자계 분포에 각각의 전류 스펙트럼 크기에 따른 가중값을 곱해 더함으로써 구해진다. 예측치와 실측치와의 비교는 전력 스케일링 후에 이루어진다. 근접자계 측정 장치는 스펙트럼 분석기로 전력을 측정하는데 비해, 근접 자계 계산은 자계 강도[A/m]로 하기 때문에 두 값을 비교하기 위해서는 자계 강도를 측정 시스템의 전력값으로 환산하기 위한 스케일링이 필요하다. 이후 절에서는 상기 과정을 구체적으로 살펴보도록 한다.

2-1 근접 자계 예측 모델

그림 2는 본 연구에서 사용한 해석 및 측정 모델로 중앙에 스위칭 IC가 칩에 칩-온-보드(Chip-On-Board: COB) 형태로 장착되며, PCB 상에는 여러 제어선과 전원선(VDD) 및 신호선이 존재한다.

테스트용 IC는 0.13 μ m CMOS 공정으로 제작하였으며, 그림 3(a)와 같이 전압으로 발진 주파수를 조절하는 링 오실레이터와 출력 버퍼로 구성된다. 칩 상의 패드 배치는 그림 3(b)와 같다. 위상 고정 루프(phase locked loop)를 내장하고 있으나, 본 논문에서는 PLL은 비활성 상태로 링

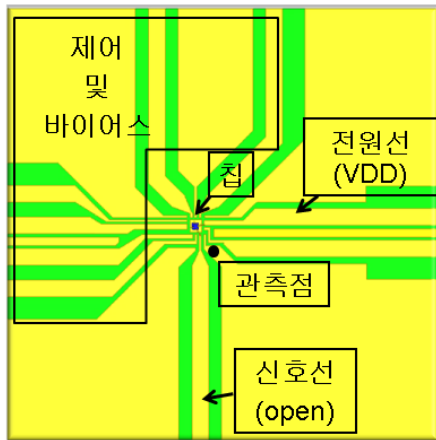
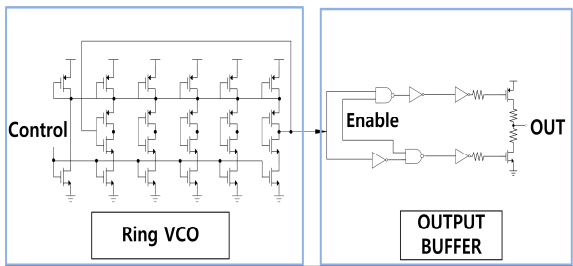
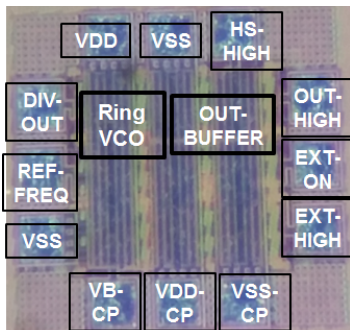


그림 2. 근접자계 해석 모델
Fig. 2. Analysis model for near magnetic field prediction.



(a)



(b)

그림 3. (a) 스위칭 IC 회로도 (b) 제작한 스위칭 IC의 패드 배치
Fig. 3. (a) Schematic of switching IC (b) Die photo of switching IC and placement of pads.

발진기만 동작시켜 해석하였다. 따라서, 그림 3에서 링 발진기가 동작할 때 스위칭 전류가 흐르는 패드는 VDD, VSS, OUT_HIGH 이며, 전자기 해석에 필요한 공통 접지

면은 각 패드 밑면에 형성되어 있다. VSS 패드는 접지면과 연결되어 있으므로, 이를 통해 흐르는 전류는 회로 해석 및 전자기 해석에서 내재적으로 반영된다. 따라서, VSS 패드는 전자기 해석 및 회로 해석에서 독립 포트로 설정하지 않는다.

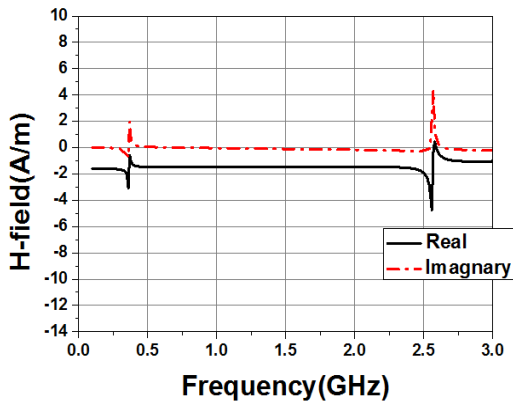
2-2 전자기 해석

전자기 해석의 목적은 회로 해석에 필요한 PCB 회로망의 부하 임피던스를 구하고, 각 포트를 정현 전원으로 구동할 때 발생하는 근접자계 분포를 구하기 위한 것이다. 2-1절에서 설명한 전원 패드와 신호 패드를 전자기 해석 포트로 설정하여 전자기 해석을 수행한다. 스위칭 IC가 구동될 때 VDD와 신호선에 흐르는 전류의 위상이 다르기 때문에, PCB 상의 근접 자계를 구할 때는 실수부와 허수부로 나누어 계산해야 한다. 전자기 해석은 HFSS를 사용하였으며, 그림 4는 전원 패드 및 신호 패드를 각각 1A 정현 전류원으로 구동했을 때 PCB 상의 1 mm 위에서의 관측점에서의 근접 자계 강도이다.

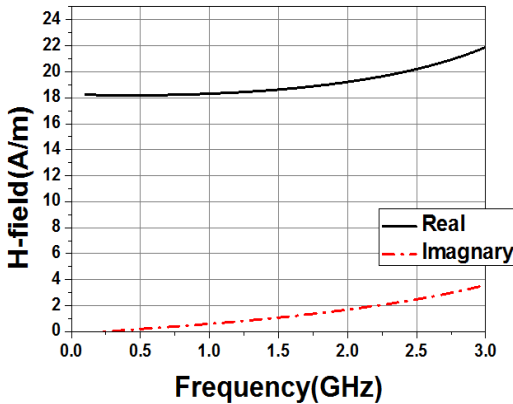
2-3 회로 해석 및 스위칭 전류 스펙트럼 계산

링 오실레이터의 주파수는 입력 전압에 의해 제어되고, 출력 버퍼를 통해 신호를 부하로 전송한다. 스위칭 회로가 동작하면, VDD로 표시되는 전원 선로와 버퍼 출력에 스위칭 전류가 발생하게 된다. 칩 상의 접지단과 PCB 상의 접지면을 잇는 접지 선로에도 스위칭 전류가 흐르게 되나, 이 전류는 신호단과 전원단 전류와 함께 KCL 조건을 만족하므로, 칩 상의 접지단을 각 포트의 공통 노드로 구성하면 별도로 접지단의 전류를 구할 필요는 없다. 따라서 전자기 해석 및 스위칭 전류를 해석하는 포트는 칩 상의 전원 패드와 신호 출력 패드가 된다.

전원 선로와 신호 선로에 흐르는 전류는 회로 시뮬레이션을 통해 구할 수 있다. 신호전류와 전압원에서 공급받는 전류에 대한 분석은 회로 시뮬레이션 툴인 SPECTRE™를 통해 수행하였다. 정확한 회로 해석을 위해 전자기 해석에서 구한 전원 패드와 신호 출력 패드에서 내다본 PCB 회로망의 부하 임피던스를 포함하여 해석하였다. 부하조건은 칩의 본딩 패드에서부터 PCB의 부하까지



(a) 전압원 선로에서 발생한 자기장 강도
(a) H-field intensity at VDD line



(b) 신호 선로에서 발생한 자기장 강도
(b) H-field intensity at signal line

그림 4. 관측점에서 자기장 강도
Fig. 4. H-field intensity at a observation point.

해당하는 기판의 회로망 파라미터이다.

그림 5는 링 발진기를 550 MHz의 발진 주파수로 동작시켰을 때 신호 선로와 전원 선로로 전달되는 전류를 시간영역과 주파수 영역에서 나타낸 것이다. 주파수 영역 스펙트럼은 회로 시뮬레이션을 통해 구한 시간 영역 전류 파형을 고속 푸리에 변환한 것이다. 각 신호는 링 오실레이터의 기본 주파수에서 가장 큰 크기를 갖게 된다.

2.4 전류 스케일링을 통한 총 근접 자기장 강도 계산

전원 포트와 신호 포트에서 정현 전원에 의한 근접 자기장 분포와 각 포트에서 PCB 회로망을 고려한 스위칭 전

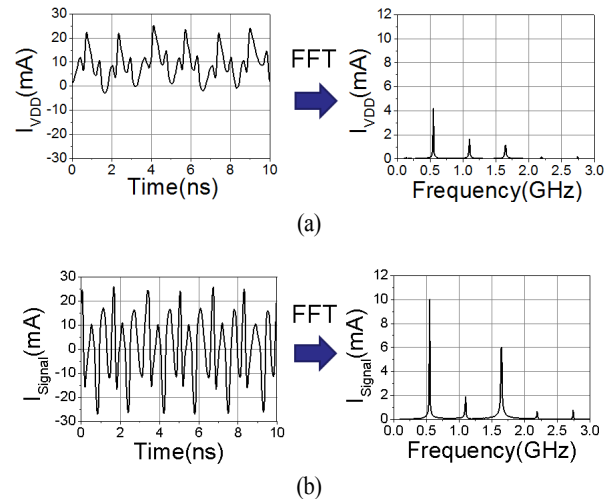


그림 5. (a) 전원 선로와 (b) 신호 선로에서의 전류 파형과 FFT를 통해 계산된 전류 스펙트럼 결과
Fig. 5. Current waveform and spectrum at VDD and signal lines.

류의 스펙트럼을 구했으므로, 스위칭 전류에 의한 총 근접 자기장 강도 분포 H_{total} 은 식 (1)처럼 신호 선로와 전원 선로에 흐르는 전류에 의해 생성되는 근접 자기장의 중첩으로 구할 수 있다. 이 때 각 포트의 스위칭 전류는 위상이 다르므로 시뮬레이션 상에서 위상을 고려하여 계산해야 한다. 전자기 해석에서 1 A의 크기를 갖는 정현 전류를 사용했으므로, 식 (1)에서 $I_{EM,VDD}$ 와 $I_{EM,signal}$ 의 값은 1 A이다.

$$H_{total}(x, y, \omega) = \frac{I_{IC,VDD}(\omega)}{I_{EM,VDD}(\omega)} \times H_{EM,VDD}(x, y, \omega) + \frac{I_{IC,signal}(\omega)}{I_{EM,signal}(\omega)} \times H_{EM,signal}(x, y, \omega) \quad (1)$$

III. 측정 결과 및 전력 스케일링

3-1 근접 자기장 분포 측정

그림 6은 스위칭 IC를 동작시켰을 때 발생하는 근접 자기장 분포를 측정하기 위한 스캐닝 시스템의 구성이다. 자기장 프로브는 LANGER사의 SX 근접 자기장 프로브^[6]를 사용하여 기판의 1 mm 위에서 수행하였다. 측정은 3 m × 3 m 차폐실에서 수행했으며, 1 mm 해상도로 각 위치에서

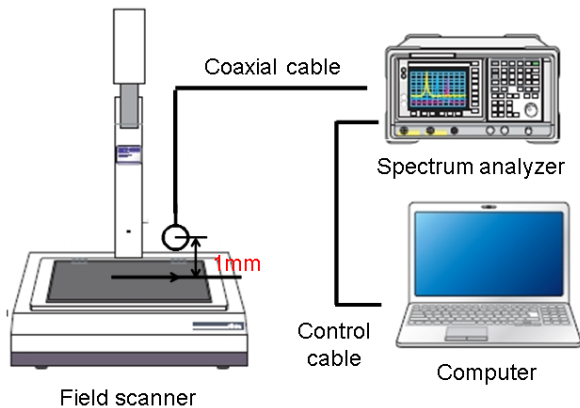


그림 6. 근접 자계 스캐닝 시스템
Fig. 6. Near magnetic field scanning system.

의 자계 강도 데이터를 얻었다. 그리고 각 주파수에서 수집된 데이터는 스펙트럼 분석기를 통해 전력단위로 계산된다.

그림 7은 실제 측정에 쓰인 칩-온-보드 사진이고, 그림 8(a)는 링 발진기를 550 MHz의 발진 주파수로 발진시켰을 때의 x축 방향의 근접 자계 분포 측정 결과이다.

그림 8(a)를 보면 신호 선로의 양 옆으로 상당한 자계 분포가 나타난다. 그 이유는 칩에서 선로 쪽으로 나오는 스위칭 전류의 접지 전류가 보드 상판에 형성된 접지면에 분포하기 때문이며, 이 분포는 제어 선로 부근까지 확대되어 나타난다. 또한, y축 방향의 전계 강도의 크기를 계산해 그림 8(c)로 도시했다. 측정값과 계산값이 단위가 달라 직접적인 비교가 어려우나, 유사한 분포를 보임을 확인할 수 있다. 절대값을 비교하기 위해서는 계산 결과를 측정값과 같은 전력값으로 환산할 필요성이 있다.

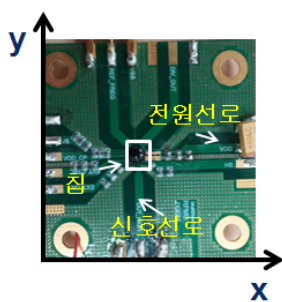
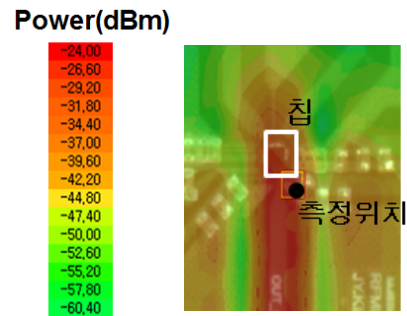
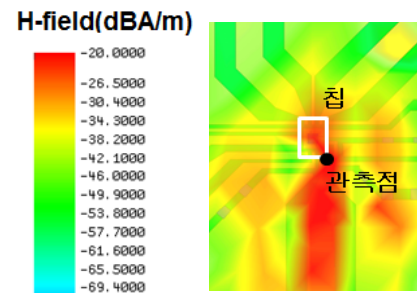


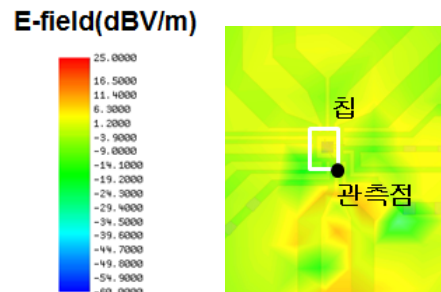
그림 7. 칩-온-보드 사진
Fig. 7. Chip-on-board photograph.



(a) 근접 자계 분포 측정 결과
(a) Result of near H-field distribution measurement



(b) 근접 자계 분포 시뮬레이션 결과
(b) Result of near H-field distribution simulation



(c) 근접 전계 분포 시뮬레이션 결과
(c) Result of near E-field distribution simulation

그림 8. 근접 자계, 전계 분포 결과
Fig. 8. Results of near field distribution.

3-2 전력 스케일링 후 측정 결과와 계산 결과 비교

계산으로 구한 자계 강도는 [A/m]의 단위로 나타나지만, 실제 측정환경에서 근접 자계 분포를 측정할 결과는 [dBm]의 전력 단위로 주어진다. 이를 위해 측정 시스템에서 수행하는 프로브 교정 방법을 이해해야 한다. 프로브 교정은 프로브 및 케이블 손실을 보상하여 자계 강

도와 전력 값의 대응 관계를 구하는 과정이다. 구체적으로 프로브 교정은 특성임피던스가 50 Ω인 마이크로스트립 선로를 특성 임피던스로 종단하고, 0 dBm의 전력을 인가했을 때 라인의 중심에서 1 mm 위에 위치한 한 점에서 선로의 횡방향(x축 방향)의 자계 강도 측정값을 기준으로 이루어진다. 이 조건으로 마이크로스트립 선로 중앙의 자계 강도를 전자기 해석하면 그림 9의 결과가 얻어진다. 따라서, 2-4 절에서 구한 주파수 별 자계강도를 그림 9의 결과와 비교하여 0 dBm 대비 전력으로 환산할 수 있다.

즉, 식 (1)에서 구한 총 근접 자계 강도 H_{total} 를 그림 9의 0 dBm을 인가한 선로에서 발생한 자계 강도 H_{0dBm} 로 나누어 주고, 자계 강도는 전류에 비례하고, 전력은 전류의 제곱에 비례하기 때문에 식 (2)를 이용하면 계산된 근접 자계 강도를 스캐닝 시스템에 측정된 전력값으로 변환할 수 있다.

그림 10은 그림 8(a)의 측정위치에서 칩-온-보드로부터 발생하는 근접 자계 측정값과 그림 8(b)의 관측점에서 통합 시뮬레이션 방법으로 구한 시뮬레이션 값을 전력 단위로 비교한 것이다. IC는 동일 공정에서 생산에도 칩마다 성능 차이가 나타나기 때문에, 전류 스펙트럼을 구할 때 코너 시뮬레이션을 돌려 비교하였다. 그림에서 FF는 모든 트랜지스터가 고속으로 동작하는 경우이고, SS는 트랜지스터가 저속으로 동작할 때를 의미한다. 그림의 데

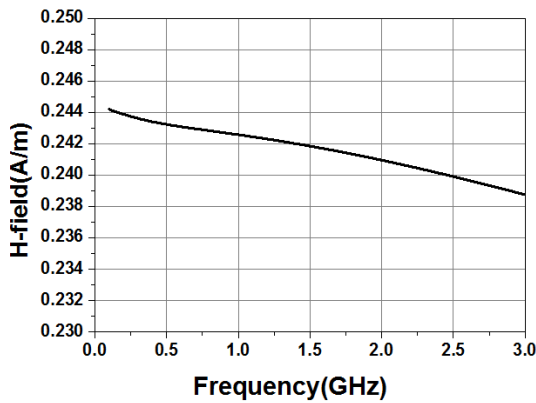


그림 9. 프로브 교정 환경에서 얻어진 자계 강도
Fig. 9. H-field intensity obtained by probe calibration environment.

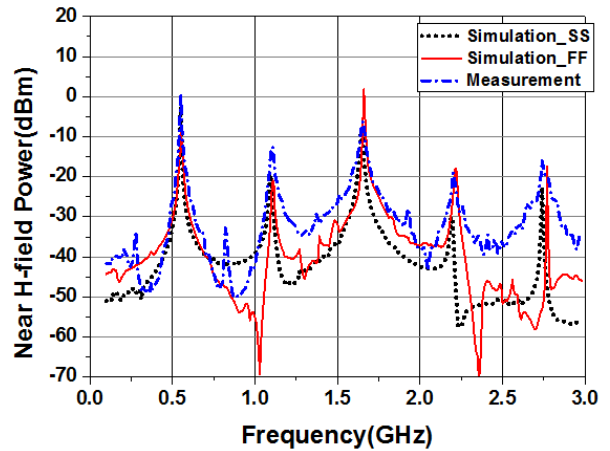


그림 10. 측정, 시뮬레이션 근접 자계 전력 값 비교
Fig. 10. Comparison of measured and simulated near H-field power.

이터에서 확인할 수 있듯이, 550 MHz로 발진하는 링 발진기의 스위칭 전류에 의한 근접자계는 측정치와 비교하면 4차 하모닉까지 10 dB 이내로 예측됨을 알 수 있다.

$$Power_{simulation} [dBm] = 20 \log(H_{total} / H_{0dBm}) [dBm] \quad (2)$$

IV. 결 론

본 논문은 스위칭 회로가 장착된 PCB에서 발생하는 근접 자계 분포를 예측할 수 있는 통합 시뮬레이션 방법을 제시했다. 전자기 시뮬레이션을 이용해 PCB의 회로망 파라미터와 정규 자계 분포를 구하고, 이를 회로 시뮬레이션을 통해 구한 전류스펙트럼으로 가중하여 근접 자계 분포를 계산하였다. 본 논문에서는 제안 방법을 COB 구조에 대해 적용하였으나, 원리적으로는 칩 상의 근접자계 분석이나, 좀 더 복잡한 패키지 모델에도 동일하게 적용할 수 있으므로, 실제 제품에 적용하면 제품 개발단계에서 EMI 대책을 수립할 수 있을 것이다.

References

[1] 박학병, 김형근, 박노천, 정규백, "PCB 설계인자의 복사성 EMI 영향 분석", 한국전자과학회지 전자파기술, 14(1), pp. 28-34, 2003년 1월.
[2] Hyun Ho Park, Jin-Hwan Jung, Tae-Sun Jang, Sang-Tae

Han, Seung-Hyun Song, Jae-Jin Park, and Hark-Byeong, "Prediction of radiated EMI from PCB excited by switching noise of IC", *Microwave and Optical Technology Letters*, vol. 51, pp. 2262-2266, 2009.

[3] V. Kasturi, S. Deng, T. Hubing, and D. Beetner, "Quantifying electric and magnetic field coupling from integrated circuits with TEM cell measurements", *Proc. IEEE International Symposium on Electromagnetic Com-*

patibility, vol. 2, pp. 422-425, Aug. 2006.

[4] Hyun Ho Park, Seung-Hyun Song, Sang-Tae Han, Tae-Sun Jang, Jin-Hwan Jung, and Hark-Byeong Park, "Estimation of power switching current by chip-package-PCB cosimulation", *IEEE Transactions on Electromagnetic Compatibility*, vol. 52, no. 2, May 2010.

[5] www.langer-emv.de

김 현 호



2014년 2월: 성균관대학교 반도체시스템 공학과 (공학사)
 2014년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
 [주 관심분야] EMI, RFIC 설계

이 승 배



1996년 2월: 광운대학교 전자통신공학과 (공학사)
 2010년 2월: 성균관대학교 반도체 디스플레이공학과 (공학석사)
 1999년~현재: 삼성전자 S.LSI IC Level 전자파 적합성 담당
 [주 관심분야] IC Level EMI/EMS, Power

Integrity

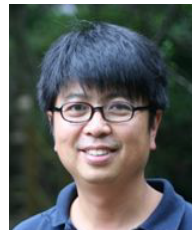
송 립



1997년 2월: 한양대학교 전파공학과 (공학사)
 1999년 2월: 서울대학교 전자공학과 (공학석사)
 2006년 8월: 미국 USC 전자공학과 (공학박사)
 2013년 5월~현재: 성균관대학교 정보통신연구소 연구원

[주 관심분야] 광 및 마이크로파, mm파 소자

김 병 성



1989년 2월: 서울대학교 전자공학과 (공학사)
 1991년 2월: 서울대학교 전자공학과 (공학석사)
 1997년 2월: 서울대학교 전자공학과 (공학박사)
 1997년 3월~현재: 성균관대학교 정보통신대학 교수

[주 관심분야] RFIC 설계, RF 소자 모델링