

부트스트래핑과 능동 몸체 바이어싱을 이용한 13.56~915 MHz용 CMOS 정류기

13.56~915 MHz CMOS Rectifier Using Bootstrapping and Active Body Biasing

진 호 정 · 조 춘 식

Ho Jeong Jin · Choon Sik Cho

요 약

본 논문은 0.11 μm RF CMOS 공정에서 부트스트래핑 및 능동 몸체 바이어싱을 사용한 정류기를 제안한다. 제안하는 정류기는 교차 커플링을 이용한 전파정류기의 구조로 이루어져 있으며, 부트스트래핑과 능동 몸체 바이어싱을 이용하여 문턱전압 및 누설전류를 감소시켜 전력변환효율을 증가시켰다. 또한, 무선전력전송용 주파수인 13.56 MHz부터 RFID용 주파수인 915 MHz에서 사용할 수 있으며, 다양한 분야에서 응용될 수 있도록 설계하였다. 측정결과, 부하저항 10 k Ω 기준으로 입력전력 0 dBm일 때, 13.56 MHz 주파수에서 전력변환효율 80 %, 915 MHz 주파수에서 40 %를 나타낸다.

Abstract

This paper proposes a rectifier using bootstrapping and active body biasing in 0.11 μm RF CMOS process. The proposed rectifier employs the full-wave rectifying structure with cross coupling and increases the power conversion efficiency by reducing the threshold voltage and leakage current using bootstrapping and active bias biasing. Also, it has been designed to be applied to a wide range of applications from 13.56 MHz used in wireless power transmission to 915 MHz used in RFID. As a measured result, 80 % of power conversion efficiency is obtained when the input power is 0 dBm at 10 k Ω load resistance and 13.56 MHz. Also 40 % of power conversion efficiency is shown in 915 MHz.

Key words: Rectifier, Bootstrapping, Active Body Biasing, Wireless Power Transmission, RFID

I. 서 론

정류기는 무선전력전송(wireless power transfer) 및 RFID, Energy Harvester에 널리 쓰이는 회로로 교류신호를 직류 신호로 변환하는 장치이다^[1]. 이러한 정류기의 성능을 가장 잘 나타내는 지표인 전력변환효율(Power Conversion

Efficiency: PCE)을 증가시키기 위한 방법은 다양하게 연구되어 왔으며, 본 논문에서는 부트스트래핑(bootstrapping)과 능동 몸체 바이어싱(active body biasing)을 적용하여 문턱전압을 낮추고, 누설전류를 감소시켰다. 또한, 13.56 MHz에서 부터 915 MHz에 이르는 넓은 대역에 적용이 가능하도록 설계하였다.

「본 연구는 해양수산부 해양시설과 “해양교통 전문인력 양성사업(GNSS 부분)”에 의해 지원되었습니다.」

한국항공대학교 항공전자정보공학부(School of Electronics and Information Engineering, Korea Aerospace University)

· Manuscript received August 12, 2015 ; Revised September 15, 2015 ; Accepted September 25, 2015. (ID No. 20150812-057)

· Corresponding Author: Choon Sik Cho (e-mail: cscho@kau.ac.kr)

PCE는 식 (1)로 나타낼 수 있으며, 입력전력이 얼마만큼 출력전력으로 전달되는가를 나타내는 지표이다. 트랜지스터의 문턱전압이 증가하면 출력전압은 감소되고, 누설전류가 증가하면 출력전류는 감소하므로, 정류기의 효율을 증가시키기 위해서는 트랜지스터의 문턱전압을 낮추고, 누설전류를 감소시켜야 한다. 그러나 문턱전압이 높아지면 누설전류가 작아지고, 반대로 문턱전압이 낮아지면 누설전류가 커지는 상충관계가 있다. 이를 해결하기 위하여 본 정류기는 그림 1과 같이 입력 트랜지스터의 게이트를 교차시킨 구조에^[2] 부트스트래핑 기법과 능동 몸체 바이어싱 기법을 사용하여, 문턱전압을 낮추어 전력 변환 효율을 증가시켰다.

$$PCE = \frac{P_{OUT}}{P_{IN}} = \frac{V_{OUT} \cdot I_{OUT}}{P_{IN}} \quad (1)$$

II. 제안하는 정류기

제안하는 정류기의 구조는 그림 1과 같으며, 입력 트랜지스터는 $M_1 - M_4$ 이고, 부트스트래핑 효과를 위해 M_{D1} 과 M_{D2} 가 사용되었다. 이 구조는 교차 게이트 커플링 정류기로 기존의 다이오드로 구성된 전파정류기 대신 트랜지스터로 구성된 전파 정류회로를 적용하였다.

그림 2에 그림 1의 등가회로를 나타내었으며, 문턱전압이 감소되는 원리^[3]를 보여준다. 출력전압과 입력전압의

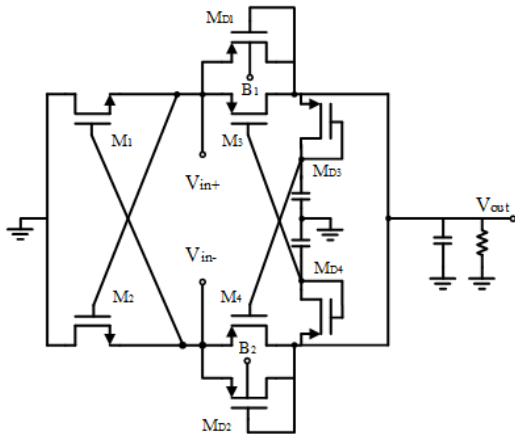


그림 1. 제안하는 정류기의 구조
Fig. 1. Structure of the proposed rectifier.

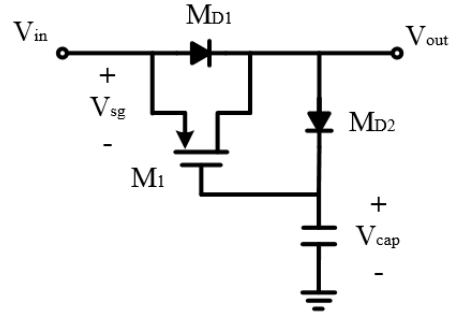


그림 2. 부트스트래핑 등가회로
Fig. 2. The equivalent bootstrapping circuit.

관계는 트랜지스터 M_{D1} 의 문턱전압과 관련하여 식 (2)~(4)와 같이 나타낼 수 있다.

$$V_{out} = V_{in} - V_{TH,D1} \quad (2)$$

$$V_{cap} = V_{out} - V_{TH,D2} \quad (3)$$

$$V_{sg} \geq |V_{TH,M1}| = V_{in} - V_{cap} \quad (4)$$

식 (3)과 식 (4)에서 V_{sg} 를 최솟값으로 설정하면 식 (5)로 나타낼 수 있는데, 여기서 M_1 과 M_{D2} 의 문턱전압을 같게 하면 V_{out} 은 V_{in} 과 같게 된다.

$$V_{out} = V_{in} - (|V_{TH,M1}| - V_{TH,D2}) \quad (5)$$

즉, 출력전압의 증가로 인한 PCE의 증대를 가져온다. 그러나 문턱전압이 작아진다는 것은 반대로 누설전류의 증가를 나타내며, 이는 그림 3의 능동몸체 바이어싱을 통하여 보완하였다. 그림 3에서 B_1 및 B_2 는 출력전압과 입

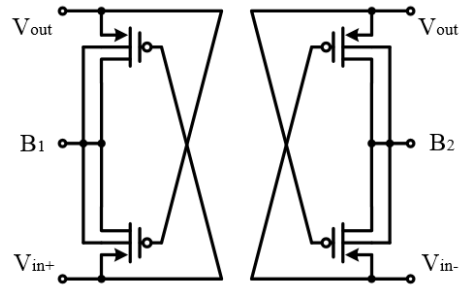


그림 3. 능동몸체 바이어싱 회로
Fig. 3. Active body biasing circuit.

력전압에 의해서 생성된 노드전압을 뜻하며, 그림 1의 M_{D1} 과 M_{D2} 의 몸체인 B_1 과 B_2 로 인가된다.

그림 1의 M_{D1}, M_{D2} 는 부트스트래핑 효과를 얻기 위한 다이오드 역할을 하는 소자이므로 누설전류가 발생하는데, 출력전압과 입력전압을 비교하여 다이오드의 몸체 바이어싱을 능동적으로 인가한다. 순방향 전류의 경우, 바이어스는 낮아지므로 문턱전압이 작아지고, 역방향일 경우 누설전류를 최소화해야 하므로 문턱전압이 높아지는 원리를 사용하였다. 여기서 사용된 4개의 입력 트랜지스터인 NMOS(M_1, M_2)와 PMOS(M_3, M_4)의 폭과 길이는 $7 \mu\text{m}/0.13 \mu\text{m}$, $18 \mu\text{m}/0.13 \mu\text{m}$ 이며, M_{D1}, M_{D2} 와 M_{D3}, M_{D4} 의 폭과 길이는 각각 $1.8 \mu\text{m}/0.13 \mu\text{m}$, $3.6 \mu\text{m}/0.13 \mu\text{m}$ 이다.

III. 측정결과

그림 4는 입출력 전압 측정결과이며, 그림 5는 입력전력 및 주파수에 따른 PCE 결과이다. 10 MHz에서 PCE는 0 dBm 입력의 경우, 약 80%, 100 MHz에서 약 75%, 500 MHz에서 50%, 915 MHz에서 40%를 나타낸다. 이를 다른 논문과 비교하여 표 1에 정리하여 나타내었다. 그림 6는 0.11 μm 표준 CMOS 공정을 사용하여 제작한 칩 사진이다. 핵심부(Core)의 크기는 $600 \mu\text{m} \times 200 \mu\text{m}$ 이며, 패드를 포함하였을 경우의 크기는 $650 \mu\text{m} \times 430 \mu\text{m}$ 이다.

IV. 결론

문턱전압을 줄이기 위하여 부트스트래핑과 능동몸체 바이어싱을 적용한 정류기는 0.11 μm 표준 CMOS 공정

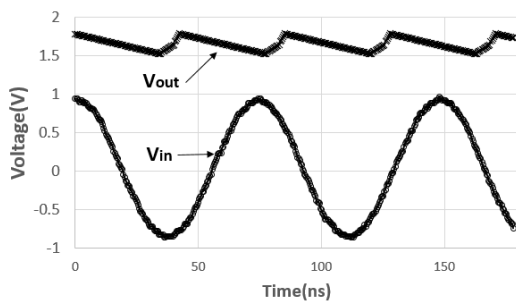


그림 4. 시간에 따른 입력전압 및 출력전압 측정
Fig. 4. Measured input and output voltages in time domain.

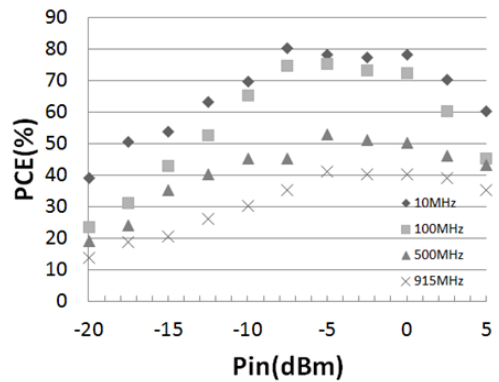


그림 5. 입력전력 및 주파수에 따른 PCE 측정 결과
Fig. 5. Measured PCE vs pin & frequency.

표 1. 성능 비교 분석표

Table 1. Performance summary and comparison.

	Ref. [2]	Ref. [4]	Ref.[5]	This work	
공정(μm)	0.18	0.18	0.18	0.11	
주파수(MHz)	953	900	100, 953	13.56	915
부하저항(k Ω)	10	163	10, 10	10	10
PCE(%)	32	40	80, 67.5	80	40

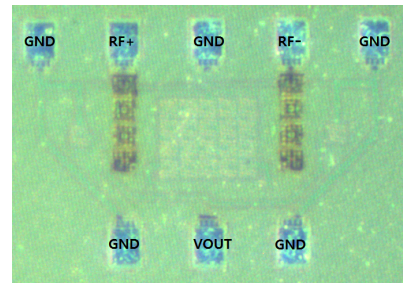


그림 6. Chip 사진
Fig. 6. Die photo.

을 사용하여 설계하였으며, 부하 저항 10 k Ω 기준으로 주파수 10 MHz일 때 최대 PCE 80%, 500 MHz에서 50%, 915 MHz에서 40%를 나타내므로, 높은 대역에서 PCE가 감소하지만 전체적으로 광대역에서 사용이 가능하다.

References

[1] G. J. Li, T. C. Lee, "2.4 GHz high-efficiency adaptive power harvester", *IEEE Trans. VLSI*, vol. 22, no. 2, pp.

- 434-438, Feb. 2014.
- [2] K. Kotani et al., "High efficiency CMOS rectifier circuits for UHF RFIDs using V_{th} cancellation techniques", *IEEE Conf. ASIC*, Changsha, China, pp. 20-23, Oct. 2009.
- [3] T. T. Le, J. Han, A. von Jouanne, K. Mayaram, and T. S. Fiez, "Piezoelectric micro-power generation interface circuits", *IEEE J. Solid-State Circuits*, vol. 41, no. 6, pp. 1411-1420, Jun. 2006.
- [4] P. Wei, W. Che, Z. Bi, C. Wei, Y. Na, L. Qiang, and M. Hao, "High-efficiency differential RF front-end for a Gen2 RFID tag", *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 58, no. 4, pp. 189-194, Apr. 2011.
- [5] K. Kotani, A. Sasaki, and T. Ito, "High-efficiency differential-drive CMOS rectifier for UHF RFIDs", *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3011-3018, Nov. 2009.