한국정보전자통신기술학회논문지(jkiiect)'15-02, Vol.8 No.1
논문 15-08-01-037 http://dx.doi.org/10.17661/jkiiect.2015.8.1.037

SWCNT 다중채널 FET용 표면 프로그램된 APTES와 OTS 패턴을 이용한 공정에 대한 연구

김병철*, 김주연**, 안호명***

Programmed APTES and OTS Patterns for the Multi-Channel FET of Single-Walled Carbon Nanotubes

Byung-Cheul Kim*, Joo-Yeon Kim**, Ho-Myoung An***

요 약 본 논문에서 전계효과 트랜지스터 (field effect transistor; FET) 제작을 위한 표면 프로그램된 aminopropylethoxysilane (APTES)와1-octadecyltrichlorosilane(OTS) 패턴을 이용하여 단일벽 탄소 나노튜브(single-walled carbon nanotube; SWCNT)를 실리콘 기판 위에 선택적으로 흡착시키는 공정 방법을 제안하였다. 양성 표면 분자 패턴을 만들기 위해 형성된 APTES 패턴은 많은 양의 SWCNT의 흡착을 위해 제작되었고, OTS 만을 이용한 공정보다 효과적인 SWCNT 흡착이 가능하다. 산화막(silicon dioxide)이 형성된 실리콘 기판 위에 사진공정(photolithography process)을 이용하여 임의의 감광액(photoresist; PR) 패턴이 형성되었다. PR 패턴이 형성된 기판은 헥산 용매를 이용하여 1:500 (v/v)로 희석된 OTS 용액 속에 담가진다. OTS 박막이 표면 전체에 만들어지고, PR 패턴이 제거되는 과정에서 PR 위에 형성되었던 OTS 박막도 같이 제거되어, 선택적으로 형성된 OTS 박막 패턴을 얻을 수 있다. 이 기판은 다시 에탄올 용매를 이용하여 희석된 APTES 용액 속에 담가진다. APTES 박막은 OTS 박막 패턴이 없는 노출된 산화막 위에 형성된다. 마지막으로 이처럼 APTES와 OTS에 의해 표면 프로그램된 기판은 SWCNT가 분산된 다이클로로벤젠(dichlorobenzene) 용액 속에 담가진다. 결과적으로 SWCNT는 양 극성을 띠는(positive charged) APTES 박막 패턴 위에만 흡착된다. 반면 중성 OTS 박막 패턴 위에는 흡착되지 않는다. 이러한 표면 프로그램 방법을 사용하여 SWCNT는 원하는 영역에 자기 조립시킬 수 있다. 우리는 이 방법을 이용하여 소오스와 드레인 전극사이에 SWCNT가 멀티 채널로 구성된 다중채널 FET를 성공적으로 제작하였다.

Abstract In this paper, we have investigated a selective assembly method of single-walled carbon nanotubes (SWCNTs) on a silicon substrate using only photolithographic process and then proposed a fabrication method of field effect transistors (FETs) using SWCNT-based patterns. The aminopropylethoxysilane (APTES) patterns, which are formed for positively charged surface molecular patterns, are utilized to assemble and align millions of SWCNTs and we can more effectively assemble on a silicon (Si) surface using this method than assembly processes using only the 1-octadecyltrichlorosilane (OTS). We investigated a selective assembly method of SWCNTs on a Si surface using surface-programmed APTES and OTS patterns and then a fabrication method of FETs. photoresist(PR) patterns were made using photolithographic process on the silicon dioxide (SiO2) grown Si substrate and the substrate was placed in the OTS solution (1:500 v/v in anhydrous hexane) to cover the bare SiO2 regions. After removing the PR, the substrate was placed in APTES solution to backfill the remaining SiO2 area. This surface-programmed substrate was placed into a SWCNT solution dispersed in dichlorobenzene. SWCNTs were attracted toward the positively charged molecular regions, and aligned along the APTES patterns. On the contrary, SWCNT were not assembled on the OTS patterns. In this process, positively charged surface molecular patterns are utilized to direct the assembly of negatively charged SWCNT on SiO2. As a result, the selectively assembled SWCNT channels can be obtained between two electrodes(source and drain electrodes). Finally, we can successfully fabricate SWCNT-based multi-channel FETs by using our self-assembled monolayer method.

Key Words : SWCNT, CNT, Multi-channel FET, APTES, OTS

This work was carried out by the 2014 school year will Osan University College Grant
* Department of Electronic Engineering, Gyeongnam National University of Science and Technology(GnTECH), Jinju, Korea
** School of Electrical Electronics Engineering, Ulsan College, Ulsan, Korea
***Corresponding Author: Department of Electronics, Osan University, Gyeonggi-do, Korea(callname@osan.ac.kr)
Received January 8, 2015 Revised January 29, 2015 Accepted February 10, 2015

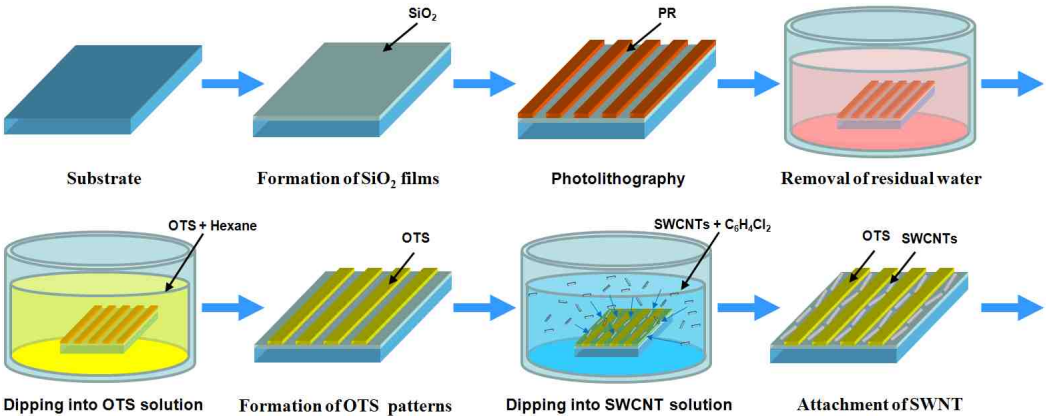

그림 1. 표면 프로그램 패턴된 APTES와 OTS를 이용한 SWCNT의 자기조립 공정 방법
Fig. 1. Self-assembly method of the SWCNT surface with APTES and the OTS program pattern

1. 서론

탄소나노튜브 (carbon nanotube; CNT)는 뛰어난 잠재적 응용력 때문에 전계효과 트랜지스터 (field-effect transistor; FET), 화학적/생화학적 센서, 나노 프로브, 나노 케이블과 같은 다양한 나노물질 기반 장치에서 연구되고 있다 [1-3]. 특히 CNT는 반도체 특성을 띠고 전류밀도 (current density)가 구리의 1000배에 이르며, 전자 이동도 (carrier mobility)가 실리콘 (silicon; Si)의 10배가 된다. 따라서, CNT를 이용한 FET나 메모리 소자는 반도체의 집적도를 높이기 위한 물질로 주목 받고 있다. 기존 실리콘 기반의 전자 소자와는 달리 고집적, 고성능의 반도체 소자를 만드는 것이 가능해 졌다 [4, 5]. 그러나 CNT를 이용한 전자 소자의 특성이 우수함에도 불구하고, 이전의 보고들은 대량생산을 위한 방법이 부족하기 때문에 소량의 소자가 제작되었으며 상용화가 불가능하였다. 이는 CNT가 나노크기의 물질로 기존의 마이크로 단위의 공정 방법을 이용하여 정렬과 패턴제작이 어렵기 때문이다 [8]. 이전의 기술은 CNT의 배열을 위해 유동 셀 방법(flow-cell methods), 전자계 배열 (electromagnetic-field alignment), 생체분자적 방법(biomolecular methods) 등을 사용하였다. 그러나, 이러한 방법들은 CNT의 정밀한 배열을 위해서 외부의 힘에 의존하기 때문에 많은 수의 CNT를 특정영역에 흡착시키기 위해서 많은 시간이 소모된다. 또한, 몇 개의 기술들은 CNT의 표면 전하 특성을 변화시키기도 한다 [6-8]. 즉, CNT가 기반이 된 전자 소자의 개발을 위해서 간단한 제작공정 단계를 거치는 CNT 자기 조립 공정(self-assembled process)에 대한 연구가 필수적으로 요구되었다.

본 논문에서는 멀티채널 FET를 제작하기 위해 표면 프로그램된 APTES (aminopropylethoxysilane)와 OTS (1-octadecyltrichlorosi-lane) 패턴을 이용하여 단일벽 탄소 나노튜브 (single-walled carborn nanotube; SWCNT)를 실리콘 기판위에 선택적으로 흡착시키는 공정 방법을 고찰하였다. 표면 프로그램을 이용한 자기조립 방법은 실리콘 기판위에 원하는 영역에 많은 양의 SWCNT를 정밀하게 흡착시킬 수 있다. 이전 보고에 따르면, SWCNT는 일반 극성 분자 패턴(polar molecular patterns)에 흡착된다. OTS를 이용한 중성 표면 분자 패턴(neutral surface molecular patterns)은 SWCNT의 원하지 않는 흡착을 피하기 위해 제작된다. 반면 APTES를 이용한 양성 표면 분자 패턴(positively charged surface molecular patterns)은 더 많은 양의

SWCNT의 흡착을 위해 제작된다. APTES 패턴을 이용하면 아무런 처리를 하지 않을 때 보다 실리콘 기판 표면의 극성이 향상되어 OTS 패턴만을 이용한 공정보다 더 많은 양의 SWCNT가 더 효과적으로 흡착될 수 있다 [9]. 이 방법은 SWCNT의 흡착을 위해서 어떤 외부의 힘에 의존하지 않고, 기존의 마이크로 단위의 공정 방법과 양립될 수 있다. 본 논문에서는 이 기술을 이용하여 FET의 소오스와 드레인 전극사이에 SWCNT를 선택적으로 배열할 수 있었으며 SWCNT 다중채널을 가진 FET 소자를 제작을 구현하였다.

2. 실험

그림 1은 표면 프로그램된 OTS와 APTES 박막패턴을 이용한 SWCNT의 자기조립 공정에 대한 개념도이다. APTES 박막 패턴은 양성 표면 분자 패턴(positively charged surface molecular patterns)으로 더 많은 양의 SWCNT를 흡착시키기 위해 사용된다. 공정순서는 다음과 같다.

1050 ℃의 열로(thermal furnace)를 이용하여 300 nm의 SiO2이 성장된 Si 기판 위에 PR이 도포된다. 사진 공정으로 SWCNT가 흡착되지 않을 부분의 SiO2 표면이 노출되도록 감광액(PR) 패턴이 형성된다. PR 패턴이 형성된 기판은 수분을 제거하기 위해서 헥산(haxane) 용액에 약 1 분간 담가진다. 수분이 제거된 기판은 바로 스핀막대(spin bar)를 이용하여 헥산 용매 속에서 20분 동안 분산된 OTS 분산 용액 (1:500 (v/v))속에 약 3분 동안 담가진다. 이 기판은 다시 헥산 용매 속에서 1분간 헹구어진다. 결과적으로 PR 표면과 SiO2 표면 위에 모두 OTS 박막 층이 형성된다. OTS 박막층이 형성된 시료는 아세톤을 이용하여 PR 패턴이 제거된다. PR이 제거되는 과정에서 PR과 그 위에 흡착된 OTS 박막층도 동시에 제거되어 SiO2 표면이 노출된다. 이 OTS 박막 패턴이 형성된 기판은 에타올 용매를 이용하여 1:500 (v/v)로 희석된 APTES 용액 속에 약 3 분 동안 담가진다. OTS박막 패턴 위에는 APTES 박막이 형성되지 않고, 노출된 SiO2 표면 위에만 APTES 박막이 형성되어 OTS와 APTES 박막 패턴에 의해 표면 프로그램 된 기판이 얻어 질 수 있다. 이 표면 프로그램된 기판은 다시 초음파를 이용하여 다이클로로벤젠 용매 속에서 1시간 동안 분산된 SWCNT 분산 용액 (0.02 mg/ml)속에 약 1분 동안 담가진다. 결과적으로 SWCNT는 중성인 OTS 패턴 표면 위에는 흡착되지 않고, 양성 표면 분자 패턴인 APTES 박막 패턴 위에만 흡착되어 선택적으로 배열된 SWCNT 패턴이 제작될 수 있다.

3. 결과 및 고찰

그림 2는 분광타원 분석기(Ellipsometer)를 이용하여 특정 영역(spetral range : 600 nm ~ 1200 nm)에서 측정된 OTS 박막에 대한 핏(fit) 파라메타 (psi(Ψ) 와 delta(Δ)) 이다. 그림 2에서 보는 바와 같이 측정된 파라메타를 수식 1에 계산한 결과 샘플의 OTS 박막 층의 두께는 약 84 Å 이다 (식(1)).

$$\frac{r_P}{r_S} = \rho = \tan\Psi \exp^{i\Delta} \qquad (1)$$

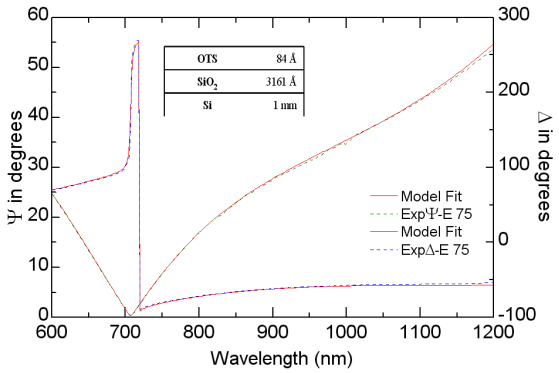

그림 2. 분광타원 분석기를 이용한 OTS 두께의 추산 (fit) 파라메타

Fig. 2. Estimates of the OTS thickness using spectroscopic ellipsometer (fit) parameters

여기서, r_P는 P 편광의 반사도이고, r_S는 S 편광의 반사도이다. 두 반사도의 차이 및 위상차를 측정하면 ρ가 식 (1)로부터 결정된다. 파장이 600 nm ~ 1200 nm인 분광 범위 하에서 Ψ 와 Δ의 추산(fit)을 위해 특정 모델이 이용된다. OTS가 투명한 물질이므로, 투명 물질에 적합한 코시(cauchy) 광학 모델 (식 (2))을 이용하여 두께가 계산되었다 [10].

$$n(\lambda) = A + \frac{B}{\lambda^2} + \frac{C}{\lambda^4} \qquad (2)$$

표 1. 담그기 시간에 따른 OTS 박막 두께 측정
Table 1. OTS film thickness measurement accordance with the immersion time

담그기 시간	OTS 박막 두께
1 분	68 Å
2 분	84 Å
3 분	115 Å
5 분	118 Å

표 1은 OTS 용액에 담가진 시간에 따른 OTS 박막의 두께변화를 보여준다. 담그긴 시간은 1분, 2분 3분, 5분으로 수행하였다. 표 1에서 보는 바와같이, SiO2/Si 기판위에 증착된 OTS 박막층의 두께는 1분에서 3분까지는 급격히 증가하나, 3분 이후부터는 포화되는 것을 확인 할 수 있었다.

그림 3은 OTS 표면 프로그램 방법을 사용하여 SWCNT를 SiO2/Si 기판위에 자기조립 시킨 SWCNT 패턴의 전자현미경(scanning electron microscope) 사진이다.

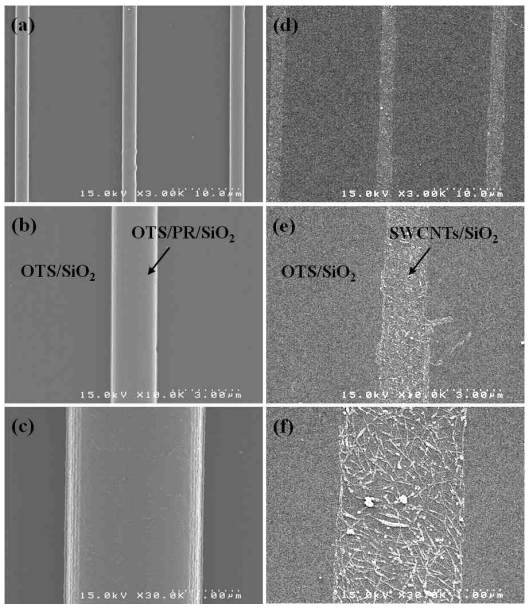

그림 3. OTS 방법을 이용한 자기조립 시킨 SWCNT 패턴의 전자현미경 사진
Fig. 3. Electron micrograph of the self-assembly method that SWCNT pattern using the OTS

그림 3(a)는 PR 패턴이 형성된 SiO2/Si 기판위에 OTS 박막 층을 증착시킨 후, SWCNT를 흡착시킨 전자현미경 사진이다. 기판은 핵산 용매에 의해 분산된 OTS 분산용액 (1:500 v/v in ethanol) 속에 약 3 분 동안 담가진 후, SWCNT 분산 용액 (0.02 mg/ml) 속에서 약 1 분간 담가졌다. 그림 3(b)와 (c)는 각각 그림 3(a)를 10000 배와 30000 배로 확대한 고배율 전자현미경 사진인데, SWCNT가 흡착되지 않은 것이 확인된다. 이는 OTS가 PR 패턴과 SiO2 위에 잘 형성되었는지를 확인하기 위한 실험으로 PR이 아세톤으로 제거되기 전에 SWCNT가 흡착되었다. 중성의 OTS가 기판 표면 전체에 잘 흡착되었고, 결과적으로 SWCNT는 표면 전체에 흡착되지 않는 결과를 얻을 수 있었다. 제작된 PR 패턴의 폭은 2 μm이다. 그림 3(d)는 PR 패턴이 형성된 SiO2/Si 기판위에 OTS 박막 층을 증착시킨 후, 아세톤을 이용하여 PR 패턴을 선택적으로 제거한 다음에 SWCNT가 흡착된 전자현미경 사진이

다. PR이 제거되는 과정에서 PR과 그 위에 흡착된 OTS 박막층도 동시에 제거되기 때문에 SiO2 표면이 노출된다. 그 결과 중성인 OTS 박막층이 제거된 SiO2 표면 위에 SWCNT가 선택적으로 흡착되었다. 그림 3(e)와 (f)는 각각 그림 3(a)를 10000 배와 30000 배로 확대한 고배율 전자현미경 사진이다. 제작된 SWCNT 패턴의 선폭은 2 μm이다. SWCNT가 패턴 형성되었으나 길이가 균일하지 않고 울퉁불퉁하게 형성되었다.

그림 4는 표면 프로그램된 OTS와 APTES 박막패턴을 이용하여 SiO2/Si 기판 위에 SWCNT를 자기조립 시킨 SWCNT 패턴의 전자현미경 사진이다.

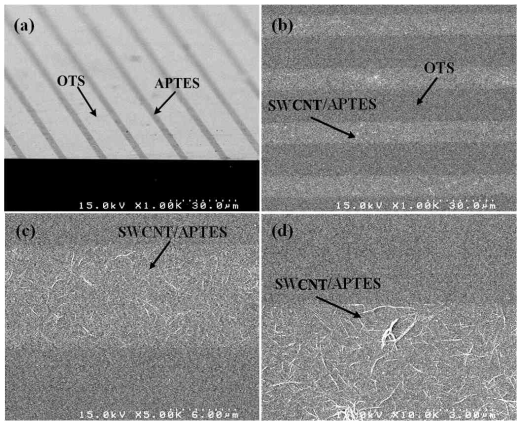

그림 4. OTS와 APTES 방법을 이용한 자기조립 시킨 SWCNT 패턴의 전자현미경 사진

Fig. 4. Electron micrograph of self-assembled patterns that SWCNT with OTS and APTES way

여기서, APTES 박막 패턴은 양성 표면 분자 패턴으로 더 많은 양의 SWCNT를 흡착시키기 위해 사용되었다. 그림 4(a)는 SWCNT가 흡착되기 전에 기판 위에 OTS와 APTES 패턴이 형성된 전자현미경 사진이다. OTS와 APTES 패턴이 반복되면서 균일한 선폭 크기로 잘 제작되었다. 패턴의 선폭이 넓은 영역이 OTS 패턴이다. OTS 패턴의 선폭은 약 15 μm이고 APTES 패턴의 선폭은 약 3.6 μm이다. 제작과정은 다음과 같다. 기판위에 PR 패턴이 형성된 후, OTS 분산 용액 속에 약 3분 동안 담가진 다음에 PR이 아세톤으로 제거되어 OTS 박막 패턴이 형성 된다. 다음에 APTES 용액 속에 약 3분 동안 담가서 OTS 박막 패턴이 없는 부분에 APTES 박막 패턴이 형성된다. 그림 4(b)는 OTS와 APTES 박막 패턴이 형성된 후, SWCNT가 흡착된 SEM 사진이다. 제작되는 SWCNT 패턴의 선폭은 APTES 박막 패턴의 선폭과 동일하다. OTS 패턴의 선폭은 약 15 μm이고, APTES 패턴의 선폭은 약 7.5 μm이다. 결과적으로 SWCNT 패턴의 선폭은 약 7.5 μm로 제작될 수 있다. OTS와 APTES 박막 패턴이 형성된 기판은 SWCNT 분산 용액 (0.02 mg/ml) 속에서 약 1분간 담가졌다. 그림 4(e)와 (f)의 SEM 사진과는 달리 패턴이 울퉁불퉁하지 않고 곧게 형성되었다. 그림 4(c)와 (d)는 각각 (b)를 5000 배와 10000 배로 확대한 SEM 사진이다. 그림 4 (f)의 SEM 사진과 비교하여 SWCNT가 더 많이 흡착됨을 알 수 있다.

그림 5는 SWCNT 패턴을 채널로 이용한 FET 전자 소자의 전자현미경 사진이다.

그림 5에서 드레인 전극의 폭이 200 μm이고, 소오스-드레인 전극 사이의 채널길이는 4 μm이다. 그리고 소오스와 드레인은 SWCNT가 네트워크 형태로 연결되어 있다. FET는 그림 1의 방법을 이용하여 제작되었으며 SWCNT 패턴이 채널로 이용되었다. 드레인 전극이 좌우 대칭적으로 2 개 있고 하나의 소오스 전극이 두개의 드레인 전극 사이에 있기 때문에 하나의 소자에 2개의 FET 가 제조된 것과 같은 효과를 얻을 수 있다. 그 결과, SWCNT FET 전자소자의 생산효율(production yield)이 2배로 향상될 수 있는 장점이 있다. 게이트 전극 (gate electrode; G)은 실리콘 기판을 사용하였으며 소오스와 드레인 전극의 아래에 위치하였고, 사이에는 산화막 절연층이 있다.

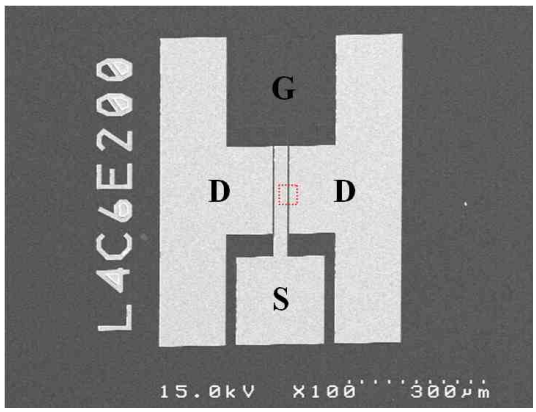

그림 5. SWCNT 패턴을 갖는 멀티채널 FET 소자의 전자현미경 사진

Fig. 5. Electron micrograph of a multi-channel FETdevices having a pattern SWCNT

그림 6은 그림 5의 SWCNT FET 사진에서 소오스와 드레인 사이에 형성된 SWCNT 패턴을 확인하기 위해서 사각형 영역이 20000 배와 40000 배로 확대된 사진이다. 그림에서는 보는 바와 같이, 확대된 SEM 사진에서 소오스와 드레인 사이의 SWCNT 채널이 형성되었음을 확인할 수 있다. SWCNT는 산화막 표면 위에 형성된 APTES 박막층 위에 균일하게 잘 흡착되었으며 소오스와 드레인 전극 사이의 채널은 네트워크 형태로 연결되고 있다.

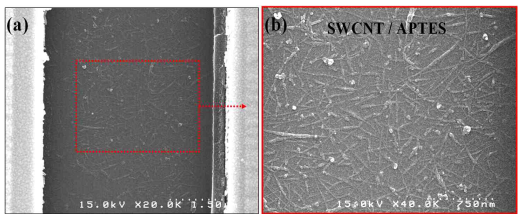

그림 6. SWCNT 패턴을 갖는 멀티 채널 FET 소자의 고배율 전자현미경 사진

Fig. 6. A high magnification electron micrograph of a multi-channel FET devices having a pattern SWCNT

4. 결론

본 논문에서 표면 프로그램된 APTES와 OTS 패턴을 이용하여 SWCNT를 실리콘 기판 위에 선택적으로 자가 조립시키는 공정 방법 제안하여 이를 이용한 FET의 제작방법을 처음으로 제시하였다. 양성 표면 분자 패턴인 APTES 박막 패턴을 중성 표면 분자 OTS 박막 패턴과 함께 사용 하면, 기존 OTS 박막 패턴만을 이용 방법과 비교하였을 때 보다 더 많은 양의 SWCNT를 균일하게 흡착시킬 수 있었다. OTS 코팅 조건은 담그기 시간은 1분, 2분 3분, 5분으로 수행한 결과 3분이 최적인지를 분광타원 분석기 확인하였으며, 더 많은 양과 효율적으로 SWCNT를 흡착시키기 위해 양성 표면 분자 패턴으로 APTES 박막 패턴위에 흡착하는 기술을 처음 사용되었다. 그 결과, 이러한 공정 방법은 SWCNT의 정밀한 배열을 위해서 외부의 힘에 의존할 필요가 없고, SWCNT의 표면 전하 특성이 변하지도 않는다. 즉 이러한 SWCNT 자기 조립공정 방법은 많은 시간과 에너지의 소비 없이 많은 양의 SWCNT를 흡착시킬 수 있는 장점을 가진다. 이 표면 프로그램 방법을 사용하여 SWCNT를 FET의 소오스와 드레인 전극사이의 원하는 영역에 네트워크 형태로 자기조립 시킬 수 있었고 SWCNT가 채널로 구성된 FET를 성공적으로 제작하였다.

따라서, 본 논문에서 개발된 기술이 이용되면 다중채널 SWCNT FET 소자는 고감도이고 초소형인 나노센서 개발에 활용될 수 있을 것이라 사료된다.

REFERENCES

[1] M. Picher, P. A. Lin, J. L. Gomez-Ballesteros, P. B. Balbuena, and R. Sharma, “Nucleation of Graphene and Its Conversion to Single-Walled Carbon Nanotubes,” Nano Letters, Vol. 14, No. 11,

pp. 6104-6108, October, 2014.

[2] S. Ghosh, A. K. Sood, and N. Kumar, "Carbon Nanotube Flow Sensors," Science, Vol. 299, No. 5609, pp. 1042-1044, February, 2003.

[3] P. W. Barone, S. Baik, D. A. Heller, and M. S. Strano, "Near-infrared optical sensors based on single-walled carbon nanotubes," Nature Materials, Vol. 4, No. 1, pp. 86-92, January, 2005.

[4] S. J. Tans, A. R. M. Verschueren, and C. Dekker, "Room-temperature transistor based on a single carbon nanotube," Nature, Vol. 393, No. 6680, pp. 49-52, May, 1998.

[5] R. Martel, T. Schmidt, H. R. Shea, T. Hertel and Ph. Avouris, "Single- and multi-wall carbon nanotube field-effect transistors," Applied Physics Letters, Vol. 73, No. 17, pp. 2447-2449, October, 1998.

[6] J. Gao, A. Yu, M. E. Itkis, E. Bekyarova, B Zhao, S. Niyogi, R. C. Haddon, "Large-Scale Fabrication of Aligned Single-Walled Carbon Nanotube Array and Hierarchical Single-Walled Carbon Nanotube Assembly," J. Am. Chem. Soc., Vol. 126, No. 51, pp. 16698-16699, December, 2004.

[7] Y. Zhang, A. Chang, J. Cao, Q. Wang, W. Kim, Y. Li, N. Morris, E. Yenilmez, J. Kong, and H. Dai "Electric-field-directed growth of aligned single-walled carbon nanotubes," Applied Physics Letters, Vol. 79, No. 19, pp. 3155-3157, November, 2001.

[8] S. J. Oh, J. Zhang, Y. Cheng, H. Shimoda, and O. Zhou, "Liquid-phase fabrication of patterned carbon nanotube field emission cathodes," Applied Physics Letters, Vol. 84, No. 19, 3738-3740, April 2004.

[9] L. Zeng, N. Pattyn, and A. R. Barron, "Attachment of Functionalized Single-Walled Carbon Nanotubes (SWNTs) to Silicon Surfaces," Journal of Nanoscience and Nanotechnology, Vol. 8, No. 3, pp. 1545-1550(6) March, 2008.

[10] R.A Synowicki, "Spectroscopic ellipsometry characterization of indium tin oxide film microstructure and optical constants," Thin Solid Films, Vol. 313-314, pp. 394 - 397 February, 1998.

저자약력

김 병 철(Byungcheul Kim)

- 1988년 2월 : 광운대학교 전자재료공학과 (공학사)
- 1990년 2월 : 광운대학교 전자재료공학과 (공학석사)
- 2001년 2월 : 광운대학교 전자재료공학과 (공학박사)
- 2007년 1월 ~ 2008년 1월 : 애리조나주립대학교 방문교수
- 2001년 9월 ~ 현재 : 경남과학기술대학교 전자공학과 교수

<관심분야> 전하트랩 플래시메모리, LED 전원 회로 설계

김 주 연(Jooyeon Kim)

- 1990년 2월 : 광운대학교 전자재료공학과 (공학사)
- 1993년 2월 : 광운대학교 전자재료공학과 (공학석사)
- 2001년 2월 : 광운대학교 전자재료공학과 (공학박사)
- 2009년 2월 ~ 2010년 2월 : 코넬대학교 방문교수
- 2002년 3월~현재 : 울산과학대학교 전기전자공학부 교수

<관심분야> 반도체 소자, 비휘발성메모리, 반도체회로설계

안 호 명(Ho-Myoung An)

- 2001년 2월 : 광운대학교 전자재료공학과 (공학사)
- 2003년 2월 : 광운대학교 전자재료공학과 (공학석사)
- 2009년 2월 : 광운대학교 전자재료공학과 (공학박사)
- 2009년 3월 ~ 2013년 2월 :고려대학교 전기전자전파공학과 연구교수
- 2013년 3월 ~ 현재 : 오산대학교 디지털전자과 조교수

<관심분야> 반도체 소자, 비휘발성메모리, 광소자, 산화물반도체