

논문 2015-52-4-11

신경회로망용 멤리스터 브릿지 회로에서 가중치 프로그램의 시간에 대한 선형화 효과

(Linearization Effect of Weight Programming about Time in Memristor
Bridge Synapse)

최 현 철*, 박 세 동*, 양 창 주**, 김 형 석**

(Hyuncheol Choi, Sedong Park, Changju Yang, and Hyongsuk Kim[©])

요 약

멤리스터는 인가된 전하의 크기에 따라 저항의 크기가 변화하고, 외부 전원이 끊겨도 이전의 저항 상태를 계속 기억하는 새로운 형태의 메모리소자이다. 일반적인 멤리스터는 직류 전압을 인가할 경우, 시간에 대해서 저항의 크기가 비선형적으로 프로그램되는 특성을 갖고 있다. 멤리스터에 대한 용이한 프로그램을 위해서는 시간에 대해서 저항의 크기가 선형적으로 증가 혹은 감소하는 것이 바람직하다. 본 연구팀은 과거 +, - 및 0 에 대한 가중치 프로그램이 가능한 멤리스터 브릿지 회로 구조를 제안한 바 있다. 멤리스터 브릿지 회로에서 두 개의 멤리스터는 서로 다른 극성으로 직렬 연결되고, 반대 극성의 멤리스터들 간의 상호 보완 관계에 의해 강력한 선형화 효과를 갖는다. 본 논문에서는 브릿지 회로의 시간에 대한 멤리스터의 선형적 프로그램 특성을 연구하였고, HP 사의 TiO₂ 멤리스터와 윈도우 기반 비선형성 멤리스터 모델을 사용하여 선형화 효과를 검증하였다. 멤리스터 브릿지 회로는 멤리스터를 이용한 시냅스 회로에서 시냅스의 가중치 프로그램을 수행할 경우, 유용하게 사용될 것으로 전망된다.

Abstract

Memristor is a new kind of memory device whose resistance varies depending upon applied charge and whose previous resistance state is preserved even when its power is off. Ordinary memristor has a nonlinear programming characteristics about time when a constant voltage is applied. For the easiness of programming, it is desirable that resistance is programmed linearly about time. We had proposed previously a memristor bridge configuration with which weight can be programmed nicely in positive, negative or zero. In memristor bridge circuit, two memristors are connected in series with different polarity. Memristors are complementary each other and it follows that the memristance variation is linear with respect to time. In this paper, the linearization effect of weight programming of memristor bridge synapse is investigated and verified about both TiO₂ memristor from HP and a nonlinear memristor with a window function. Memristor bridge circuit would be helpful to conduct synaptic weight programming.

Keywords: 인공신경망, 멤리스터, 멤리스터 브릿지 회로, 시냅스 가중치 프로그래밍, 선형화 효과

* 학생회원, ** 정회원, 전북대학교 전자정보공학부,
지능형 로봇 연구 센터

(Electronics and Information Department, Chonbuk
National University, Intelligent Robots Research
Center)

© Corresponding Author(E-mail: hskim@jbnu.ac.kr)

Received ; February 6, 2015 Revised ; March 10, 2015

Accepted ; April 2, 2015

I. 서 론

인간의 뇌는 100만 개 이상의 뉴런으로 이루어져 있으며, 각각의 뉴런은 2만 개 이상의 시냅스로 구성되어 있다.^[1] 뉴런은 인접한 신경세포들과 시냅스라는 구조를 통해 신호를 주고받으며, 다양한 정보를 받아들이고 저

장하는 기능을 한다. 또한 시냅스 구조를 통해 출력정보에 가중치를 곱해 인접한 뉴런으로 정보를 보낸다.

인간의 뇌와 같은 장치를 만들기 위해서는 시냅스의 인공적인 구현이 필수적이지만, 현재 시냅스 구현을 위한 적절한 소자가 없고, 이 분야의 연구가 활성화되어 있지 않다.

CNN(Cellular Neural Network)^[2~8]은 피드 포워드 처리 중심의 신경회로망 구조로써, 시냅스의 회로적인 구현에 큰 진척을 보였으나, 인간의 뇌와 같은 지능시스템을 완성하기 위해서는 보다 효율적인 기능을 수행함과 동시에 소형화될 필요가 있다.

‘멤리스터(memristor)’는 메모리와 저항(resistor)의 합성어로, 1971년에 UC Berkeley의 Chua 교수에 의해 전기 회로의 4번째 기본 소자^[9]로서 제안되었고, 멤리스티브 디바이스(memristive device)^[10]로 일반화되었다. 2006년에는 HP 사의 Information and Quantum Systems 연구실(IQSL)이 멤리스터의 존재를 증명하였고, 2008년에 스탠리 윌리엄스(R. S. Williams) 팀^[11]이 비휘발성이면서 신경 특성을 갖는 수 나노 크기의 TiO₂ 멤리스터 소자를 제안하였다.

멤리스터는 10nm 가량의 작은 크기를 갖으며, 다양한 정보를 저장하기 위한 비휘발성 메모리 기능과 가중치 연산을 위한 아날로그 곱셈기 역할을 수행할 수 있기 때문에 시냅스 구현에 적절한 소자이다. 하지만 단일 멤리스터로 시냅스 역할을 수행하기에는 한 가지 문제점이 존재한다. 단일 멤리스터의 경우, 가중치로 사용되는 멤리스턴스(memristance, 멤리스터의 저항 값) M 의 변화가 시간에 대해 비선형적으로 변화한다. 그렇기 때문에 단일 멤리스터를 사용해서 가중치 프로그래밍을 수행할 경우, 원하는 가중치로 정확한 프로그래밍이 어렵다.

본 논문에서는 기 논문^[12]에서 제안된 멤리스터 브릿지 회로를 이용해 시냅스 가중치 프로그래밍을 수행할 경우, 가중치가 선형적으로 변화하는 것을 제안하였다. 본론 1에서는 TiO₂ 멤리스터 모델을 설명하였고, 본론 2에서는 단일 멤리스터를 이용한 시냅스 가중치 프로그래밍의 비선형성을 설명하였다. 본론 3에서는 멤리스터 브릿지 회로의 동작을 설명하였고, 본론 4에서는 멤리스터 브릿지 회로의 선형화 효과를 설명하였다. III장에서는 시뮬레이션을 통한 멤리스터 브릿지 회로의 선형화를 검증하였고, IV장에서는 본 논문의 결론을 맺었다.

II. 본 론

1. TiO₂ 멤리스터 모델

모든 전기회로에서의 전압은 아래 식 (1)과 같이 ‘옴의 법칙’에 의해 저항과 전류의 곱으로 정의된다.

$$v(t) = R(t)i(t) \quad (1)$$

전압과 전류는 식 (2), (3)과 같이 각각 시간에 대한 자속(φ)과 전하(q)의 미분식으로 정의된다.

$$v(t) = \frac{d\varphi(t)}{dt} \quad (2)$$

$$i(t) = \frac{dq(t)}{dt} \quad (3)$$

식 (2)에서의 전압은 체인룰에 의해 전하에 대한 자속의 미분식과 시간에 대한 전하의 미분식의 곱으로 변환되며, 다음 식 (4)가 유도된다.

$$v(t) = \frac{d\varphi(t)}{dt} = \frac{d\varphi}{dq} \cdot \frac{dq}{dt} = M(q) \cdot i(t) \quad (4)$$

식 (4)에서 $M(q)$ 는 멤리스턴스이며, 전하에 대한 자속의 미분식($d\varphi/dq$)으로 정의된다. 그림 1은 TiO₂ 멤리스터의 전하와 자속의 관계를 나타낸 그림이다. 식 (4)를 통해, 그림 1에서 멤리스턴스는 $\varphi - q$ 곡선 위 동작점($q = q_0$)에서의 기울기로 해석된다. 그림 1과 같이 $\varphi - q$ 곡선이 비선형이면, 멤리스터의 저항(멤리스턴스)은 동작점에 따라 달라진다. 따라서 멤리스터는 변

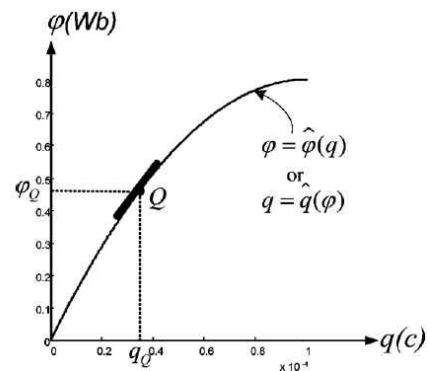


그림 1. HP 사 TiO₂ 멤리스터 모델의 $\varphi - q$ 특성 곡선
Fig. 1. $\varphi - q$ characteristic curve of TiO₂ memristor model.

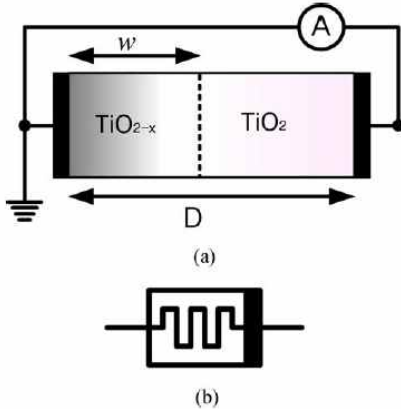


그림 2. HP사의 TiO₂ 멤리스터 다이어그램 (a) TiO₂ 멤리스터의 구조 (b) 멤리스터의 심볼
 Fig. 2. Diagram of TiO₂ memristor from HP. (a) Internal state of a TiO₂ memristor (b) Symbol of memristor

화하는 저항을 갖는다.

그림 2는 TiO₂ 멤리스터의 다이어그램이다. 그림 2(a)처럼 TiO₂ 멤리스터는 박막 이산화티타늄(thin titanium dioxide, TiO₂)층과 산소-부족 박막 이산화티타늄(thin oxygen-poor titanium dioxide, TiO_{2-x})층이 2개의 백금 전극 사이에 위치되어 있는 구조를 가지고 있다. TiO₂층은 산소가 많아 저항성이 크고, TiO_{2-x}층은 산소가 적어 저항이 작은 층으로서 각각 undoped 층과 doped 층이라 한다. 멤리스터를 이루고 있는 박막 층의 두께는 수십 나노미터에 불과하기 때문에, 수 볼트의 전압에 의해서도 대단히 큰 전계가 형성된다. 이러한 이유 때문에 전압 또는 전류를 TiO₂ 멤리스터에 인가하면, 외부로부터 유입된 전자가 결핍층과 결합하면서 TiO₂층과 TiO_{2-x}층의 경계면 위치가 변화하고, 이에 따라 멤리스턴스의 값은 undoped 층과 doped 층이 직렬 연결된 등가 저항 값으로 해석된다. TiO₂ 멤리스터는 초기 멤리스턴스 값인 R_{OFF}(16kΩ)를 갖는다. 이 상태에서 멤리스터에 충분한 전자가 유입되면 멤리스턴스 값이 감소하여 최소 멤리스턴스 값인 R_{ON}(100Ω)을 갖게 된다. 멤리스터의 전압과 전류의 관계를 아래 식 (5)과 같이 나타낼 수 있다. 이때, D와 w는 각각 TiO₂ 멤리스터의 백금 전극 사이의 두께와 도핑된(doped) 층의 길이이고, w(t)/D는 상태 변수이다.

$$v(t) = \left\{ R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D} \right) \right\} \cdot i(t) \quad (5)$$

TiO₂ 멤리스터에서 상태변수 변화율(dw(t)/dt)은 아

래 식 (6)과 같이 전류(i(t))의 함수로 정의된다. 이를 시간에 대해서 적분하면 아래 식 (7)과 같다. 이때, μ_v는 불순물의 이동도를 나타낸다.

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{ON}}{D} i(t) \quad (6)$$

$$w(t) = \mu_v \frac{R_{ON}}{D} q(t) + w_0 \quad (7)$$

w의 변화 속도가 전류에 비례하기 때문에 위의 식 (6)의 모델을 선형 드리프트 모델이라 한다. 여기서 식 (5)에 식 (7)을 대입하고, 이를 적분하면 아래 식 (8)과 같다. 식 (8)을 통해 TiO₂ 멤리스터의 자속(φ)과 전하(q)간의 관계가 정의된다.

$$\varphi(t) = R_{OFF} \left[q(t) \left\{ 1 + \frac{w_0}{D} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) \right\} - \frac{\mu_v R_{ON}}{2D^2} \left(1 - \frac{R_{ON}}{R_{OFF}} \right) q(t)^2 \right] + \varphi_0 \quad (8)$$

이때, 식 (8)을 전하에 대해 미분하면 다음 식 (9)를 얻는다.

$$M = \frac{d\varphi}{dq} = R_{OFF} \left\{ 1 + \frac{w_0}{D} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) \right\} + R_{OFF} \frac{\mu_v R_{ON}}{D^2} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) q(t) \quad (9)$$

식 (9)에서, w = [0, D]에 대한 자속(φ), 전하(q), 멤리스턴스(M)의 이론적 범위는 각각 φ = [0, 0.804]wb,

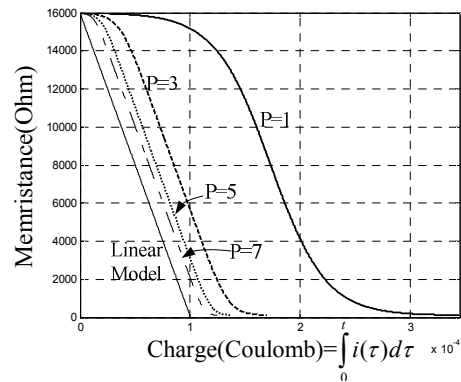


그림 3. 선형 또는 비선형 TiO₂ 멤리스터 모델의 전하와 멤리스턴스의 관계
 Fig. 3. Relationship between memristance and charge for linear and nonlinear memristors.

$q = [0, 9.89 \times 10^{-5}]C$, $M = [16, 0.1]k\Omega$ 이다.

실제 디바이스에서는 앞서 설명한 이상적인 선형 드리프트 모델과는 다른 수학적 모델을 갖는다. 실제 디바이스는 나노 단위의 크기를 갖기 때문에, 작은 전압을 인가하더라도 디바이스 경계에서 비선형적 현상이 발생하고, 큰 전기장이 생성된다. 따라서 이온의 경계 위치는 비선형 방식으로 이동된다.^[13] 윈도우모델(window model)은 비선형 멤리스터 모델 중 하나이다. 윈도우모델에서 상태변수 변화율은 아래 식 (10)과 같이, 식 (6)과 윈도우 함수(window function) $F_p(w)$ 의 곱으로 정의된다.

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{ON}}{D} i(t) F_p(w) \quad (10)$$

식 (10)의 모델을 비선형 드리프트 모델(nonlinear drift model) 또는 멤리스티브 모델(memristive model)이라 한다. 이때, $F_p(w)$ 는 다음 식 (11)과 같이 정의된다. p 는 정수 파라미터이다.

$$F_p(w) = 1 - \left(2 \frac{w}{D} - 1\right)^{2p} \quad (11)$$

그림 3은 멤리스터의 선형 또는 비선형 모델에서 전하 q 와 멤리스턴스 M 의 관계를 나타낸 시뮬레이션 결과이다. 정수 파라미터 p 가 감소할수록 비선형성이 증가하고, p 가 증가할수록 멤리스터 모델은 선형 특성을 갖는다.

2. 단일 멤리스터를 이용한 시냅스 가중치 프로그래밍의 비선형성

단일 멤리스터에서 시냅스 가중치 ψ 는 멤리스턴스 M 과 같고, 아래 식 (12)와 같다.

$$M(t) = \psi \quad (12)$$

멤리스턴스 식 (9)를 시간에 대해 미분하면 아래 식 (13)을 얻는다.

$$\frac{dM(t)}{dt} = -R_{OFF} \frac{\mu_v R_{ON}}{D^2} \left(1 - \frac{R_{ON}}{R_{OFF}}\right) i(t) \quad (13)$$

가중치 프로그래밍을 위해서 단일 멤리스터에 DC 전압 V 를 인가한 경우, 식 (13)은 아래 식 (14)와 같이 변화된다.

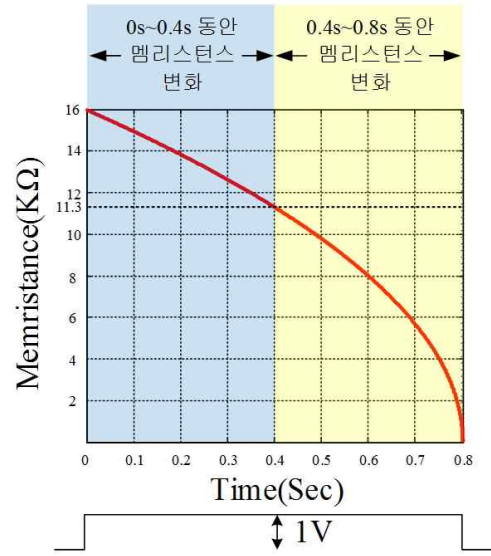


그림 4. 펄스전압이 인가될 때, 단일 멤리스터의 시간에 대한 멤리스턴스 변화

Fig. 4. Variation of memristance in single memristor when a pulse voltage is applied.

$$M(t) \frac{dM(t)}{dt} = -R_{OFF} \frac{\mu_v R_{ON}}{D^2} \left(1 - \frac{R_{ON}}{R_{OFF}}\right) V \quad (14)$$

식 (14)의 양변을 적분하면 다음 식 (15)를 얻는다. 이때, C 는 적분상수이다.

$$\frac{M(t)^2}{2} = C - R_{OFF} \frac{\mu_v R_{ON}}{D^2} \left(1 - \frac{R_{ON}}{R_{OFF}}\right) V \cdot t \quad (15)$$

식 (15)를 통해서 $M(t)$ 는 다음 식 (16)과 같이 정의된다.

$$M(t) = \sqrt{2 \left\{ C - R_{OFF} \frac{\mu_v R_{ON}}{D^2} \left(1 - \frac{R_{ON}}{R_{OFF}}\right) V \cdot t \right\}} \quad (16)$$

식 (16)은 멤리스턴스가 시간에 대해 비선형이라는 것을 보여준다. 즉 가중치는 시간에 대해 비선형이다.

그림 4는 시냅스 가중치 프로그래밍을 위해서 단일 멤리스터에 펄스전압을 인가할 경우, 시간에 대한 멤리스턴스의 변화를 나타낸 시뮬레이션 결과이다. 그림에서 볼 수 있듯이, 멤리스턴스의 변화는 시간에 대해 비선형성을 갖는다. 이러한 비선형성 때문에 동일한 시간 동안 인가된 시냅스 프로그래밍 신호에 대해 멤리스턴스의 변화량이 각기 달라진다. 처음 0s~4s동안 1 V의 시냅스 프로그래밍 신호를 인가할 경우, 멤리스턴스는 16kΩ~11.3kΩ으로 변화한다. 반면에, 4s~8s동안의 프로

그래밍 수행 시 멤리스턴스가 $11.3\text{k}\Omega \sim 100\Omega$ 으로 변한다. 이와 같이 단일 멤리스터의 멤리스턴스 변화가 시간에 비례하지 않기 때문에 원하는 시냅스 프로그래밍을 수행할 경우, 원하는 시냅스 값으로 쉽게 조정하기 어렵다.

3. 멤리스터 브릿지 회로

그림 5는 기 논문^[12]에서 제안된 멤리스터 브릿지 회로이다. 멤리스터 브릿지 회로는 극성을 가진 4개의 멤리스터(M1~M4)가 휘스톤 브릿지(Wheatstone bridge) 방식으로 연결되어 있다.

멤리스터 브릿지 회로의 입력노드에 양 또는 음의 전압 V_{in} 이 가해지면, 각 멤리스터의 멤리스턴스는 멤리스터의 극성에 따라 증가하거나 감소한다. 만약 입력노드에 양의 펄스전압을 인가하면, 순방향 바이어스(forward biased)된 멤리스터(M1, M4)의 멤리스턴스는 감소하고, 역방향 바이어스(reverse biased)된 멤리스터(M2, M3)의 멤리스턴스는 증가한다. 이때, 전압 분배법칙에 의해 노드 A의 전압 V_A 는 노드 B의 전압 V_B 보다 커지고, 멤리스터 브릿지 회로는 양의 출력 전압 V_{out} 을 출력하며 양의 가중치 값으로 프로그래밍된다. 반대로, 입력노드에 음의 펄스전압을 인가하면, 멤리스턴스는 반대 방향으로 가변되어 V_B 가 V_A 보다 커지고, 멤리스터 브릿지 회로는 음의 출력 전압을 출력하며 음의 가중치 값으로 프로그래밍된다.

멤리스터 브릿지 회로의 시냅스 가중치 동작을 보다 상세히 설명하면 다음과 같다. 멤리스터 브릿지 회로에 입력 전압 V_{in} 이 인가될 때, 전압분배법칙에 의한 각 멤리스터 양단의 전압($V_{M1} \sim V_{M4}$)은 아래

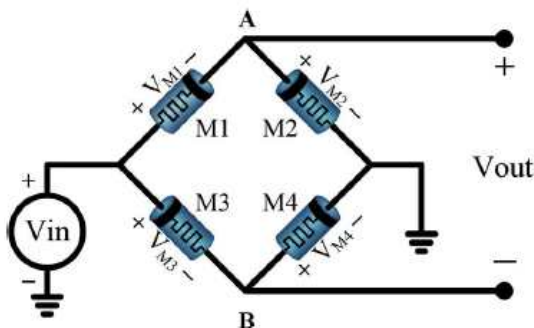


그림 5. 멤리스터 브릿지 회로의 다이어그램
Fig. 5. Diagram of Memristor bridge circuit.

식 (17)~식 (20)과 같이 정의된다.

$$V_{M1} = \frac{M_1}{M_1 + M_2} V_{in} \quad (17)$$

$$V_{M2} = \frac{M_2}{M_1 + M_2} V_{in} = V_A \quad (18)$$

$$V_{M3} = \frac{M_3}{M_3 + M_4} V_{in} \quad (19)$$

$$V_{M4} = \frac{M_4}{M_3 + M_4} V_{in} = V_B \quad (20)$$

멤리스턴스의 전압분배공식은 저항의 전압분배공식과 같다.

아래 식 (21)과 같이, 멤리스터 브릿지 회로의 출력 전압 V_{out} 은 멤리스터 브릿지 회로의 출력노드 A와 B 사이의 전압차로 정의된다.

$$V_{OUT} = V_A - V_B = \left(\frac{M_2}{M_1 + M_2} - \frac{M_4}{M_3 + M_4} \right) V_{in} \quad (21)$$

식 (21)은 아래 식 (22)와 같이 변형된다. 이때, ψ 는 가중치를 의미한다.

$$V_{OUT} = \psi \times V_{in} \quad (22)$$

4. 멤리스터 브릿지 회로를 이용한 시냅스 가중치 프로그래밍의 선형화

멤리스터 브릿지 회로의 두 개의 안티 시리얼(Anti-serial) 멤리스터 회로가 병렬로 연결된 구조를 가지고 있다. 안티 시리얼 멤리스터 회로는 두 개의 멤리스터가 서로 다른 극성으로 직렬 연결된 회로이다. 그림 5의 멤리스터 브릿지 회로에서 상단 안티 시리얼 멤리스터 회로의 멤리스터 M1, M2의 자속 $\varphi_1(t)$, $\varphi_2(t)$ 는 전하의 함수로써 아래 식 (23)과 식(24)와 같이 정의된다.

$$\varphi_1(t) = R_{OFF} \left[q(t) \left\{ 1 + \frac{w_{01}}{D} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) \right\} - \frac{\mu_v R_{ON}}{2D^2} \left(1 - \frac{R_{ON}}{R_{OFF}} \right) q(t)^2 \right] + \varphi_1(0) \quad (23)$$

III. 실험

$$\varphi_2(t) = R_{OFF} \left[q(t) \left\{ 1 + \frac{w_{02}}{D} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) \right\} - \frac{\mu_v R_{ON}}{2D^2} \left(1 - \frac{R_{ON}}{R_{OFF}} \right) q(t)^2 \right] + \varphi_2(0) \quad (24)$$

전체 자속 $\varphi_c(t)$ 는 $\varphi_1(t)$ 과 $\varphi_2(t)$ 의 합이다. 합성 자속 $\varphi_c(t)$ 을 전하에 대해 미분하면 아래 식 (25)를 얻는다. 이때, $w_{01} = w_{02} = w_0$ 이다.

$$M_c = \frac{d\varphi_c(t)}{dq(t)} \quad (25)$$

$$= 2R_{OFF} \left[q(t) \left\{ 1 + \frac{w_0}{D} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) \right\} \right] = 2M_0$$

위의 식 (25)에서 M_c 는 합성 멤리스턴스이고, M_0 는 $R_{OFF} \left[q(t) \left\{ 1 + \frac{w_0}{D} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) \right\} \right]$ 이다. 이때, M_0 와 관련된 모든 매개변수는 상수이므로, M_c 는 상수이다.

식(9)를 통해 M_2 는 아래 식 (26)과 같이 정의된다.

$$M_2 = R_{OFF} \left\{ 1 + \frac{w_0}{D} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) \right\} + R_{OFF} \frac{\mu_v R_{ON}}{D^2} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) \int i(t) \quad (26)$$

멤리스터 브릿지 회로에 펄스 전압 V 를 인가할 때, 0이 아닌 펄스 구간에서 전류 $i(t)$ 는 아래 식 (27)과 같이 정의된다.

$$i(t) = \frac{V}{M_0} \quad (27)$$

식 (27)을 식 (26)에 대입함으로써, 아래 식 (28)을 얻는다.

$$M_2 = R_{OFF} \left\{ 1 + \frac{w_0}{D} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) \right\} + R_{OFF} \frac{\mu_v R_{ON}}{D^2} \left(\frac{R_{ON}}{R_{OFF}} - 1 \right) \frac{V}{M_0} t \quad (28)$$

식 (28)의 우변에서 시간 t 를 제외한 모든 매개변수는 상수 값이다. 그러므로 멤리스터 브릿지 회로에서 시냅스 가중치 프로그래밍을 수행할 경우, 멤리스턴스는 시간에 대해 선형적으로 변화한다.

TiO₂ 멤리스터 모델을 이용한 멤리스터 브릿지 회로의 선형성을 컴퓨터 시뮬레이션을 통해 검증하였다. 시냅스 가중치 프로그래밍을 위해서, 1 V의 펄스전압을 인가하고 매 10⁻⁵s 마다 멤리스턴스의 변화를 계산했다. 또한 단일 멤리스터 및 멤리스터 브릿지 회로의 각 분기 전류를 매 10⁻⁵s 마다 계산하고, 멤리스터들의 전하를 업데이트하는 방법으로 시뮬레이션을 수행하였다. 시뮬레이션에 사용된 멤리스터 모델에서 $q = 0$, $\varphi = 0$ 일 때, 초기 도핑된 폭 w_0 는 0.1D 이고, $q = 8 \times 10^{-5} C$, $\varphi = 0.64wb$ 일 때, w 는 0.9D 로 가정했다. 이때, 물리적으로 가능한 최대 멤리스턴스는 14.41kΩ 이고, 최소 멤리스턴스는 1.69kΩ 이다.

멤리스터를 우리가 원하는 어떤 멤리스턴스 값으로 프로그래밍할 때, 가장 쉬운 방법은 어떤 시간의 길이

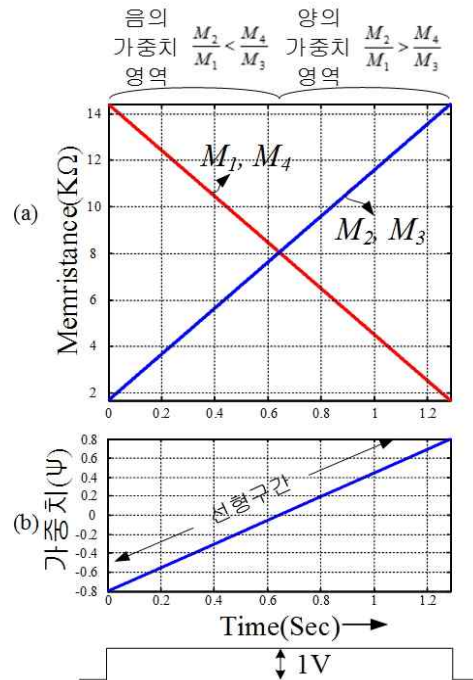


그림 6. 펄스 전압이 인가되었을 때, 멤리스터 브릿지 회로에서 멤리스턴스와 가중치의 변화 (a) $M_1(t)$, $M_2(t)$, $M_3(t)$, $M_4(t)$ 의 변화 (b) 가중치 $\varphi(t)$ 의 변화

Fig. 6. Variation of memristance and weight when a pulse voltage is applied at a memristor bridge circuit (a) variation of $M_1(t)$, $M_2(t)$, $M_3(t)$, $M_4(t)$ (b) variation of weight $\varphi(t)$.

동안 정 전압을 인가하는 것이다. 만약 시간에 대한 멤리스턴스 변화가 선형적이라면, 프로그램되는 멤리스턴스가 인가되는 입력 전압의 시간에 비례하기 때문에 원하는 멤리스턴스 값으로 프로그래밍하기 수월할 것이다.

그림 6은 그림 5의 멤리스터 브릿지 회로에서 시냅스 가중치 프로그래밍을 수행할 경우, 멤리스턴스의 변화와 가중치의 변화이다. 이때, TiO₂ 멤리스터의 선형모델을 사용하였다. 그림 6(a)는 멤리스터 브릿지 회로에서 멤리스터 M₁~M₄의 시간에 대한 멤리스턴스의 변화이다. 초기 멤리스턴스 $M_1(0)=M_4(0)=14.41k\Omega$ 이고, $M_2(0)=M_3(0)=1.69k\Omega$ 이다. 그림 6(b)는 멤리스턴스를 식 (18)에 대입해서 계산된 가중치 변화이다. 그림 (6)에서 도시된 바와 같이, 멤리스턴스와 가중치의 변화는 매우 선형적이다. 멤리스터 브릿지 회로는 선형 멤리스터 모델을 서로 다른 극성으로 직렬 연결함으로써 비선형성을 없애고, 선형성을 갖는다.

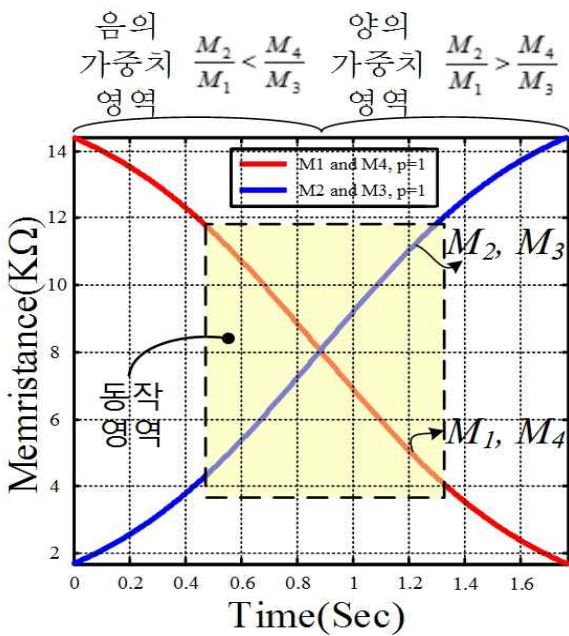


그림 7. 멤리스터 p=1의 비선형 모델이 사용될 때의 $M_1(t)$, $M_2(t)$ 의 시간 변화 (a) 제안된 멤리스터 브릿지 회로에서의 향상된 선형성 (b) 그림 8의 멤리스터 병렬회로에서의 멤리스턴스 비선형 변화

Fig. 7. Variation of $M_1(t)$ and $M_2(t)$ when a nonlinear memristor model ($p=1$) is employed (a) improved linearity with the memristor bridge circuit (b) memristance variation of two parallel memristor circuit in Fig. 7.

TiO₂ 멤리스터의 비선형 모델을 이용한 시뮬레이션도 수행하였다. 실험에는 식 (11)의 비선형 멤리스터 모델($p = 1$)을 사용하였다. 그림 7은 비선형 멤리스터 모델을 사용하여 시냅스 가중치 프로그래밍을 수행할 경우, 시간에 대한 멤리스턴스의 변화이다. 그림 7을 통해 비선형 멤리스터 모델에 대해서도 비선형성이 현저히 감소된 것을 알 수 있다. 선형 모델과는 다르게 그래프의 양 끝에서 비선형성이 나타나지만, 그래프의 중앙 노란색 영역은 상당히 선형화된다. 중앙의 노랑영역은 멤리스터 비선형 모델의 동작영역으로 사용될 수 있다.

IV. 결 론

멤리스터의 아날로그 응용회로에서 시간에 대한 멤리스턴스의 선형적인 변화가 중요하다. 본 논문에서는 기 논문^[12]에서 제안된 멤리스터 브릿지 회로에 대한 선형화 효과에 대해 검증하였다.

단일 멤리스터를 사용한 시냅스 가중치 프로그래밍을 수행할 경우, 시간에 대한 멤리스턴스의 변화가 비선형적이다. 따라서 원하는 가중치 값을 위한 프로그래밍이 어렵다.

본 논문에서는 멤리스터 브릿지 회로가 반대 극성의 멤리스터들 간의 상호 보완 관계에 의해 강력한 선형화 효과가 있음을 확인하였고, 시뮬레이션을 통해서 멤리스턴스가 선형적으로 증가 혹은 감소하는 것을 검증하였고, 가중치의 선형적 변화를 검증하였다. 시뮬레이션 결과, 제안한 멤리스터 브릿지 시냅스 회로에서 시냅스 가중치 프로그래밍을 수행할 경우, 시간에 대한 멤리스턴스가 선형적으로 변화하였다. 또한 비선형 멤리스터 모델에 대한 실험에서도 멤리스턴스가 동작영역에서 선형적으로 변화하였다.

멤리스터 브릿지 회로는 입력 전압의 인가된 시간에 비례한 멤리스턴스 변화를 얻을 수 있기 때문에, 멤리스터를 이용한 시냅스 회로에서 시냅스의 가중치 프로그램을 수행할 경우, 유용하게 사용될 것으로 전망된다.

REFERENCES

[1] The Scientific American Book of the Brain. New York: Scientific American, 1999.
 [2] L. O. Chua and L. Yang, "Cellular neural

- networks: Theory," IEEE Trans. Circuits Syst., vol. CAS-35, no. 10, pp. 1257.1272, Oct. 1988.
- [3] L. O. Chua and L. Yang, "Cellular neural networks: Applications," IEEE Trans. Circuits Syst., vol. CAS-35, no. 10, pp. 1273.1290, Oct. 1988.
- [4] T. Roska and L. O. Chua, "The CNN universal machine: An analogic array computer," IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process., vol. 40, no. 3, pp. 163.172, Mar. 1993.
- [5] H. Kim, H. Son, T. Roska, and L. O. Chua, "Optimal path finding with space- and time-variant metric weights with multi-layer CNN," Int. J. Circuits Theory Appl., vol. 30, pp. 247.270, 2002.
- [6] H. Kim, H. Son, T. Roska, and L. O. Chua, "High-performance Viterbi decoder with circularly connected 2-D CNN unilateral cell array," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 52, no. 10, pp. 2208.2218, Oct. 2005.
- [7] R. Dominguez-Castro, S. Espejo, A. Rodriguez-Vazquez, R. A. Carmona, P. Foldesy, A. Zarandy, P. Szolgay, T. Sziranyi, and T. Roska, "A 0.8- μ m CMOS two-dimensional programmable mixed-signal focal-plane array processor with on-chip binary imaging and instructions storage," IEEE J. Solid-State Circuits, vol. 32, no. 7, pp. 1013.1026, Jul. 1997.
- [8] J. M. Cruz and L. O. Chua, "A 16 \times 16 cellular neural network universal chip: The first complete single-chip dynamic computer array with distributed memory and with gray-scale input-output," Analog Integr. Circuits Signal Process., vol. 15, pp. 227.237, 1998.
- [9] L. O. Chua, "Memristor-the missing circuit element," IEEE Trans. Circuit Theory
- [10] L. O. Chua and S. M. Kang, "Memristive devices and systems," Proc. IEEE, vol. 64, no. 2, pp. 209 - 223, Feb. 1976.
- [11] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, "The missing memristor found," Nature, vol. 453, pp. 80.83, 2008.
- [12] H. Kim, M. P. Sah, C. Yang, T. Roska, and L. O. Chua, "Memristor bridge synapses," Proc. IEEE, vol. 100, pp. 2061 - 2070, Jun. 2012.
- [13] Y. N. Joglekar and S. J. Wolf, "The elusive memristor: Properties of basic electrical circuits," Eur. J. Phys., vol. 30, no. 4, pp. 661 - 675, 2009.

— 저 자 소 개 —



최 현 철(학생회원)
2014년 전북대학교 전자정보
공학부 학사졸업.
2015년 현재 전북대학교 전자정
보
공학부 석사과정.
<주관심분야 : 아날로그 집적회
로, 메모리스트, 로봇비전>



박 세 동(학생회원)
2014년 전북대학교 전자정보
공학부 학사졸업.
2015년 현재 전북대학교 전자정보
공학부 석사과정.
<주관심분야 : 아날로그 집적회
로, 메모리스트, 로봇비전>



양 창 주(정회원)
2008년 전북대학교 전자정보
공학부 학사졸업.
2010년 전북대학교 전자정보
공학부 석사졸업.
2014년 전북대학교 전자정보
공학부 박사졸업.
2015년 현재 전북대학교 전자정보공학부 Post Doc.
<주관심분야 : 메모리스트 에뮬레이터 어플리케이션, CNN, 학습 알고리즘을 위한 CMOS 기반 회
로설계, 메모리스트>



김 형 석(정회원)-교신저자
1980년 한양대학교 전자공학과
학사졸업.
1982년 전북대학교 전기공학과
석사졸업.
1992년 University of Missouri,
Columbia 박사졸업.
2015년 현재 전북대학교 전자정보공학부 교수
<주관심분야 : 로봇비전, 로봇센서시스템, 아날로
그 병렬처리 회로>