

논문 2015-52-4-12

고주파수 영역의 정확도 높은 RF 부성저항 회로 분석

(Accurate Equation Analysis for RF Negative Resistance circuit at High Frequency Operation Range)

윤은승*, 홍종필**

(Eun-Seung Yun and Jong-Phil Hong[©])

요약

본 논문에서는 부성저항을 생성하는 회로로 알려진 RFNR 회로에 대한 새로운 분석을 소개한다. 새로운 분석에서는 RFNR 회로에 대한 수식분석의 정확성을 높이기 위해 트랜지스터의 게이트 저항과 소스 커패시턴스에 의한 영향을 고려하였다. 기존의 분석에서는 트랜지스터의 소스를 통하여 수식을 분석하였지만 제안된 수식에서는 회로의 공진부인 트랜지스터의 게이트를 통하여 회로를 분석했다. 그 결과, 제안하는 분석은 고주파수에서 기존의 분석보다 정확도를 향상시킬 수 있었다. 본 논문에서는 시뮬레이션을 통해 고주파수에서 분석의 정확도를 검증하였다.

Abstract

This paper presents a new analysis of RF negative resistance (RFNR) circuits, known as a negative resistance generator. For accurate equation analysis of RFNR, this study examined the effects of the gate resistance and the source parasitic capacitance of the transistor. In addition, the input admittance of the conventional equation was calculated by looking into the source-terminal of the transistor, whereas that of the proposed equation was calculated by examining the gate-terminal of the transistor. The proposed equation analysis is more accurate than that of the conventional analysis, especially for higher frequency range. This paper verify the accuracy of the proposed analysis at high frequency range using the simulation.

Keywords : CMOS integrated circuits, Sub-THz circuits, Oscillators, Negative resistance devices

I. 서론

CMOS를 이용한 많은 회로가 Sub-THz 주파수 영역

을 대상으로 하는 여러 시스템에 응용되고 있다. Sub-THz 영역은 트랜지스터 성능의 제한으로 인해 연구에 어려움이 있었지만, 최근 트랜지스터 공정의 발달과 함께 활발히 연구가 진행되고 있다. 또한, Sub-THz 영역은 의학, 영상처리, 보안시스템 등 다양한 분야에서 이용될 수 있고, 여러 wireless 시스템에도 이용되기 때문에 Sub-THz 영역에 대한 연구는 그 활용범위가 방대하다^[1~4]. 현재까지는 3-5족 화합물반도체의 최대진동주파수가 높기 때문에 화합물반도체를 이용한 Sub-THz 회로가 많이 연구되고 있다. 하지만 소형화, 저비용 및 고수율을 위해선 CMOS를 이용한 Sub-THz 회로가 필요하고, 최근에는 공정의 발달로 인한 CMOS 트랜지스터의 최대진동주파수가 높아졌고 고조파를 이

* 학생회원, ** 정회원, 충북대학교 전자정보대학 전기공학부

(School of Electrical Engineering Chungbuk National University)

© Corresponding Author(E-mail: jphong@cbnu.ac.kr)

※ 이 논문은 2014년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음. (This work was supported by the research grant of Chungbuk National University in 2014)

Received ; February 17, 2015 Revised ; March 20, 2015

Accepted ; March 31, 2015

용한 회로를 개발하는 등 CMOS를 이용한 Sub-THz 회로 연구도 활발히 진행되고 있다^[5-6].

발진기 회로는 위상 동기 루프 (PLL), 통신용 송수신기(transceiver)에서 필수적으로 사용된다^[7]. 이러한 발진기 회로가 동작하기 위해선 회로의 저항성분과 상쇄될 수 있는 부성저항이 존재해야 한다. 교차결합(cross-coupled), 콜피츠(colpitts), RF부성저항(RFNR) 구조의 회로가 기존부터 부성저항생성을 위해 널리 이용되었다^[8-9]. 이런 부성저항 생성회로와 LC탱크를 결합한 것이 발진기의 기본구조이고, 많은 발진기에서 이용되고 있다. 위와 같은 부성저항 생성 회로를 이용하여 설계된 Sub-THz 발진기도 있다. 이 발진기는 기존의 교차결합 구조와 RFNR회로 구조를 적층구조로 결합하여 1개의 구조로는 발진할 수 없는 고주파수에서 동작하기 위해 고안된 발진기이다^[10]. Sub-THz 영역을 대상으로 하는 발진기나 증폭기 같은 회로들은 트랜지스터 시뮬레이션 모델의 정확도가 낮으면 측정결과와 설계하며 예상했던 회로의 시뮬레이션 결과가 많은 차이를 보일 수 있다. 특히 Sub-THz와 같은 고주파수 대역에서는 그러한 차이가 더 심해질 수 있기 때문에 회로설계의 기초단계에서 여러가지 기생성분을 고려하여 정확한 수식분석 및 회로설계를 해야한다.

본 논문에서는 기존의 RFNR 회로에 대한 분석을 살펴보고 분석의 정확성을 높이고자 새롭게 분석을 시도했다. 기존의 RFNR 회로의 분석은 트랜지스터의 소스를 통해서 수행됐다^[9-10]. 하지만 트랜지스터의 소스는 RFNR 회로의 공진부가 아니다. 따라서 기존의 분석된 수식의 결과가 시뮬레이션 결과와 일치하지 않는 문제가 발생한다. 제안된 수식은 분석의 정확도를 높이기 위해서 RFNR 회로의 실제 공진부인 트랜지스터의 게이트를 통하여 분석되었다. 또한 기존의 RFNR 회로에 새롭게 게이트 저항(R_g)과 소스 기생 커패시턴스(C_s)를 추가하여 분석을 진행하였다. 그 결과 제안된 수식은 기존의 분석된 수식에 비해서 고주파수 영역에서 정확도 높은 결과를 나타냈다.

II. RFNR 회로 분석

1. 기존의 RFNR 회로 분석

그림 1은 RFNR 회로의 구조와 기존의 RFNR 회로 분석을 위한 소신호 모델을 나타낸다. 그림 1.(b)의 소

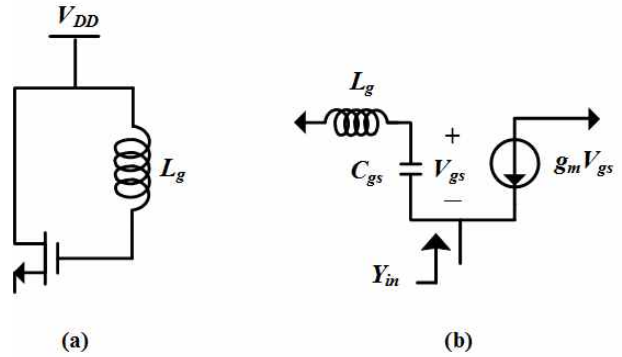


그림 1. RFNR 회로구조 (a)와 기존 분석을 위한 소신호 모델 (b)

Fig. 1. Schematic of the RFNR circuit (a) and small signal model (b) for conventional analysis.

신호 모델에서 트랜지스터의 소스를 통해 분석한 기존의 RFNR 회로의 수식은 다음과 같이 나타난다^[10].

$$Y_{in} = \frac{g_m + sC_{gs}}{1 + s^2L_gC_{gs}} \quad (1)$$

위 식에서 어드미턴스의 실수부와 허수부를 나누면 다음과 같다.

$$Re\{Y_{in}\} = \frac{g_m}{1 - \omega^2L_gC_{gs}} \quad (2)$$

$$Im\{Y_{in}\} = \frac{\omega C_{gs}}{1 - \omega^2L_gC_{gs}} \quad (3)$$

이때, g_m 은 트랜지스터의 트랜스컨덕턴스, C_{gs} 는 게

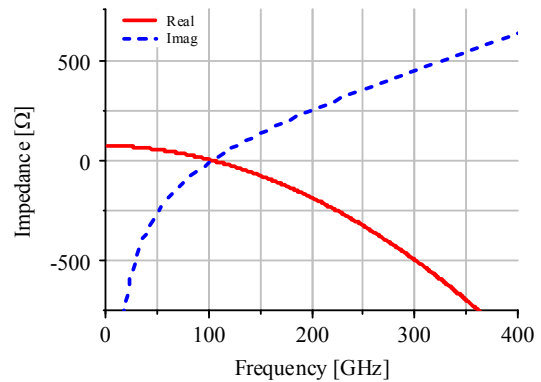


그림 2. 기존의 RFNR 회로의 수식분석 결과 (matlab)

Fig. 2. Conventional equation analysis result of the RFNR circuit (matlab).

이트-소스 커패시턴스, L_g 는 게이트에 연결되는 인덕턴스이다.

그림 2는 matlab 툴을 이용한 식 (1)의 임피던스 시뮬레이션 결과이다. 시뮬레이션 결과를 보면 RFNR 회로는 주파수가 공진주파수($\omega^2 = 1/L_g C_{gs}$)보다 큰 경우에 부성저항을 제공한다. 식 (3)에서 허수부의 임피던스가 0이 되는 조건은 $\omega^2 = 1/L_g C_{gs}$ 이다. 식 (2)에 이 조건을 대입해보면 실수부의 임피던스 또한 0이 된다. 이런 점에서 기존의 수식분석은 공진주파수에서 부성저항을 제공한다는 발진조건을 만족시키지 못한다. 하지만 실제 cadence 툴을 이용한 회로레벨 시뮬레이션에서 RFNR 회로는 발진기로 동작이 가능하다. 또한 그림 1.(b)의 소신호 모델에서 볼 수 있듯이 기존의 분석에서는 회로의 기생성분이 생략되어 있다. 특히 트랜지스터의 게이트에 존재하는 저항이 무시되어 회로의 손실을 포함하지 않는다. 그렇기 때문에 기존의 RFNR 회로의 수식분석은 실제의 회로 동작과는 차이가 생기는 문제가 발생한다. 따라서 기존의 분석과는 달리 회로의 손실을 포함하고 발진기로 분석할 수 있는 새로운 방법이 필요하다.

2. 제안된 RFNR 회로 분석

그림 3은 제안하는 RFNR 회로의 분석을 위한 소신호 모델과 분석한 수식을 바탕으로 구성한 등가회로이다. 그림 3에서 R_g 는 트랜지스터의 게이트 저항, C_s 는 트랜지스터의 소스에서 생기는 기생 커패시턴스, r_o 는 트랜지스터의 출력저항을 나타낸다. 기존의 분석은 회로의 소스를 통해서 분석했다. 하지만 본 논문에서는 트랜지스터의 게이트 노드가 회로의 공진부라 가정하고

트랜지스터의 게이트를 통하여 회로를 분석했다.

가. 게이트 저항 R_g 의 추가와 그 영향

앞에서 기존에 분석한 수식에서는 트랜지스터 게이트에 존재하는 저항을 무시했기 때문에 분석의 정확도가 떨어진다고 언급했다. R_g 는 트랜지스터의 최대진동주파수에 직접적으로 영향을 미치는 요소로, R_g 값이 커지면 트랜지스터의 최대진동주파수가 떨어지게 되므로 고주파수에서 동작을 제한하게 된다. 따라서 Sub-THz 영역에서 동작하는 회로를 설계한다면 R_g 의 영향을 고려하여 회로를 분석해야 한다^[11-13].

기존의 소신호 모델에서 R_g 만 추가하여 트랜지스터의 게이트 노드에서 바라본 어드미턴스 수식은 다음과 같이 나타난다.

$$Y_{in} = -\frac{s^2 C_{gs}^2}{g_m(1 + sR_g C_{gs})} \tag{4}$$

위 식에서 어드미턴스의 실수부와 허수부를 나누면 다음과 같다.

$$Re\{Y_{in}\} = \frac{\omega^2 C_{gs}^2}{g_m(1 + \omega^2 R_g^2 C_{gs}^2)} \tag{5}$$

$$Im\{Y_{in}\} = -\frac{\omega^3 R_g C_{gs}^3}{g_m(1 + \omega^2 R_g^2 C_{gs}^2)} \tag{6}$$

분석된 수식의 실수부를 보면 모두 양수이기 때문에 부성저항이 생성되지 않음을 알 수 있다. 이는 부성저항을 생성하는 회로의 본래 기능을 상실하기 때문에 정확한 분석이라고 할 수 없다.

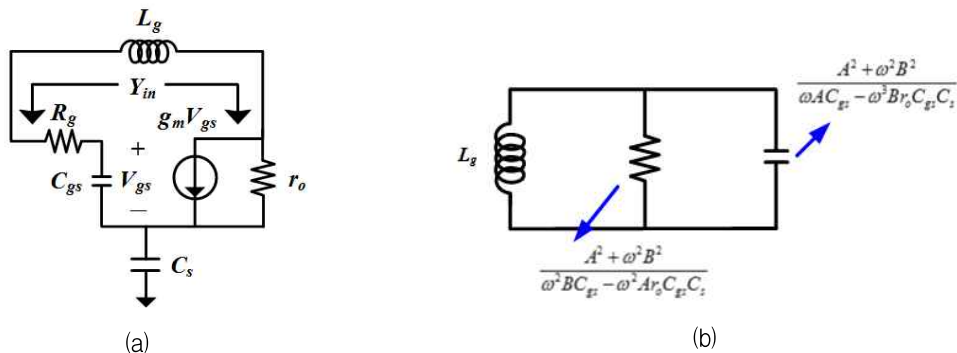


그림 3. 제안된 분석을 위한 소신호 모델 (a) 분석된 수식의 등가회로 (b)
Fig. 3. Small signal model of the RFNR circuit (a) and its equivalent circuit (b).

나. 소스 커패시턴스 C_s 의 추가와 그 영향

제안하는 수식의 정확도를 높이고 부성저항을 제공하는 회로로써 RFNR 회로를 분석하기 위해 트랜지스터의 소스에 기생 커패시턴스 C_s 를 추가했다. C_s 는 회로를 레이아웃하면서 실제 배탈사이에서 발생하는 기생 커패시턴스를 고려하여 소신호 모델에 추가한 것이다. 고주파수로 갈수록 커패시턴스가 회로에 미치는 영향은 증가하기 때문에 C_s 를 추가하는 것은 Sub-THz 영역에서의 정확한 회로 분석을 위해 필요하다. 기존의 소신호 모델에서 C_s 만 추가하여 트랜지스터의 게이트에서 분석한 회로의 수식은 다음과 같이 나타난다.

$$Z_{in} = \frac{1}{sC_{gs}} + \frac{1}{sC_s} + \frac{g_m}{s^2 C_{gs} C_s} \quad (7)$$

회로에 C_s 를 추가함으로써 트랜지스터의 게이트를 통해 분석해도 부성저항이 생성됐다. 즉, C_s 의 영향을 무시할 수 있는 낮은 주파수 영역에서는 부성저항을 제공하지 못하지만 Sub-THz 영역에서 동작한다면 부성저항을 제공하는 회로로써 이용이 가능하다.

기존의 소신호 모델에 R_g , C_s , r_o 가 추가된 최종적으로 제안된 회로의 수식은 다음과 같이 나타난다.

$$Y_{in} = \frac{sC_{gs}(1 + sr_o C_{gs})}{A + sB} \quad (8)$$

이 때 A와 B는 다음과 같다.

$$\begin{aligned} A &= 1 + g_m r_o - w^2 R_g r_o C_{gs} C_s \\ B &= (g_m + R_g) C_{gs} + r_o C_s \end{aligned} \quad (9)$$

위 식에서 어드미턴스의 실수부와 허수부를 나누면 다음과 같다.

$$Re\{Y_{in}\} = \frac{w^2 C_{gs} \times B - w^2 r_o C_{gs} C_s \times A}{A^2 + w^2 B^2} \quad (10)$$

$$Im\{Y_{in}\} = \frac{w C_{gs} \times A + w^3 r_o C_{gs} C_s \times B}{A^2 + w^2 B^2} \quad (11)$$

분석한 수식의 RLC 등가회로는 그림 3.(b)와 같다. $w^2 < ((g_m r_o^2 C_s - (g_m + R_g) C_{gs}) / R_g r_o^2 C_{gs} C_s^2)$ 의 조건에서 RFNR 회로는 부성저항을 제공하고, 그렇지 않으면 저항을 나타낸다. 기존의 분석과 다른점은 회로의

공진부에서 분석하기 위해 L_g 를 제외하고 트랜지스터의 게이트를 통해 분석을 진행했기 때문에 부성저항을 제공하는 조건이 L_g 와 무관하다는 점이다. 부성저항을 제공하는 조건은 트랜지스터의 파라미터들로만 결정된다.

III. 시뮬레이션 검증

제안하는 RFNR 회로를 분석한 수식의 정확도 검증 및 기존 분석된 수식과의 비교를 위해 삼성 65nm CMOS 공정 모델을 적용하여 시뮬레이션을 진행했다. 분석된 수식은 matlab 툴을 이용하여 임피던스를 시뮬레이션했고, cadence 툴의 트랜지스터와 소자를 사용하여 실제 회로의 동작을 확인하였다. 사용된 트랜지스터의 크기는 $16\mu\text{m}(1\mu\text{m} \times 16)$ 이고 트랜지스터의 기생저항과 커패시터를 포함하고 있는 RF트랜지스터 소자를 이용하였다. 시뮬레이션에 사용된 인덕터의 값과 트랜지스터의 파라미터는 $L_g = 268\text{pH}$, $C_{gs} = 7.66\text{fF}$, $R_g = 27.7\Omega$, $g_m = 13.35\text{mS}$, $C_s = 15\text{fF}$ 과 같다.

가. 제안된 수식의 동작 분석 및 검증

그림 4와 5는 각각 제안된 수식인 식 (8)의 matlab 시뮬레이션 결과와 cadence 툴을 이용한 실제회로의 임피던스 시뮬레이션 결과를 나타낸다.

그림 5와 2의 공진주파수(허수부가 0인 지점)를 비교하면, 기존의 임피던스 수식은 부성저항이 생성되지 않아 발진이 되지 않는 반면 실제회로는 부성저항이 생성되어 발진이 가능한 차이를 보이고 있다. 뿐만 아니라

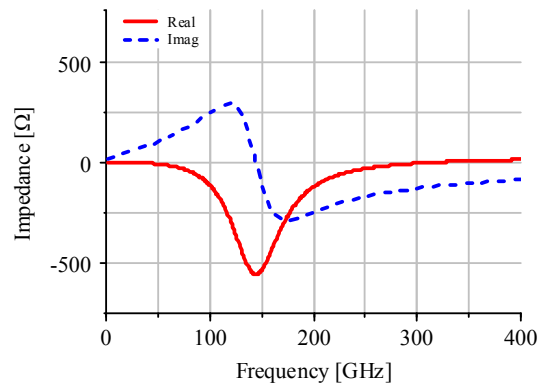


그림 4. 제안된 RFNR 회로의 수식 분석결과 (matlab)
Fig. 4. Proposed equation analysis result of the RFNR circuit (matlab).

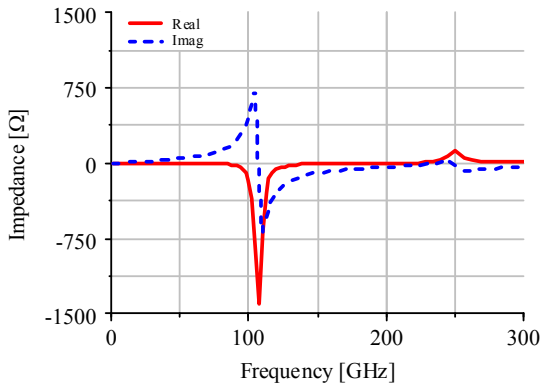


그림 5 RFNR 회로의 임피던스 시뮬레이션 결과 (cadence)

Fig. 5. Simulated impedance of the RFNR (cadence).

기존의 수식분석은 $\omega^2 < 1/L_g C_{gs}$ 에서허수부는 커패시턴스로 보이는 반면 실제회로에서는 인덕턴스 성분으로 보이고, $\omega^2 > 1/L_g C_{gs}$ 에서 또한 반대의 경향을 보이고 있다.

반면에 그림 5와 4를 비교하면, 제안된 수식의 결과와 실제 회로분석의 임피던스의 경향성이 일치함을 확인할 수 있다. 그래프의 형태가 완전히 일치하지 않는 것은 그림 3.(a)의 소신호 모델이 수식분석을 위해 파라미터를 간략화 하였기 때문이라고 생각된다.

나. R_g 의 변화가 미치는 영향

앞에서 R_g 가 트랜지스터의 최대진동주파수에 직접 영향을 미치기 때문에 고주파수에서 동작하는 회로 설계에 있어서 중요하다고 언급했다. 실제로 R_g 가 회로의 동작에 어느 정도의 영향을 미치는지 시뮬레이션을 통해 검증했다. 이 때, 다른 파라미터의 값은 고정하고 오직 R_g 의 변화에 의한 영향을 살펴보았으며 트랜지스터의 크기 또는 레이아웃 패턴에 의해 R_g 값을 변화시킬 수 있다.

그림 6과 7은 각각 제안된 수식인 식 (8)의 matlab 시뮬레이션 결과와 cadence 툴을 이용한 실제회로의 임피던스 시뮬레이션 결과를 나타낸다. 그림 6과 7을 비교하면, 제안된 수식분석과 실제 시뮬레이션 결과 모두 추가된 R_g 가 증가할수록 부성저항 영역이 점차 감소하는 것을 확인할 수 있다. R_g 값이 더 증가하게 되면 실수부의 임피던스가 양수가 되어 부성저항의 영역이 사라지게 된다. 즉 R_g 의 증가는 회로의 발진을 어렵게 한

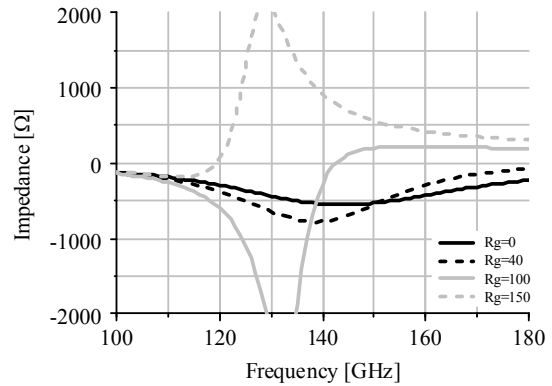
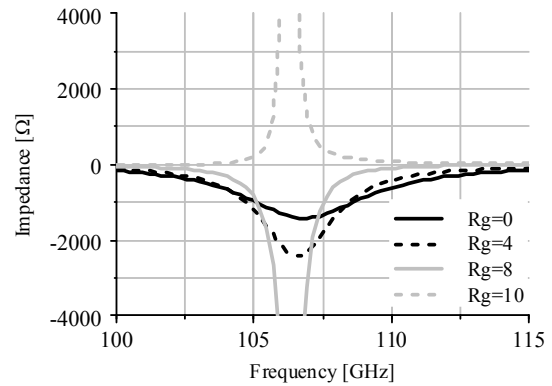
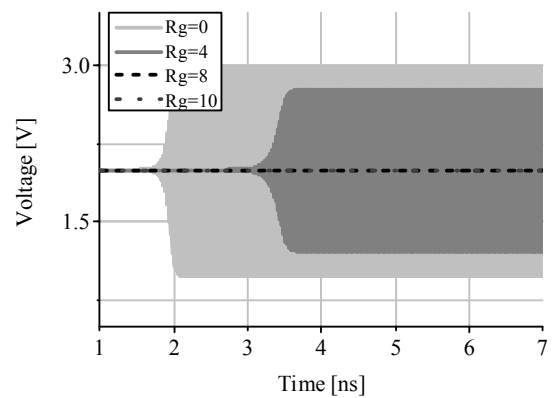


그림 6. 추가된 R_g 변화에 따른 RFNR 회로의 임피던스 시뮬레이션 결과 (matlab)

Fig. 6. Simulated impedance of the RFNR as function of the additional R_g (matlab).



(a)



(b)

그림 7. 추가된 R_g 변화에 따른 RFNR 회로의 시뮬레이션 결과 (a) 임피던스 실수부 (b) 신호파형 (cadence)

Fig. 7. Simulated results of the RFNR as function of the additional R_g (a) impedance of real part (b) waveform (cadence).

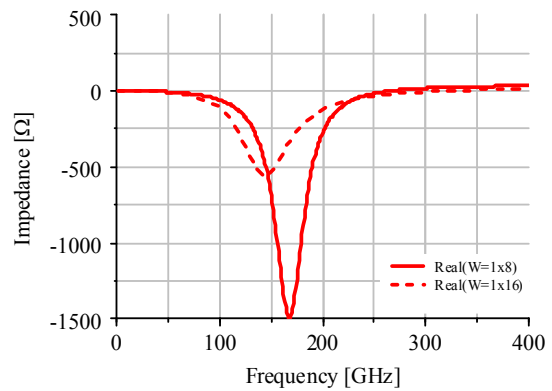
다는 사실을 확인할 수 있다. 그림 7.(b)의 신호파형을 보면 R_g 가 증가할수록 신호의 출력파워가 낮아지고 발진시기가 늦어지고, 나중에는 발진을 하지 못하게 된다. 특히 수식분석에서는 R_g 를 많이 변화시켜주어야 이런 결과를 확인할 수 있었지만, 실제 회로레벨의 cadence 시뮬레이션에서는 수식분석에 비해서 R_g 를 약간만 변화시켜도 회로에 미치는 영향이 컸다. 즉 고주파수 회로설계에 있어서 회로의 동작을 위해 추가적으로 발생할 수 있는 R_g 의 감소를 위해 회로구조설계나 레이아웃 측면에서 주의를 해야한다.

다. 트랜지스터 크기의 변화가 미치는 영향

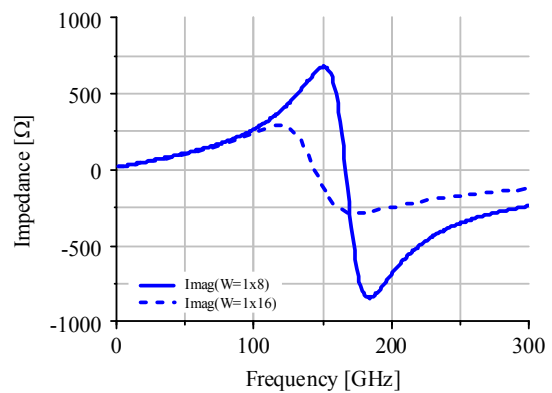
회로를 설계하면서 원하는 주파수와 출력파워를 얻기 위해 다양한 값들을 조절해야 한다. RFNR 회로와 같은 간단한 구조에서는 조절할 값들이 많지 않은데, 인덕터를 제외한다면 트랜지스터의 크기를 조절하며 설계를 해야한다. 특히 고주파수 발진을 위해서는 트랜지스터의 크기를 감소시키는 것이 유리하다. 트랜지스터의 크기를 변화시켰을 때 회로에 어떤 영향을 미치는지 시뮬레이션을 통해 검증하였다.

트랜지스터의 크기를 조절하게 되면 R_g , C_{gs} , g_m 의 값들이 변하게 된다. 트랜지스터의 크기는 $16\mu\text{m}(1\mu\text{m} \times 16)$ 와 $8\mu\text{m}(1\mu\text{m} \times 8)$ 의 두 가지 경우에서 시뮬레이션 하였다. 트랜지스터의 크기가 $16\mu\text{m}$ 인 경우에는 $L_g = 268\text{pH}$, $C_{gs} = 7.66\text{fF}$, $R_g = 27.7\Omega$, $g_m = 13.35\text{mS}$, $C_s = 15\text{fF}$ 이고, $8\mu\text{m}$ 인 경우에는 $L_g = 280\text{pH}$, $C_{gs} = 3.97\text{fF}$, $R_g = 42.3\Omega$, $g_m = 7.48\text{mS}$, $C_s = 15\text{fF}$ 이다. 이 값들을 반영하여 시뮬레이션을 수행하였다.

그림 8은 트랜지스터 크기 변화에 따른 임피던스를 제안된 수식으로 시뮬레이션 한 결과이고, 그림 9는 실제 회로에서 트랜지스터 크기 변화에 따른 출력파형의 모습이다. 그림 8. (b)에서 트랜지스터의 크기가 감소하면 발진주파수가 144GHz 에서 167GHz 로 증가함을 확인할 수 있다. 이는 트랜지스터 크기가 감소하면서 C_{gs} 가 감소하였기 때문이다. 실수부를 살펴보면 트랜지스터의 크기가 감소하면서 부성저항 영역이 감소함을 알 수 있는데, 이는 트랜지스터 크기가 감소함에 따라 R_g 가 증가하였기 때문에 생긴 결과이다. 즉 트랜지스터의 크기를 감소시켰을 때, 발진주파수는 C_{gs} 의 감소로 인해 증가하지만 R_g 의 증가와 g_m 의 감소로 인해 출력파워는 낮아지고 발진시기는 늦어질 것이라고 분석할 수 있다.



(a)



(b)

그림 8. 트랜지스터 크기 변화에 따른 RFNR 회로의 임피던스 시뮬레이션 결과 : (a) 실수부 (b) 허수부 (matlab)

Fig. 8. Simulated impedance of the RFNR as function of transistor size : (a) real part (b) imaginary part (matlab).

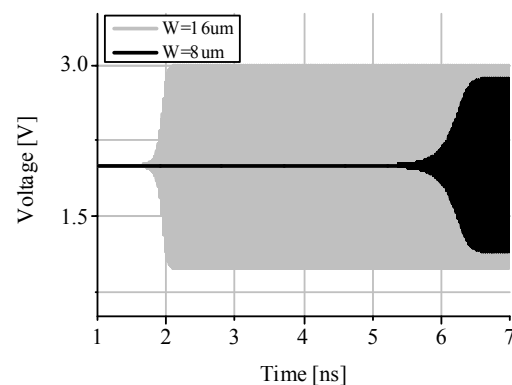


그림 9. 트랜지스터 크기 변화에 따른 RFNR 회로의 시뮬레이션 결과 (a) 임피던스 실수부 (b) 신호파형 (cadence)

Fig. 9. Simulated impedance of the RFNR as function of transistor size (a) impedance of real part (b) waveform (matlab).

그림 9의 실제 회로 동작에서 발진주파수는 104GHz에서 122GHz로 증가한 반면 출력파워는 감소하고 발진시기도 약 2ns에서 6ns로 늦어짐을 확인할 수 있다. 따라서 제안된 수식분석이 실제 회로레벨의 시뮬레이션 결과와 일치함을 확인할 수 있다. 제안된 RFNR 회로의 수식분석이 실제 회로 동작과 경향성이 일치하며 기존의 수식분석보다 정확성이 높음을 확인할 수 있다.

IV. 결 론

본 논문에서는 Sub-THz 영역에서 분석의 정확도를 높이기 위한 RFNR 회로의 새로운 분석방법을 제안하였다. 제안된 분석방법은 RFNR 회로를 하나의 발진기 회로로 보기위해 공진부인 트랜지스터의 게이트를 통해서 분석을 했다. 또한 기존의 분석과 다르게 트랜지스터의 게이트 저항 R_g 와 소스의 기생커패시턴스 C_s 를 추가하여 분석의 정확도를 높이고자 했다. 제안된 방법을 통해 분석했을 때, RFNR 회로는 하나의 발진기 회로처럼 분석할 수 있었다. Cadence 시뮬레이션 결과와 회로 분석을 통한 수식의 matlab 시뮬레이션 결과를 비교해 보았을 때, 기존의 분석보다 정확도가 높음을 확인할 수 있었다. 제안된 분석을 바탕으로 RFNR 회로를 이용한다면 새로운 구조의 발진기 설계에도 활용할 수 있을 것으로 기대된다.

REFERENCES

- [1] S. Ho-Jin and T. Nagatsuma, "Present and future of terahertz communications," IEEE Trans. THz Sci. Technol., vol. 1, no. 1, pp. 256 - 263, Sep. 2011.
- [2] P. H. Siegel, "Terahertz technology in biology and medicine," IEEE Trans. Microw. Theory Tech., vol. 52, no. 10, pp. 2438 - 2447, Oct. 2004.
- [3] K. Ajito and Y. Ueno, "THz chemical imaging for biological applications," IEEE Trans. THz Sci. Technol., vol. 1, no. 1, pp. 293 - 300, Sep. 2011.
- [4] K. B. Cooper, et al "THz imaging radar for standoff personnel screening," IEEE Trans. THz Sci. Technol., vol. 1, no. 1, pp. 169 - 182, Sep. 2011.
- [5] W. Steyaert and P. Reynaert, "A 0.54 THz signal generator in 40 nm bulk CMOS with 22 GHz tuning range," in Proc. Eur. Solid-State Circuits Conf. (ESSCIRC), pp. 411 - 414, Sep. 2013.
- [6] M. Adnan and E. Afshari, "A 247-to-263.5 GHz VCO with 2.6mW peak output power and 1.14 DC-to-RF efficiency in 65nm bulk CMOS," in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, pp. 262 - 263, 2014.
- [7] J. Lee and Y. Moon, "A Design of 40GHz CMOS VCO for high speed communication system," Journal of The Institute of Electronics and Information Engineers, vol. 51, no. 3, pp. 55-60, March. 2014.
- [8] T. H. Lee, "The design of CMOS radio-frequency integrated circuits," Cambridge, pp. 635 - 645, 1998
- [9] B. Razavi, "Design of analog CMOS integrated circuits", McGraw-Hill, pp. 482 - 530, 2001
- [10] Q. J. Gu, et al "CMOS THz generator with frequency selective negative resistance tank," IEEE Trans. THz Sci. Technol., vol. 2, no. 2, pp. 193 - 202, Mar. 2012.
- [11] J. Cha, J. Cha, D. Jung, and S. Lee, "Analysis of f_T and f_{max} dependence on unit gate finger width for RF performance optimization of MOSFETs" Journal of The Institute of Electronics and Information Engineers, vol. 45, SD, no. 9, pp. 21-25, Sep. 2008.
- [12] B. Razavi, "A 300-GHz fundamental oscillator in 65-nm CMOS technology," IEEE J. Solid-State Circuits, vol. 46, no. 4, pp. 894 - 903, Apr. 2011.
- [13] B. Razavi, R. H. Yan, and K. F. Lee, "Impact of distributed gate resistance on the performance of MOS devices," IEEE Trans. Circuits and Systems-Part I, pp. 750 - 754, Nov. 1994.

저 자 소 개



윤 은 승(학생회원)
2007년 충북대학교 전기공학과
학사 졸업.
2015년 충북대학교 전기공학과
석사 졸업.
<주관심분야 : RF/Analog 집적회
로 설계, 초고주파 신호원 설계>



홍 종 필(정회원)
2005년 한국항공대학교 항공전자
공학과 학사 졸업.
2007년 KAIST 정보통신공학과
석사 졸업.
2010년 KAIST 정보통신공학과
박사 졸업.
2010년 3월~2012년 8월 삼성 전자 시스템 LSI
사업부 책임 연구원.
2012년 9월~현재 충북대학교 전자정보대학
조교수
<주관심분야 : 음성신호회로 설계, RF/Analog 집
적회로 설계, 초고주파 신호원 설계>