http://dx.doi.org/10.6113/TKPE.2015.20.3.280

비대칭 펄스 폭 변조 방식의 배전류 정류기 회로를 적용한 고효율 풀-브릿지 DC-DC 컨버터

양민권[1], 최우영†

High-Efficiency Full-Bridge DC-DC Converter with Current-Doubler Rectifier with Asymmetric Pulse-Width Modulation

Min-Kwon Yang[1] and Woo-Young Choi†

Abstract

A high-efficiency full-bridge DC-DC converter with a current-doubler rectifier and an asymmetric pulse-width modulation is proposed. Through the asymmetric pulse-width modulation, the proposed converter achieves zero-voltage switching of power switches without the circulating currents. The proposed converter reduces the output current ripple through the current-doubler rectifier. A control strategy is suggested for the proposed converter to charge battery banks. A constant current and constant voltage charging is performed. The proposed converter achieved a higher efficiency compared with the conventional full-bridge DC-DC converter with a phase-shift modulation. The performance of the proposed converter is evaluated by the experimental results for a 1.0 kW prototype circuit.

Key words: Full-bridge DC-DC converter, Asymmetric pulse-width modulation, Current-doubler rectifier, Zero-voltage switching

1. 서 론

최근 높은 유가와 친환경에 대한 관심이 높아짐에 따라 전기자동차의 개발이 활발히 진행되고 있다. 전기자동차는 배터리 충전 시스템이 필요하다. 따라서 배터리 충전 시스템의 저가격, 소형화를 위한 고효율 회로 설계 및 제어 기술 개발이 꾸준히 연구되고 있다. 일반적으로 고주파수, 고성능 응용 분야에서는 풀-브릿지 (Full-Bridge) DC-DC 컨버터가 이용된다[1]-[3]. 특히, 높은 출력 전류 응용 분야에서는 출력 전류 리플 (Ripple)을 줄이기 위하여 배전류 정류기 (Current Doubler Rectifier) 회로가 요구되며[4], 도통 손실 (Conduction Loss)과 함께 스위칭 손실 (Switching Loss)을 줄일 수 있는 고효율 DC-DC 컨버터가 요구된다[5].

Paper number: TKPE-2015-20-3-11
Print ISSN: 1229-2214 Online ISSN: 2288-6281
† Corresponding author: wychoi@jbnu.ac.kr, Division of Electronic Engineering, Chonbuk Nat'l Univ.
[1] Div. of Electronic Engineering, Chonbuk Nat'l Univ.
Manuscript received Apr. 2, 2015; revised Apr. 21, 2015; accepted May 11, 2015

일반적으로 풀-브릿지 DC-DC 컨버터는 위상 천이 변조 (Phase-Shift Modulation) 방식으로 동작한다[6]-[12]. 그림 1은 위상 천이 변조 방식의 배전류 정류기 회로를 적용한 풀-브릿지 DC-DC 컨버터의 회로도를 나타낸다[6]. 스위치들의 영전압 스위칭 (Zero-Voltage Switching)으로 인하여 스위칭 손실을 줄일 수 있다[7]. 하지만, 위상 천이 변조 방식의 풀-브릿지 DC-DC 컨버터는 다음과 같은 단점을 지닌다. 진상 레그 (Leading Leg)의 스위치들은 스위칭을 할 때 2차 측 출력 인덕터의 에너지로 충분히 영전압 스위칭이 가능하지만, 지상 레그 (Lagging Leg)의 스위치들은 누설 인덕터 (Leakage Inductor)의 에너지만으로 스위칭하기 때문에 경부하 (Light Load) 상태에서는 영전압 스위칭이 보장 되지 않는다[8]. 이에 따라 지상 레그의 스위치들이 보다 넓은 부하 영역에서 영전압 스위칭 조건을 만족할 수 있도록 많은 연구들이 진행되고 있다. 별도의 보조 회로를 추가하여 지상 레그의 스위치들의 영전압 스위칭 범위를 확장 시킬 수 있지만[9][10], 환류 구간 (Freewheeling Period) 동안 1차 측 전류가 풀-브릿지 스위칭 회로를 순환하면서 높은 순환 전류 (Circulating Current)를 초

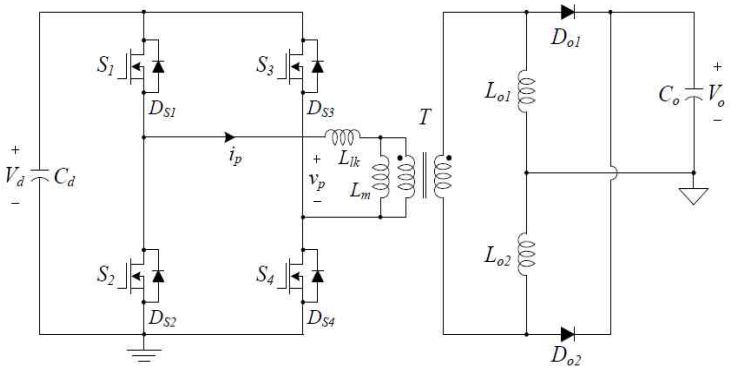

Fig. 1. Circuit diagram of the full-bridge converter with a current-doubler rectifier.

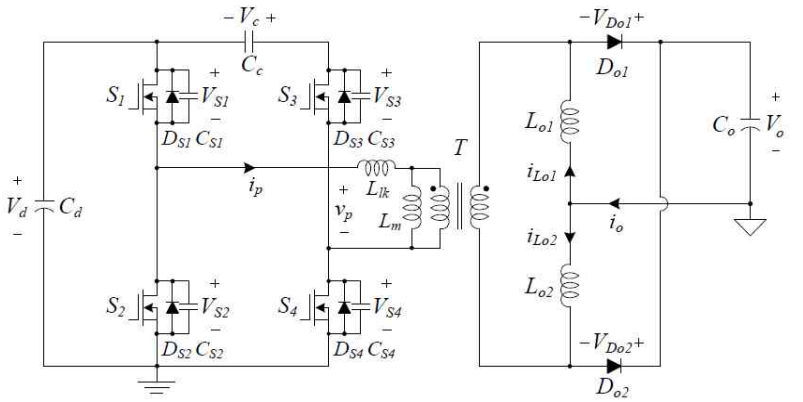

Fig. 2. Circuit diagram of the proposed converter.

래한다[11]. 보조의 변압기 (Transformer)가 추가된 스위칭 회로를 추가하여 순환 전류를 줄일 수 있지만[12], 추가된 스위칭 회로는 스위칭 손실을 발생시킨다. 또한, 최근 연구된 공진형 (Resonant) 풀-브릿지 DC-DC 컨버터들은 스위칭-주파수 제어 (Switching-Frequency Control)를 통해 스위치들의 영전압 스위칭이 가능하다[13]-[15]. 경부하 상태에서는 도통 손실을 줄이기 위해 스위칭 주파수가 증가된다. 하지만, 부하 변동 상태에 따라 스위칭 주파수의 변동 범위가 매우 넓어짐으로써 컨버터의 공진 동작을 실현 할 수 없는 단점을 지닌다.

본 논문에서는 비대칭 펄스 폭 변조 (Asymmetrical Pulse-Width Modulation) 방식의 배전류 정류기 회로를 적용한 고효율 풀-브릿지 DC-DC 컨버터를 제안한다. 비대칭 펄스 폭 변조 방식은 풀-브릿지 DC-DC 컨버터 뿐만 아니라, 하프-브릿지 (Half-Bridge) DC-DC 컨버터에서도 고려될 수 있다. 하지만 비대칭 펄스 폭 변조 방식의 풀-브릿지 컨버터가 비대칭 펄스 폭 변조 방식의 하프-브릿지 컨버터에 비하여 스위치 활용률 (Switch Utilization Factor)이 높다. 따라서 본 논문에서는 비대칭 펄스 폭 변조 방식의 풀-브릿지 컨버터를 제안한다. 비대칭 펄스 폭 변조 방식으로 인하여 넓은 부하 변동 상태에서도 모든 스위치들의 영전압 스위칭이 가능하다. 컨버터 동작 시 환류 구간이 매우 좁기 때문에 1차 측의 순환 전류를 줄일 수 있다. 또한, 배전류 정류기 회로를 적용함으로써 출력 전류 리플을 줄일 수 있다. 따라서 도통 손실과 함께 스위칭 손실을 줄일 수 있다. 본 논문에서는 제안된 컨버터의 동작원리와 함께 배터리 충전을 위한 정전류 (Constant Current) 정전압 (Constant Voltage) 제어 방식[16]을 제안한다. 1.0 [kW] 회로 설계 및 실험을 통하여 제안된 컨버터의 성능을 입증한다.

2. 본 론

2.1 회로 구조

그림 2는 제안하는 컨버터의 회로도를 나타낸다. 변압기 T는 자화 인덕터 (Magnetizing Inductor) L_m과 누설 인덕터 L_{lk}를 포함한다. 변압기 T의 턴 비 (Turns Ratio)는 1 : N ($N = N_s/N_p$)으로 나타낸다. 누설 인덕터 L_{lk}는 자화 인덕터 L_m보다 매우 작다. 1차 측 회로는 스위치 S_1, S_2, S_3, S_4와 클램프 커패시터 (Clamp Capacitor) C_c를 포함한다. 스위치의 바디 다이오드 (Body Diode) D_{S1}, D_{S2}, D_{S3}, D_{S4}와 출력 커패시터 C_{S1}, C_{S2}, C_{S3}, C_{S4}를 제외한 반도체 스위칭 소자는 이상적으로 동작함을 가정한다. 2차 측 회로는 배전류 정류기 회로 D_{o1}, D_{o2}, L_{o1}, L_{o2}와 출력 커패시터 C_o를 포함한다.

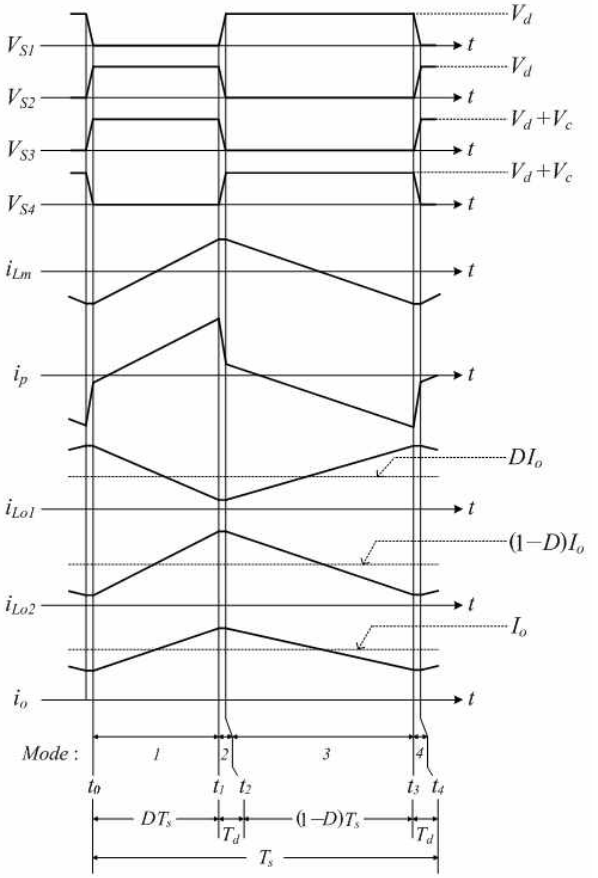

Fig. 3. Switching waveforms of the proposed converter.

V_d는 입력 전압, V_c는 클램프 커패시터 전압, V_o는 출력 전압이며, 한 스위칭 주기 T_s에 대하여 일정하다고 가정한다. 스위치 S_1과 S_4의 듀티비 (Duty Ratio)를 D라고 정의할 때, 스위치 S_1과 S_4의 도통 시간은 한 스위칭 주기 T_s에 대하여 DT_s로 표현된다. 반면, 스위치 S_2와 S_3의 도통 시간은 $(1-D)T_s$로 표현된다.

2.2 회로 해석

그림 3은 T_s 동안 제안된 컨버터의 동작 파형을 나타낸다. 스위치 S_1과 S_4가 그리고 스위치 S_2와 S_3가 각각 동시에 도통된다. 스위치 S_1, S_4와 스위치 S_2, S_3 간에는 짧은 데드 타임 (Dead Time) T_d가 존재한다. 또한 스위치 S_1, S_2와 S_3, S_4는 서로 비대칭 스위칭 동작을 한다. 제안된 컨버터는 T_s 동안 4가지 동작 모드를 지닌다.

Mode 1 [t_0, t_1]: $t = t_0$ 일 때, 스위치 S_1과 S_4는 영전압에서 도통된다. 누설 인덕터 L_{lk}는 자화 인덕터 L_m보다 매우 작기 때문에 자화 인덕터에 걸리는 전압은 $L_m V_d/(L_m+L_{lk}) = V_d$이다. 자화 인덕터 전류 i_{Lm}은 선형적으로 증가하며 다음 수식으로 표현된다.

$$i_{Lm}(t) = i_{Lm}(t_0) + \frac{V_d}{L_m}(t - t_0). \tag{1}$$

변압기 2차 측 권선에는 NV_d의 전압이 걸리게 되고, 출력 다이오드 D_{o1}이 도통된다. 출력 인덕터에 걸리는 전압 V_{Lo1}과 V_{Lo2}는 각각 V_o와 $NV_d - V_o$이다. 출력 인덕터 전류 i_{Lo1}은 선형적으로 감소한다. 반면, 출력 인덕터 전류 i_{Lo2}는 선형적으로 증가하며 다음 수식으로 표현된다.

$$\frac{di_{Lo2}}{dt} = \frac{NV_d - V_o}{L_{o2}}. \tag{2}$$

변압기 1차 측에 출력 인덕터 전류 i_{Lo2}가 전달되기 되며, 1차 측 전류 i_p는 다음 수식으로 표현된다.

$$i_p(t) = i_{Lm}(t) + N i_{Lo2}(t). \tag{3}$$

Mode 2 [t_1, t_2]: $t = t_1$ 일 때, 스위치 S_1과 S_4가 턴-오프 (Turn-off) 될 때, 1차 측 전류 i_p는 C_{S1}과 C_{S4}를 충전시키고, C_{S2}와 C_{S3}를 방전시킨다. V_{S1}은 영전압에서 V_d로 증가하고, V_{S4}는 영전압에서 $V_d + V_c$로 증가한다. V_{S2}는 V_d에서 영전압으로 감소하고, V_{S3}는 $V_d + V_c$에서 영전압으로 감소한다. 스위치 출력 커패시터 C_s (= C_{S1} = C_{S2} = C_{S3} = C_{S4})는 매우 작기 때문에, 한 스위칭 주기 T_s에 비하여 이 구간은 무시할 수 있다.

Mode 3 [t_2, t_3]: $t = t_2$ 일 때, 스위치 S_2와 S_3는 영전압에서 도통된다. 자화 인덕터 전압은 $-(V_d+V_c)$이다. 자화 인덕터 전류 i_{Lm}은 선형적으로 감소하며 다음 수식으로 표현된다.

$$i_{Lm}(t) = i_{Lm}(t_2) - \frac{(V_d + V_c)}{L_m}(t - t_2). \tag{4}$$

변압기 2차 측 권선에는 $-N(V_d+V_c)$의 전압이 걸리게 되고, 출력 다이오드 D_{o2}가 도통된다. 출력 인덕터에 걸리는 전압 V_{Lo1}과 V_{Lo2}는 각각 $-N(V_d+V_c)+V_o$와 $-V_o$이다. 출력 인덕터 전류 i_{Lo2}는 선형적으로 감소한다. 반면, 출력 인덕터 전류 i_{Lo1}은 선형적으로 증가하며 다음 수식으로 표현된다.

$$\frac{di_{Lo1}}{dt} = \frac{N(V_d + V_c) - V_o}{L_{o1}}. \tag{5}$$

변압기 1차 측에는 출력 인덕터 전류 i_{Lo1}이 전달되기 되며, 1차 측 전류 i_p는 다음 수식으로 표현된다.

$$i_p(t) = i_{Lm}(t) + N i_{Lo1}(t). \tag{6}$$

Mode 4 [t_3, t_4]: $t = t_3$ 일 때, 스위치 S_2와 S_3가 턴-오프 (Turn-off) 될 때, 1차 측 전류 i_p는 C_{S2}와 C_{S3}를

충전시키고, C_{S1}과 C_{S4}를 방전시킨다. V_{S1}은 V_d에서 영전압으로로 감소하고, V_{S4}는 $V_d + V_c$에서 영전압으로 감소한다. V_{S2}는 영전압에서 V_d로 증가하고, V_{S3}는 영전압에서 $V_d + V_c$로 증가한다.

T_s 동안 전압-시간 평형 (Voltage-Second Balance) 조건으로부터 클램프 커패시터 전압 V_c는 다음 수식으로 표현된다.

$$V_c = \frac{2D-1}{1-D} V_d. \tag{7}$$

T_s 동안 출력 인덕터 L_{o2}에 전압-시간 평형 조건을 적용하면 다음의 수식을 얻을 수 있다.

$$(NV_d - V_o)DT_s - V_o(1-D)T_s = 0. \tag{8}$$

식 (8)을 간단히 정리하면, 입력 전압 V_d와 출력 전압 V_o의 관계식은 다음 수식으로 표현된다.

$$\frac{V_o}{V_d} = ND. \tag{9}$$

3. 컨버터 특성

3.1 영전압 스위칭

*Mode 1*에서 스위치 S_1과 S_4의 도통 시간 DT_s에 대하여 다음 수식적 관계를 얻을 수 있다.

$$i_{Lm}(t_1) = i_{Lm}(t_0) + \frac{V_d}{L_m} DT_s. \tag{10}$$

제안된 컨버터가 손실이 없다고 가정하면, 자화 인덕터 전류 i_{Lm}의 평균값은 다음 수식으로 표현된다.

$$\frac{i_{Lm}(t_0) + i_{Lm}(t_1)}{2} = NI_o. \tag{11}$$

I_o는 출력 전류의 평균값이다. 식 (12)와 (13)으로부터 $i_{Lm}(t_0)$와 $i_{Lm}(t_1)$은 다음 수식으로 표현된다.

$$i_{Lm}(t_0) = NI_o - \frac{V_d}{2L_m} DT_s \tag{12}$$

$$i_{Lm}(t_1) = NI_o + \frac{V_d}{2L_m} DT_s. \tag{13}$$

$t = t_0$ 일 때, 자화 인덕터 L_m에 저장된 에너지가 스위치 출력 커패시터 C_s에 저장된 에너지보다 클 때 스위치 S_1과 S_4는 영전압 스위칭이 가능하다. 따라서 스위치 S_1과 S_4의 영전압 스위칭은 다음 조건식을 만족해야 한다.

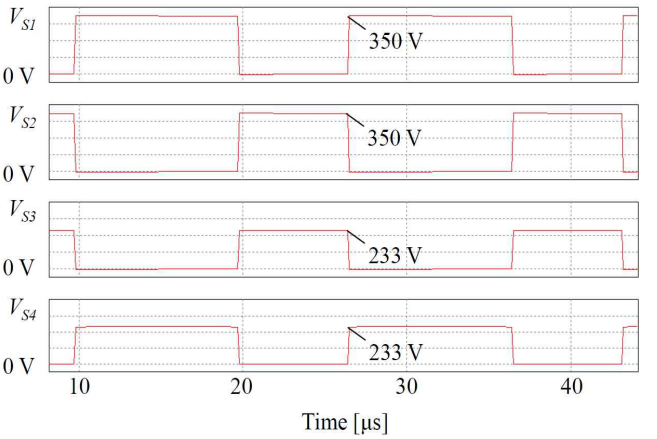

Fig. 4. Simulation waveforms of the proposed converter : V_{S1}: 100 V/div, V_{S2}: 100 V/div, V_{S3}: 100 V/div, V_{S4}: 100 V/div.

$$\frac{L_m i_{Lm}^2(t_0)}{2} > \frac{(C_{S1} + C_{S2})V_d^2}{2} + \frac{(C_{S3} + C_{S4})(V_d + V_c)^2}{2}. \tag{14}$$

$t = t_1$ 일 때, 자화 인덕터 L_m에 저장된 에너지가 스위치 출력 커패시터 C_s에 저장된 에너지보다 클 때 스위치 S_2와 S_3는 영전압 스위칭이 가능하다. 따라서 스위치 S_2와 S_3의 영전압 스위칭은 다음 조건식을 만족해야 한다.

$$\frac{L_m i_{Lm}^2(t_2)}{2} > \frac{(C_{S1} + C_{S2})V_d^2}{2} + \frac{(C_{S3} + C_{S4})(V_d + V_c)^2}{2}. \tag{15}$$

스위치 S_1과 S_2의 최대 전압은 입력 전압 V_d이다. 반면, 스위치 S_3와 S_4의 최대 전압은 입력 전압 V_d와 클램프 커패시터 전압 V_c의 합이며 다음 수식으로 표현된다.

$$V_d + V_c = \frac{D}{1-D} V_d. \tag{16}$$

스위치 S_3와 S_4의 최대 전압은 듀티비 D에 의해 변경된다. D가 0.5보다 낮을 경우, 스위치 S_3와 S_4가 턴-오프(Turn-off)시, 스위치에 걸리는 최대 전압은 항상 입력 전압 V_d보다 낮다. 따라서 듀티비 D를 0.4로 선정한다. 그림 4는 D = 0.4, V_d = 350 [V]일 때, 제안된 컨버터의 시뮬레이션 파형을 나타낸다. 스위치 S_1과 S_2의 최대 전압은 V_d이고, 스위치 S_3와 S_4의 최대 전압은 V_d보다 낮다. 따라서 제안된 컨버터는 기존의 풀-브릿지 컨버터와 비교하여 낮은 스위치 전압을 지님을 알 수 있다.

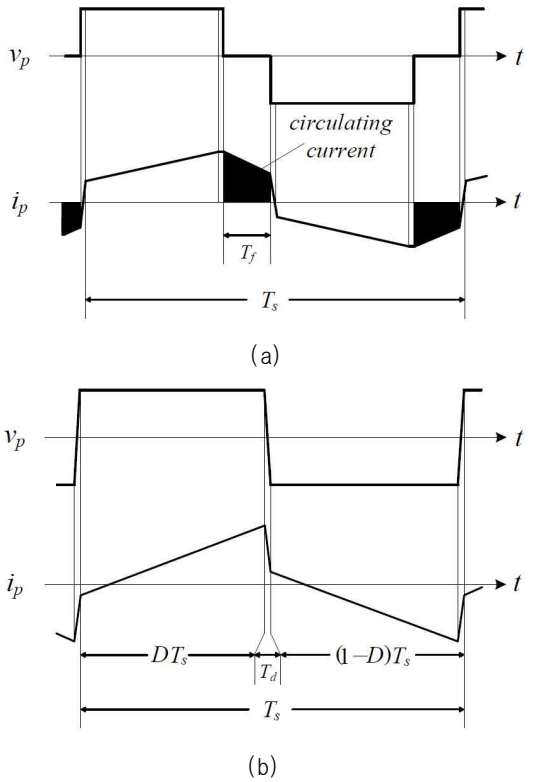

Fig. 5. Switching waveforms of the converters : (a) Conventional full-bridge converter with a phase-shift control, (b) Proposed full-bridge converter with an asymmetric duty-cycle control.

3.2 순환 전류

위상 천이 변조 방식의 풀-브릿지 컨버터는 환류 구간 동안 1차 측 전류가 풀-브릿지 스위칭 회로를 순환하면서 순환 전류를 초래한다. 이러한 순환 전류는 높은 도통 손실을 발생시킨다. 그림 5(a)는 위상 천이 변조 방식의 풀-브릿지 컨버터의 변압기 1차 측 전압 v_p와 1차 측 전류 i_p를 나타낸다. 환류 구간 T_f 동안에 1차 측 전류가 풀-브릿지 스위칭 회로를 순환하지만 1차 측 전력을 2차 측으로 전달하지 못한다. 그림 5(b)는 비대칭 펄스 폭 변조 방식의 제안된 컨버터의 변압기 1차 측 전압 v_p와 1차 측 전류 i_p를 나타낸다. 짧은 데드 타임 T_d를 제외하고 환류 구간이 존재하지 않으므로, 효율적으로 1차 측 전력을 2차 측으로 전달 할 수 있다. 비대칭 펄스 폭 변조 방식의 제안된 컨버터는 위상 천이 변조 방식의 풀-브릿지 컨버터와 비교하여 순환 전류를 최소화 할 수 있다.

3.3 출력 전류 리플

출력 인덕터 전류 i_{Lo1}과 i_{Lo2}를 이용하여, 출력 인덕터의 전류 리플 i_{ripple}은 다음 수식으로 표현된다.

$$i_{ripple} = \frac{(1-2D)\,V_o\,T_s}{L_o}, \text{ if } D \le 0.5 \qquad (17)$$

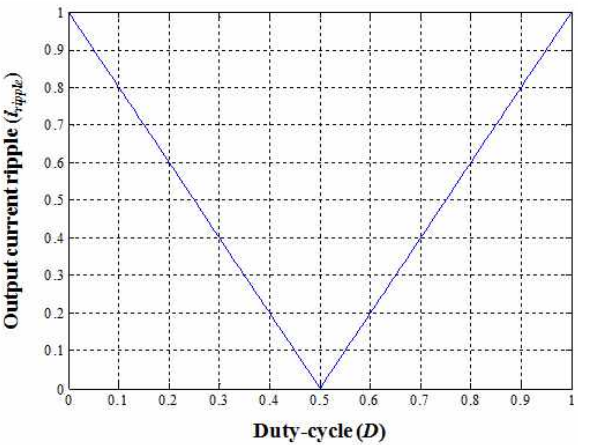

Fig. 6. Graph for the normalized output current ripple.

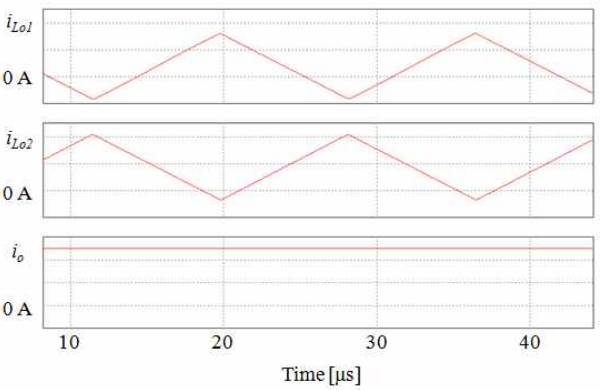

Fig. 7. Simulation waveforms of the proposed converter when D is 0.5 : i_{Lo1}: 20 A/div, i_{Lo2}: 20 A/div, i_o: 10 A/div.

$$i_{ripple} = \frac{(2D-1)\,V_o\,T_s}{L_o}, \text{ if } D > 0.5 \qquad (18)$$

여기서, $L_o = L_{o1} = L_{o2}$이다. 그림 6은 정규화된 출력 전류 리플의 그래프를 나타낸다. 정규화된 출력 전류 리플은 항상 듀티비 D의 변동 범위인 1보다 작다. 특히, D가 0.5일 때 출력 전류 리플은 0이 된다. D가 0.5일 때 제안된 컨버터는 비대칭 펄스 폭 변조 방식으로 인하여 출력 전류 리플이 없는 특징을 지닌다. 그림 7은 D가 0.5일 때 제안된 컨버터의 시뮬레이션 파형을 나타낸다. 출력 전류 리플은 출력 전류 i_o가 각 인덕터의 전류 i_{Lo1}과 i_{Lo2}의 합이기 때문에 출력 전류의 리플은 상쇄 될 수 있다.

4. 컨버터 제어

그림 8은 배터리 충전을 위한 제안된 컨버터의 제어 블록 다이어그램을 나타낸다. 정전류 정전압 제어 방식을 구현하기 위해서, 두 개의 제어 루프가 사용된다. 내부에는 전류 제어 루프가 사용되며, 외부에는 전압 제어

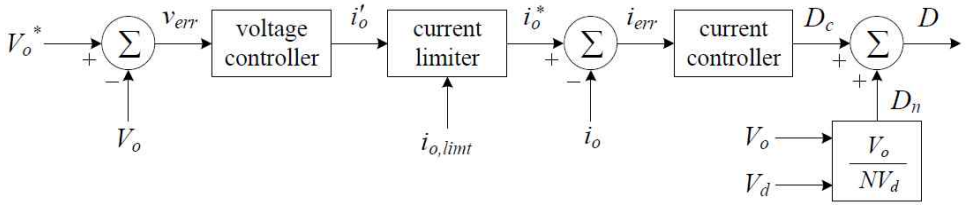

Fig. 8. Control block diagram of the proposed converter.

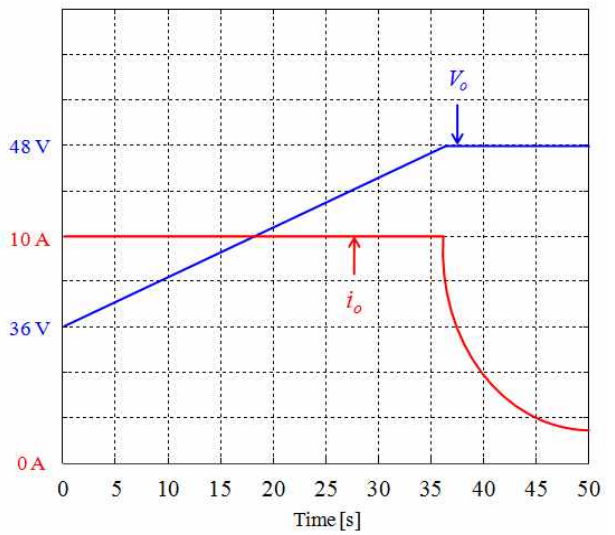

Fig. 9. Simulation waveforms of the proposed converter for charge battery banks.

루프가 사용된다. 듀티비 D는 다음 수식으로 표현된다.

$$D = D_n + D_c. \tag{19}$$

듀티비 D는 공칭 듀티 (Nominal Duty) D_n과 제어 듀티 (Control Duty) D_c의 합이다. 식 (9)을 공칭 듀티 D_n에 관하여 정리하면 다음 수식으로 표현된다.

$$D_n = \frac{V_o}{NV_d}. \tag{20}$$

제어 듀티 D_c는 비례-적분 (Proportional-Integral) 전류 제어기를 사용하여 다음 수식으로 표현된다.

$$D_c = k_p i_{err} + k_i \int i_{err} dt. \tag{21}$$

$$i_{err} = i_o^* - i_o. \tag{22}$$

전류 에러 (Error) i_{err}는 기준 출력 전류 i_o^*와 측정된 출력 전류 i_o의 오차이다. k_p와 k_i는 각각 비례-적분 제어기의 게인 (Gain)이다. 일정한 출력 전압 V_o를 제어하기 위해 비례-적분 전압 제어기를 사용한다. 전압 에러 v_{err}는 기준 출력 전압 V_o^*와 측정된 출력 전압 V_o의 오차이다. 전압 제어기는 기준 출력 전류 i_o^*를 생성 한다. $i_{o,limit}$는 배터리의 최대 충전 전류이다. i_o`가 $i_{o,limit}$보다 크면 배터리는 정전류로 충전되고, 반면에 $i_o$`가 $i_{o,limit}$보다 작으면 배터리는 정전압으로 충전된다. 그림 9는 배터리 충전을 위한 제안된 컨버터의 시뮬레이션 파형을 나타낸다. t = 36.5 sec까지 제안된 컨버터는 출력 전류 i_o를 10 [A] 정전류로 공급한다. t = 36.5 sec 이후, 출력 전압 V_o가 48 [V] 최대 전압에 도달하면, 출력 전압 V_o는 정전압으로 유지되고 출력 전류 i_o는 감소한다.

TABLE I
ELECTRICAL SPECIFICATION

Electrical Specification	Value
Input voltage V_d	350 [V]
Output voltage V_o	48 [V]
Switching frequency f_s	60 [kHz]
Output power P_o	1.0 [kW]

TABLE II
PARAMETERS OF THE POWER CIRCUIT COMPONENTS

Component	Parameter
Clamp capacitor C_c	1.0 [μF]
Power switches S_1, S_2 S_3 S_4	FQA24N60
Switch output capacitor C_s	550 [pF]
Transformer turns ratio N	N_p : 35, N_s : 12
Magnetizing inductor L_m	185 [μH]
Leakage inductor L_{lk}	0.4 [μH]
Output inductors L_{o1}, L_{o2}	10 [μH]
Output diodes D_{o1}, D_{o2}	F15U40S

5. 실험 결과

제안된 컨버터의 성능을 검증하기 위하여 1.0 [kW] Prototype 회로를 설계 및 실험하였다. 표 1과 표 2는 각각 제안하는 컨버터의 전기적 파라미터와 회로 부품들의 파라미터를 나타낸다. 스위칭 주파수 f_s는 60 kHz로 동작하며, 데드 타임 T_d는 스위치 소자 (FQA24N60)

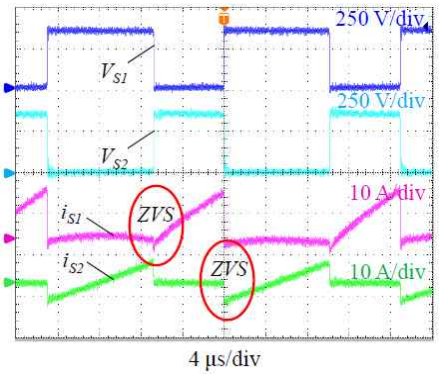

Fig. 10. Experimental waveforms of the proposed converter : (a) V_{S1}, V_{S2}, i_{S1}, and i_{S2} for a 1.0 kW, (b) V_{S1}, V_{S2}, i_{S1}, and i_{S2} for a 0.2 kW, (c) V_{S3}, V_{S4}, i_{S3}, and i_{S4} for a 1.0 kW, (d) V_{S3}, V_{S4}, i_{S3}, and i_{S4} for a 0.2 kW.

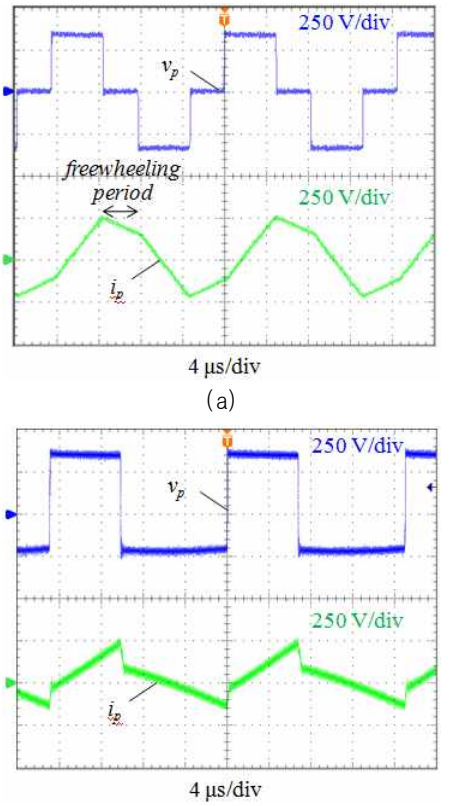

Fig. 11. Experimental waveforms of the converters : v_p: 250 V/div, i_p: 10 A/div, 4 μs/div : (a) v_p and i_p of the conventional full-bridge converter, (b) v_p and i_p of the proposed full-bridge converter.

의 턴-온 (Turn-On)/턴-오프 (Turn-Off) 지연 시간 및 게이트 드라이버 (Gate-Driver)의 전달 지연 시간을 고려하여 0.8 μsec의 값으로 설계되었다. 변압기 T는 페라이트 코어 (Ferrite Core) EE7066으로 설계되었다, 선정된 듀티비 D = 0.4와 컨버터 입/출력 관계식에 의하여, 변압기 T의 1차 측 턴비 N_p = 35와 2차 측 턴비 N_s = 12를 결정할 수 있다. 출력 인덕터 L_o는 페라이트 코어 PQ3230으로 설계되었다.

그림 10은 D가 0.4일 때 제안된 컨버터의 실험 파형을 나타낸다. 그림 10(a)는 출력 전력이 1.0 [kW]일 때, 스위치 전압 V_{S1}, V_{S2}과 스위치 전류 i_{S1}, i_{S2}를 나타낸다. 스위치 전압 V_{S1}과 V_{S2}의 최대 전압은 입력 전압 350 [V]이다. 스위치 S_1과 S_2가 도통되기 전에, 스위치 전압 V_{S1}과 V_{S2}는 영전압이고, 스위치 전류 i_{S1}과 i_{S2}는 음으로 흐르기 때문에 영전압 스위칭이 가능하다. 그림 10(b)는 출력 전력이 0.2 [kW]일 때, 스위치 전압 V_{S1}, V_{S2} 과 스위치 전류 i_{S1}, i_{S2}를 나타낸다. 경부하 시, 스위치 S_1과 S_2의 영전압 스위칭이 가능하다. 그림 10(c)는 출력 전력이 1.0 [kW]일 때, 스위치 전압 V_{S3}, V_{S4}과 스위치 전류 i_{S3}, i_{S4}를 나타낸다. 스위치 전압 V_{S3}와 V_{S4}의 최대 전압은 입력 전압과 클램프 커패시터 전압의 합인 233 [V]이다. 스위치 S_3와 S_4가 도통되기 전에, 스위치 전압

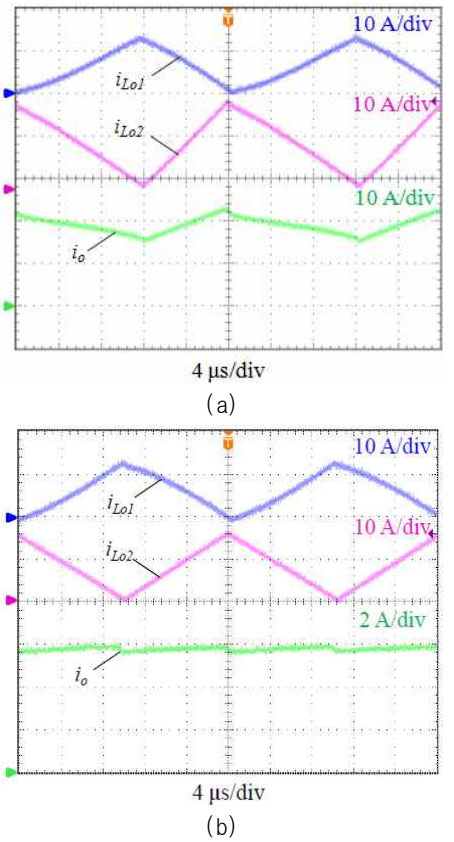

Fig. 12. Experimental waveforms of the proposed converter : (a) i_{Lo1}, i_{Lo2}, and i_o for D = 0.4, (b) i_{Lo1}, i_{Lo2}, and i_o for D = 0.5.

V_{S3}와 V_{S4}는 영전압이고, 스위치 전류 i_{S3}와 i_{S4}는 음으로 흐르기 때문에 영전압 스위칭이 가능하다. 그림 10(d)는 출력 전력이 0.2 [kW]일 때, 스위치 전압 V_{S3}, V_{S4}과 스위치 전류 i_{S3}, i_{S4}를 나타낸다. 경부하 시, 스위치 S_3와 S_4의 영전압 스위칭이 가능하다. 따라서 식 (14), (15)의 영전압 조건식을 만족하는 제안된 컨버터는 정격 전력 범위 내에서 영전압 스위칭 동작이 보장된다.

제안된 컨버터와 전력 변환 효율을 비교하기 위해 위상 천이 변조 방식의 풀-브릿지 컨버터를 설계하고 실험하였다. 위상 천이 변조 방식의 풀-브릿지 컨버터는 제안된 컨버터와 전기적 파라미터 및 회로 부품이 동일하게 적용 및 사용되었다. 하지만 기존 위상 천이 변조 방식의 풀-브릿지 컨버터는 제안된 컨버터의 클램핑 커패시터 C_c를 사용하지 않는다. 그림 11은 두 컨버터의 실험 파형을 비교한다. 그림 11(a)는 기존의 위상 천이 변조 방식의 풀-브릿지 컨버터의 변압기 T의 1차 측 전압 v_p와 1차 측 전류 i_p를 나타낸다. T의 1차 측 전압이 환류 구간 동안에는 영전압이다. 이 때, 순환 전류가 풀-브릿지 스위칭 회로를 순환하면서 도통 손실을 증가시킨다. 그림 11(b)는 제안된 컨버터의 변압기 T의 1차 측 전압 v_p와 1차 측 전류 i_p를 나타낸다. 짧은 데드 타임 T_d를 제외하고는 환류 구간이 존재하지 않는다. 풀-브릿지 스위칭 회로로 흐르는 순환전류가 없기 때문에 도통 손실을 줄일 수 있다. 그림 12는 제안된 컨버터의 인덕터 전류 파형을 나타낸다. 그림 12(a)는 D가 0.4일 때 인덕터 전류 i_{Lo1}과 i_{Lo2}, 출력 전류 i_o를 나타낸다. 출력 전류 i_o의 리플은 인덕터 전류 i_{Lo1}과 i_{Lo2}의 각각의 전류 리플보다 줄어든다. 그림 12(b)는 D가 0.5일 때 인덕터 전류 i_{Lo1}과 i_{Lo2}, 출력 전류 i_o를 나타낸다. 듀티비가 0.5에 가까울수록 출력 전류 리플은 최소화됨을 알 수 있다.

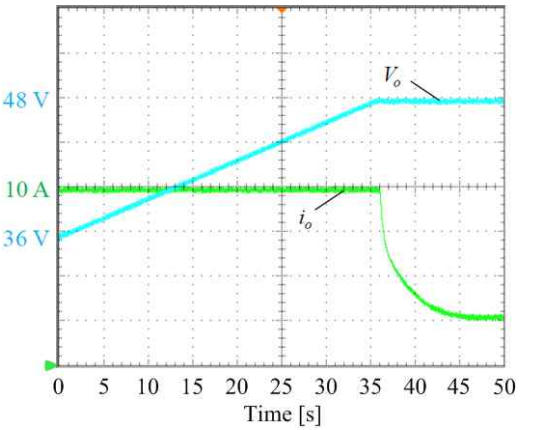

Fig. 13. Experimental waveforms of the proposed converter : V_o: 4 V/div; i_o: 2.5 A/div, 5 s/div.

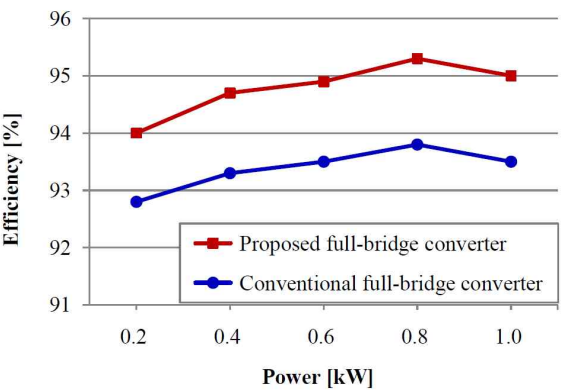

Fig. 14. Measured power efficiencies.

그림 13은 배터리 충전을 위한 제안된 컨버터의 실험 파형을 나타낸다. 제안된 컨버터가 출력 전류 i_o를 10 [A]의 정전류로 공급 시, 출력 전압 V_o는 선형적으로 상승하며, 48 [V]의 최대 전압에 도달 시, 정전압으로 유지되고 출력 전류 i_o는 감소함을 알 수 있다.

그림 14는 출력 부하의 변화에 따른 컨버터들의 효율 곡선을 나타낸다. 출력 전력이 1.0 [kW]일 때 위상 천이 변조 방식의 풀-브릿지 컨버터는 93.5 %의 효율을 나타낸다. 반면, 비대칭 펄스 폭 변조 방식의 제안된 컨버터는 95.0 %의 효율을 나타낸다. 제안된 컨버터는 기존 위상 천이 변조 방식의 풀-브릿지 컨버터와 비교하여 스위칭 손실과 함께 도통 손실을 감소시킴으로써 1.5 %의 효율을 향상시켰다.

6. 결 론

본 논문에서는 비대칭 펄스 폭 변조 방식의 배전류 정류기 회로를 적용한 풀-브릿지 DC-DC 컨버터를 제안하였다. 넓은 부하 변동 상태에서도 모든 스위치들의 영전압 스위칭이 가능하고, 환류 구간이 매우 좁기 때문에 1차 측의 순환 전류를 줄일 수 있으며, 배전류 정류기 회로를 적용함으로써 출력 전류 리플을 줄일 수 있다. 따라서 스위칭 손실과 함께 도통 손실을 최소화 할 수 있다. 본 논문에서는 제안된 컨버터의 동작원리와 함께 배터리 충전을 위한 정전류 정전압 제어 방식을 제안하였으며, 시뮬레이션 및 실험 결과를 통하여 성능을 검증하였다. 출력 전력이 1.0 [kW]일 때, 제안된 컨버터는 95.0 %의 높은 효율을 달성하였다. 제안된 컨버터는 기존 위상 천이 변조 방식의 풀-브릿지 컨버터와 비교하여 스위칭 손실과 함께 도통 손실을 감소시킴으로써 고효율 DC-DC 컨버터 설계를 이룰 수 있다.

이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2010-0028509).

References

[1] M. Pahlevaninezhad, D. Hamza, and P. K. Jain, “An improved layout strategy for common-mode EMI suppression applicable to high-frequency planar transformers in high-power dc/dc converters used for electric vehicles,” *IEEE Transactions on Power Electronics*, Vol. 29, No. 3, pp. 1211-1228, Mar. 2014.,

[2] B. Whitaker, A. Barkley, Z. Cole, B. Passmore, D. Martin, T. R. McNutt, A. B. Lostetter, J. S. Lee, and K. Shiozaki, “A high-density, high-efficiency, isolated on-board vehicle battery charger utilizing silicon carbide power devices,” *IEEE Transactions on Power Electronics*, Vol. 29, No. 5, pp. 2606-2617, May 2014.

[3] B. Zhao, Q. Song, W. Liu, and Y. Sun, “Dead-time effect of the high-frequency isolated bidirectional full-bridge dc-dc converter: comprehensive theoretical analysis and experimental verification,” *IEEE Transactions on Power Electronics*, Vol. 29, No. 4, pp. 1667-1680, Apr. 2014.

[4] T. F. Wu, C. T. Chang, and Y. M. Chen, “Analysis and implementation of an improved current-doubler rectifier with coupled inductors,” *IEEE Transactions on Power Electronics*, Vol. 23, No. 6, pp. 2681-2693, Nov. 2008.

[5] C. L. Wei, C. H. Chen, K. C. Wu, and I. T. Ko, “Design of an average-current-mode noninverting buck-boost dc-dc converter with reduced switching and conduction losses,” *IEEE Transactions on Power Electronics*, Vol. 27, No. 12, pp. 4934-4943, Dec. 2012.

[6] U. Badstuebner, J. Biela, D. Christen, and J. W. Kolar, “Optimization of a 5-kW telecom phase-shift dc-dc converter with magnetically integrated current doubler,” *IEEE Transactions on Industrial Electronics*, Vol. 58, No. 1, pp. 85-94, Jan. 2011.

[7] Z. Zhang, F. F. Li, and Y. F. Liu, “A high-frequency dual-channel isolated resonant gate driver with low gate drive loss for ZVS full-bridge converters,” *IEEE Transactions on Power Electronics*, Vol. 29, No. 6, pp. 3077-3090, Jun. 2014.

[8] L. H. Mweene, C. A. Wright, and M. F. Schlecht, “A 1 kW, 500 kHz front-end converter for a distributed power supply system,” *IEEE Transactions on Power Electronics*, Vol. 6, No. 3, pp. 398-407, Jul. 1991.

[9] G. N. B. Yadav and N. L. Narasamma, “An active soft switched phase-shifted full-bridge dc-dc converter: analysis, modeling, design, and implementation,” *IEEE Transactions on Power Electronics*, Vol. 29, No. 9, pp. 4538-4550, Sep. 2014.

[10] D. S. Wijeratne and G. Moschopoulos, “A ZVS-PWM full-bridge converter with reduced conduction losses”, *IEEE Transactions on Power Electronics*, Vol. 29, No. 7, pp. 3501-3513, Jul. 2014.

[11] B. Gu, C. Y. Lin, B. Chen, J. Dominic, and J. S. Lai, “Zero-voltage-switching PWM resonant full-bridge converter with minimized circulating losses and minimal voltage stresses of bridge rectifiers for electric vehicle battery chargers,” *IEEE Transactions on Power Electronics*, Vol. 28, No. 10, pp. 4657-4667, Oct. 2013.

[12] I. O. Lee and G. W. Moon, “Phase-shifted PWM converter with a wide ZVS range and reduced circulating current,” *IEEE Transactions on Power Electronics*, Vol. 29, No. 2, pp. 908-919, Feb. 2013.

[13] J. Biela, U. Badstuebner, and J. W. Kolar, “Impact of power density maximization on efficiency of dc-dc converter systems,” *IEEE Transactions on Power Electronics*, Vol. 24, No. 1, pp. 288-300, Jan. 2009.

[14] M. Pahlevaninezhad, J. Drobnik, P. K. Jain, and A. Bakhshai, “A load adaptive control approach for a zero-voltage switching dc/dc converter used for electric vehicles,” *IEEE Transactions on Industrial Electronics*, Vol. 59, No. 2, pp. 920-933, Feb. 2012.

[15] W. Haoyu, S. Dusmez, and A. Khaligh, “Design and analysis of a full-bridge LLC-based PEV charger optimized for wide battery voltage range,” *IEEE Transactions on Vehicular Technology*, Vol. 63, No. 4, pp. 1603-1613, May 2014.

[16] B. Y. Chen and Y. S. Lai, “New digital-controlled technique for battery charger with constant current and voltage control without current feedback,” *IEEE Transactions on Industrial Electronics*, Vol. 59, No. 3, pp. 1545-1553, Mar. 2012.

양민권(梁民權)

1987년 6월 11일생. 2012년 전북대 전자공학과 졸업. 2012년～현재 동 대학원 전자공학과 박사과정.

최우영(崔祐榮)

1979년 8월 30일생. 2004년 전남대 공대 전기공학과 졸업. 2009년 포항공과대 전자전기공학과 졸업(공박). 2009년～2010년 Virginia Tech (Post Doc.). 2010년～현재 전북대 전자공학부 부교수.