

## PMIC용 저면적 Dual Port eFuse OTP 메모리 IP 설계

박현, 이승훈, 박무훈, 하판봉, 김영희\*

### Deign of Small-Area Dual-Port eFuse OTP Memory IP for Power ICs

Heon Park, Seung-Hoon Lee, Mu-Hun Park, Pan-Bong Ha, Young-Hee Kim\*

**요약** 본 논문에서는 cell 사이즈가 작은 dual port eFuse OTP(One-Time Programmable)를 사용하면서 VREF(Reference Voltage) 회로를 eFuse OTP IP(Intellectual Property)에 하나만 사용하고 S/A(Sense Amplifier) 기반의 D F/F을 사용하는 BL(Bit-Line) 센싱 회로를 제안하였다. 제안된 센싱 기술은 read current를 6.399mA에서 3.887mA로 줄일 수 있다. 그리고 아날로그 센싱을 하므로 program-verify-read 모드와 read 모드에서 프로그램된 eFuse의 센싱 저항은 각각 9k $\Omega$ , 5k $\Omega$ 으로 낮출 수 있다. 그리고 설계된 32비트 eFuse OTP 메모리의 레이아웃 면적은 187.845 $\mu\text{m} \times 113.180\mu\text{m}$ (=0.0213mm<sup>2</sup>)으로 저면적 구현이 가능한 것을 확인하였다.

**Abstract** In this paper, dual-port eFuse OTP (one-time programmable) memory cells with smaller cell sizes are used, a single VREF (reference voltage) is used in the designed eFuse OTP IP (intellectual property), and a BL (bit-line) sensing circuit using a S/A (sense amplifier) based D F/F is proposed. With this proposed sensing technique, the read current can be reduced to 3.887mA from 6.399mA. In addition, the sensing resistances of a programmed eFuse cell in the program-verify-read and read mode are also reduced to 9k $\Omega$  and 5k $\Omega$  due to the analog sensing. The layout size of the designed 32-bit eFuse OTP memory is 187.845 $\mu\text{m} \times 113.180\mu\text{m}$  (=0.0213 $\mu\text{m}^2$ ), which is confirmed to be a small-area implementation.

**Key Words** : Dual port eFuse, OTP, PMIC, sense amplifier , small area

### 1. 서론

PMIC(Power Management IC)는 휴대폰, 노트북 PC, TV와 모니터 등의 정보기기에서 입력전원을 받아서 시스템에서 요구하는 안정적인고 효율적인 전원으로 변환하여 공급하는 칩이다[1]. PMIC는 아날로그 트리밍 기능을 수행하기 위해 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 소용량의 eFuse OTP (electrical Fuse One-Time Programmable) 메모리가 많이 사용되고 있으며, 메모리 용량은 수 십 비트 정도가 사용된다[2][3]. eFuse OTP 메모리는 eFuse 링

크에 수 십 mA의 과전류를 흘려 eFuse 링크를 blowing하여 프로그램 한다[4][5]. eFuse의 blowing 이전의 저항은 50~100 $\Omega$ 정도이고, eFuse를 통해 프로그램 전류가 흐르면서 blowing된 eFuse의 저항은 대개 수k $\Omega$ 이상이다.

수 십 비트 정도의 메모리 용량을 갖는 eFuse OTP 메모리 IP(Intellectual Property)는 다음과 같은 특징을 갖는 설계가 요구된다. (1) 저면적 OTP 셀 설계. (2) 프로그램된 eFuse 링크의 센싱 저항이 수 k $\Omega$ 으로 작은 OTP 셀 회로 설계[6].

Dual port eFuse cell[7]은 read port와 program port가 분리된 형태로 큰 프로그램 전류를 흘릴 수

This work was supported by the Industrial Core Technology Development Program(10049095, "Development of Fusion Power Management Platforms and Solutions for Smart Connected Devices") funded By the Ministry of Trade, industry & Energy

\*Corresponding Author : Department of electronic engineering Professor of Changwon National university(youngkim@changwon.ac.kr)  
Received August 21, 2015 Revised August 5, 2015 Accepted August 11, 2015

있는 큰 채널 폭의 NMOS 트랜지스터와 read current를 줄일 수 있는 읽기 모드용 작은 채널 폭의 read NMOS 트랜지스터로 구성되어 있어 저면적 eFuse OTP cell 사이즈를 제공한다. 그리고 디지털 센싱 방식을 사용하는 경우 주변회로가 단순하며, 프로그램 센싱 저항이 대개 수 십 kΩ 정도로 높은 편이다. 반면 differential paired eFuse cell은 dual port eFuse cell을 pair로 연결한 형태로 기준전압 발생기 회로가 필요 없는 단순한 주변회로를 구현할 수 있다. 그리고 프로그램된 eFuse 링크의 센싱 저항은 수 kΩ 정도이다.

수 십 비트 정도의 메모리 용량을 갖는 eFuse OTP 메모리 IP를 설계하기 위해서는 cell 사이즈가 작은 dual port eFuse OTP cell을 사용하면서 VREF(Reference Voltage)와 BL(Bit-Line) 전압을 cross-coupled S/A(Sense Amplifier)에 의해 비교하는 아날로그 센싱 회로가 제안되었다[8]. 이 방식은 매 column마다 VREF 전압 발생회로가 하나씩 필요하므로 OTP 레이아웃 사이즈가 증가하고 read current가 증가하는 단점이 있다.

본 논문에서는 cell 사이즈가 작은 dual port eFuse OTP를 사용하면서 VREF 회로를 eFuse OTP IP에 하나만 사용하고 S/A 기반의 D/F/F을 사용하는 BL 센싱 회로를 제안하였다. 제안된 센싱 기술은 read current를 줄일 수 있고 아날로그 센싱을 하므로 센싱 저항을 수 kΩ 정도로 낮출 수 있다. 그리고 eFuse OTP IP 사이즈를 저면적으로 구현할 수 있다.

## 2. 회로설계

Dual port eFuse OTP cell과 differential paired eFuse OTP cell 회로는 그림 1과 같으며, 그림 2는 Magnachip 0.18μm GF-ACL 공정을 이용하여 레이아웃 이미지를 보여주고 있다. Dual port eFuse OTP cell과 differential eFuse OTP cell의 레이아웃 사이즈는 각각 20.555μm × 5.09μm (=104.625μm<sup>2</sup>)과 17.02μm × 11.26μm (=191.6452μm<sup>2</sup>)으로 dual port eFuse OTP cell 사이즈가

differential paired eFuse OTP cell 사이즈의 거의 1/2 수준으로 작다. 그래서 본 논문에서는 저면적 eFuse OTP IP 설계를 위해서 dual port eFuse OTP cell을 사용하였다.

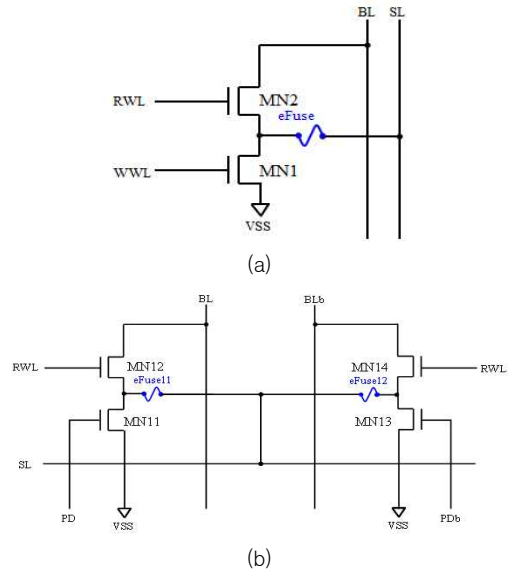


그림 1. eFuse OTP cell 회로도 (a) dual port eFuse OTP cell (b) differential eFuse OTP cell.

Fig. 1. eFuse OTP cell circuits: (a) dual-port eFuse OTP memory cell and (b) differential paired OTP memory cell.

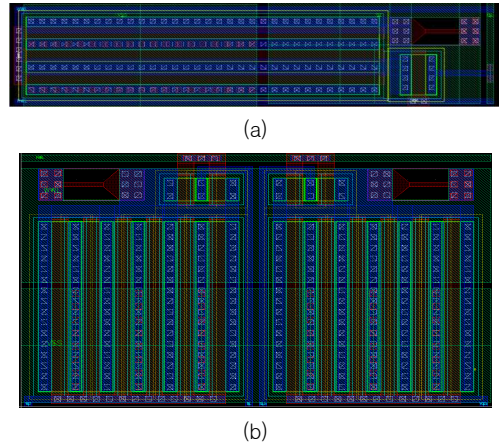


그림 2. eFuse OTP cell 레이아웃 이미지 (a) dual port eFuse OTP cell (b) differential eFuse OTP cell.

Fig. 2. Layout images of eFuse OTP memory cells: (a) dual-port and (b) differential paired.

eFuse 셀의 동작모드 별 바이어스 조건은 프로그램 모드에서 '1'로 프로그램 되는 eFuse 셀의 SL(Source Line)과 WWL(Write Word-Line) 신호를 모두 VDD로 구동한다. 이 때 그림 1(a)의 MN1 트랜지스터가 활성화(activation) 되고 SL의 VDD로부터 eFuse를 통해 VSS로 과전류가 흐르면서 eFuse는 thermal rupture에 의해 blowing이 된다. 읽기 모드에서 WWL은 VSS, RWL(Read Word-Line)은 VDD로 구동되며, 이에 따라 '1'로 프로그램 된 셀은 DOUT(Output Data)에 '1'을 출력하며, '0'으로 프로그램 된 셀은 DOUT '0'을 출력한다.

설계된 32비트 eFuse OTP 메모리의 주요 특징은 표 1과 같다. 셀 어레이는 4행 × 8열로 구성되어 있으며, eFuse 링크는 n-polysilicon eFuse보다 blowing이 잘 되는 p-polysilicon (Co-silicide)을 사용하였다. 동작모드는 프로그램 모드, read 모드와 program-verify-read 모드가 있다. 그리고 eFuse OTP 메모리의 프로그램 비트와 read 비트는 각각 1비트, 8비트이고 프로그램 시간은 20µs이다. 사용되는 전원전압은 VDD의 단일전원이 사용된다. VDD 전압은 프로그램 모드인 경우 eFuse 링크에 충분한 프로그램 과위를 공급하기 위해 5.5V가 사용되며, 읽기 모드인 경우 2V~5.5V가 사용된다. 설계에 사용된 소자는 5V MOS 트랜지스터만 사용하였다.

표 1. 32비트 eFuse OTP IP의 주요 특징.

Table 1. Major specifications of 32-bit eFuse OTP memory IP.

Items	Main Features
Process	MX 0.18µm GF-ACL Process
OTP Cell Array Size	4R × 8C
Supply Voltage (VDD)	2V~5.5V
Temperature Range	-40°C ~ 150°C
Operating Mode	Program / Program-Verify-Read / Normal Read
Program bit/Read bit	1bit/8bit
Program Voltage	VDD = 5.5V
Program Time	20 µs
Access Time	200 ns

설계된 32비트 eFuse OTP 메모리의 블록도는 그림 3에서 보는 바와 같이 4행 × 8열의 OTP

셀 어레이, 제어 신호 (RD, PGM, TM\_EN)에 따라 동작 모드에 적합한 내부 제어신호를 공급하는 제어 로직, 어드레스 A[4:3]을 디코딩하여 4개의 행(row) 중 하나를 구동해주는 row driver, 열(column) 어드레스 A[2:0]를 디코딩하여 8개의 열 중 하나의 열을 선택해주는 SL 구동회로, 프로그램 데이터를 저장하는 프로그램 데이터 래치 (PD Latch ) 회로, BL의 데이터를 읽어내기 위한 BL S/A 회로, 그리고 데이터 래치에 저장된 프로그램 데이터 PD[7:0]와 BL S/A에서 읽어낸 데이터 DOUT[7:0] 데이터가 일치하는지 비교해주는 비교(Compare) 회로로 구성되어 있다. 그림 4는 그림 3의 eFuse OTP 메모리 IP의 블록도에서 보여지는 4행 × 8열 cell array 회로도를 보여주고 있다. RWL[3:0], WWL[3:0]와 VSS는 행 방향이고, SL[7:0]과 BL[7:0]는 열 방향으로 라우팅 되어 있다.

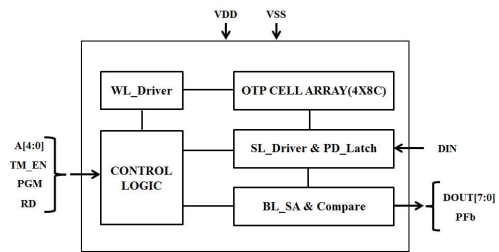


그림 3. 32비트 eFuse OTP 메모리의 블록도.

Fig. 3. Block diagram of 32-bit eFuse OTP memory.

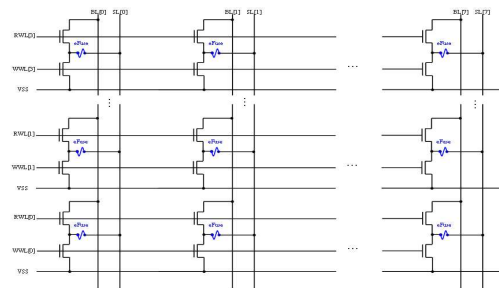


그림 4. 4행 × 8열의 eFuse OTP cell array 회로도.

Fig. 4. Cell array circuit of 4 rows by 8 columns for an eFuse OTP memory.

32bit eFuse OTP의 프로그램 동작은 어드레

스 A[4:0]와 입력 데이터 DIN을 먼저 인가한 상태에서 PGM 신호가 low에서 high로 활성화 되면서 A[4:0]의 디코딩(decoding)에 의해 선택되는 eFuse OTP 메모리 셀은 프로그램 된다. 그리고 프로그램 모드에서 프로그램 입력 데이터 DIN(Input Data)은 eFuse OTP 메모리를 프로그램 하는데 사용할 뿐만 아니라 프로그램 데이터 래치 회로인 PD latch 회로에 래치 된다. 읽기 동작은 RD 신호를 high로 활성화시키면 8bit의 출력 데이터가 액세스 시간이 지난 이후 DOUT[7:0] 포트로 출력된다. 이때 PGM 신호는 low 상태를 유지해야 된다. 한편 eFuse OTP 메모리는 패키지 상태에서 정상적으로 프로그램 되었는지 테스트가 가능하도록 설계가 되어야 한다. 그런데 PMIC 칩은 사용 핀(pin) 수가 몇 개 되지 않으므로 8비트 이상의 OTP read 데이터를 패키지 핀에서 읽어볼 수 없는 문제점이 있다. 이 문제점을 해결하기 위해 프로그램 모드를 수행한 이후 연속으로 program-verify-read 모드를 수행하면 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로는 프로그램 데이터 래치 회로에 래치된 프로그램 데이터인 PD[7:0]와 read 모드에서 BL S/A에 의해 읽혀진 read 데이터인 DOUT[7:0]를 비교하여 PFb(Pass Fail bar) 핀으로 비교 결과를 확인할 수 있다 [8][9].

그림 5에 보여지는 기존의 BL S/A 회로[3]는 cell array의 하단부에 위치하며, 각각의 열마다 하나씩 배치되어 있다. 그리고 BL S/A 회로는 cross-coupled sense amplifier, VREF 발생회로, NAND latch 회로로 구성되어 있다. 그리고 그림 6은 기존 BL S/A 회로의 타이밍 다이어그램을 보여준다. Stand-by 상태에서는 BL\_PCG(BL Precharging), BL\_LOADb( BL Load bar), BLSW\_EN(BL Switch Enable) 신호는 각각 0V, VDD, 0V를 유지한다. 이 상태에서는 VREF와 VBL은 floating 상태이며, N21과 N22 노드는 S/A precharging 트랜지스터인 MP21, MP22와 MP23이 ON된 상태이므로 VDD로 precharging

된다. 만약 RD 신호가 high 상태로 활성화되면 그림 6의 과형에서 보는바와 같이 BL\_PCG 신호의 high 펄스에 의해 MN21과 MN22가 ON되면서 VREF와 BL 전압을 0V로 precharging한다. 다음은 RWL 신호에 의해 그림 1(a)의 read 트랜지스터인 MN2가 ON된다. 다음은 BL\_LOADb 신호가 high에서 low로 활성화되면서 normal read mode에서의 VREF node 전압은  $R0(=1.5k\Omega)$ 과  $R1(=1.5k\Omega)$ 에 의해 기준전압이 만들어진다. 그리고 선택된 cell의 eFuse 링크의 프로그램 유무에 따라 eFuse 링크의 저항이 달라지므로 BL 노드의 전압은 다르게 나타난다. VREF 전압이 만들어지고 cell의 데이터가 BL에 전달되면 BLSW\_EN 신호가 활성화되어 VREF와 BL 전압이 cross-coupled S/A의 N21과 N22 노드에 전달된다. N21과 N22 노드에 cell의 데이터가 전달되면 SAEN 신호가 high로 활성화되면서 cross-coupled S/A의 입력데이터는 센싱되어 DOUT으로 전달된다. 만약 BLSW\_EN이 다시 low로 가면 N21과 N22는 VDD로 precharging되어 NAND 형태의 SR latch회로는 그 전에 센싱한 데이터를 유지한다. 한편 eFuse OTP 셀은 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항이 줄어드는 경우를 고려하여 설계하여야 한다. 그래서 기존의 BL S/A 회로는 eFuse를 프로그램 한후 Program-verify-read 모드에서 선택 트랜지스터(MN23, MN24) 중 MN24 트랜지스터가 활성화 되어 풀-업 부하저항 R2가 선택되어 eFuse저항이 정상적으로 프로그램 되었는지 테스트할 수 있도록 설계되어져 있다. Read mode에 따라 기준저항인 R1과 R2를 선택해주는 선택트랜지스터(MN23과 MN24)를 두어 program-verify-read mode에서는 기준 저항값이 큰  $R2(=3k\Omega)$ 를 선택하고, read mode에서는 retention 시간동안 프로그램된 eFuse 링크의 저항 값이 줄어드는 것을 고려하여  $R1(=1.5k\Omega)$ 을 선택하도록 설계가 되어져 있다. 그래서 프로그램된 eFuse의 저항이 낮게 변동하더라도 정상적인 데이터로 센싱 하도록 한다.

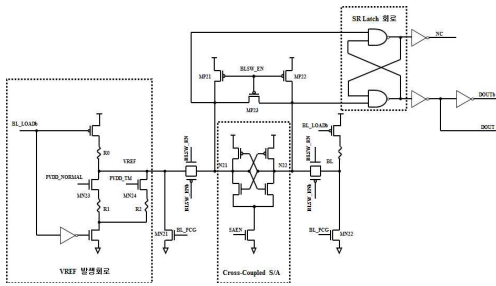


그림 5. 기존의 BL S/A 회로도.  
Fig. 5. Conventional BL S/A circuit.

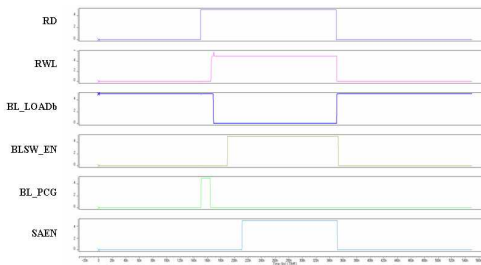


그림 6. 기존 BL S/A 회로의 타이밍 다이어그램.  
Fig. 6. Timing diagram for the conventional BL S/A.

그런데 기존의 BL S/A 회로의 문제점은 그림 5에서 보여지는 VREF 발생회로가 8개의 열 마다 필요하므로 레이아웃 면적이 증가하고 read mode 전류가 증가하는 문제점이 있다. 그래서 본 논문에서는 기존의 BL S/A 회로처럼 각각의 BL S/A 회로에 VREF를 각각 두는 것이 아니라 eFuse OTP IP에 VREF 회로를 하나만 사용하고 S/A 기반의 D F/F을 사용하는 BL 센싱 회로를 제안하였다. 그림 7은 S/A 기반의 D F/F을 사용하는 제안된 BL 센싱 회로를 보여주고 있고, 그림 8은 제안된 VREF 발생회로를 보여주고 있다. Stand-by 상태에서는 BL\_PCG와 BL\_LOADb 신호는 각각 0V, VDD를 유지한다. 이 상태에서는 VREF와 BL은 floating 상태이며, N21과 N22 노드는 S/A precharging 트랜지스터인 MP31과 MP32 트랜지스터는 ON된 상태이므로 VDD로 precharging된다. 만약 RD 신호가 high 상태로 활

성화되면 BL\_PCG 신호의 high 펄스에 의해 그림 7의 MN31과 그림 8의 MN32가 ON되면서 VREF와 BL 전압을 0V로 precharging한다. 다음은 RWL 신호에 의해 그림 1(a)의 read 트랜지스터인 MN2가 ON된다. 다음은 BL\_LOADb 신호가 high에서 low로 활성화되면서 normal read mode에서의 VREF node 전압은  $R4(=1.5k\Omega)$ 과  $R5(=1.5k\Omega)$ 에 의해 기준전압이 만들어진다. 그리고 선택된 cell의 eFuse 링크의 프로그램 유무에 따라 eFuse 링크의 저항이 달라지므로 BL 노드의 전압은 다르게 나타난다. BL 노드에 cell의 데이터가 충분히 전달되면 SAEN 신호가 high로 활성화되면서 S/A 기반의 D F/F 회로는 VREF와 BL 전압을 비교·센싱되어 DOUT으로 전달한다.

한편 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항이 줄어드는 경우를 고려하여 program-verify-read mode에서는 그림 8의 VREF 발생회로의 기준 저항을 저항값이 큰  $R6(=3k\Omega)$ 를 선택하고, read mode에서는 retention 시간동안 프로그램된 eFuse 링크의 저항 값이 줄어드는 것을 고려하여  $R5(=1.5k\Omega)$ 을 선택하도록 설계가 되어져 있다. 그래서 프로그램된 eFuse의 저항이 낮게 변동하더라도 정상적인 데이터로 센싱 하도록 하였다.

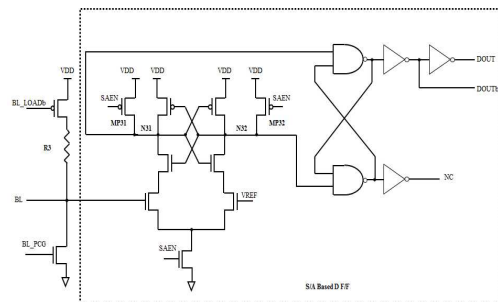


그림 7. S/A 기반의 D F/F을 사용하는 제안된 BL 센싱 회로.  
Fig. 7. BL sensing circuit using a S/A based D F/F.

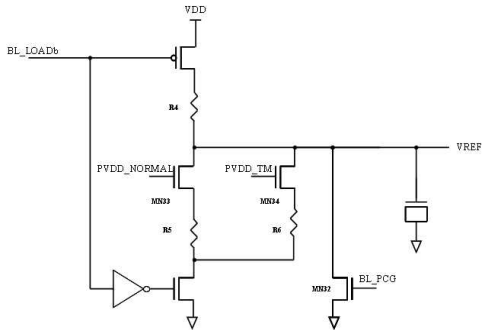


그림 8. 제안된 VREF 발생 회로.  
Fig. 8. Proposed VREF generator circuit.

Magnachip 0.18 $\mu\text{m}$  GF-ACL공정을 이용하여 설계된 32비트 eFuse OTP 메모리의 레이아웃 면적은  $187.845\mu\text{m} \times 113.180\mu\text{m}(=0.0213\text{mm}^2)$ 으로 기존의 differential paired eFuse cell을 이용한 IP 크기인  $228.525\mu\text{m} \times 105.435\mu\text{m}(=0.0241\text{mm}^2)$ 보다 11.6% 더 작은 것을 확인하였다. 그림 9는 설계된 32비트 eFuse OTP 메모리의 레이아웃 이미지를 보여주고 있다.

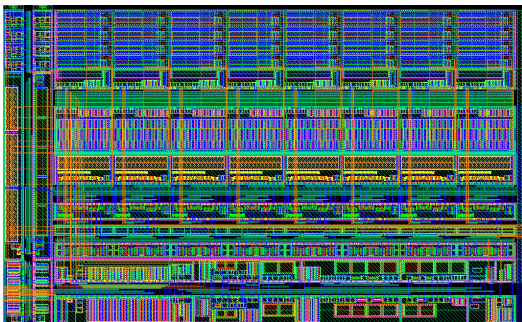


그림 9. 설계된 32bit eFuse OTP 메모리 IP의 레이아웃 이미지.  
Fig. 9. Layout image of the designed 32-bit eFuse OTP memory IP.

### 3. 모의실험 결과

그림 10은 32bit eFuse OTP 메모리 IP에 대한 read mode에서의 모의실험 결과 파형이다. RD 신호가 high 상태로 활성화되면 BL\_PCG

신호의 high 펄스에 의해 VREF와 BL 전압을 0V로 precharging한다. 그리고 RWL 신호가 high로 활성화 되고 BL\_LOADb 신호가 low로 활성화되면서 VREF 기준전압이 만들어지고, cell의 데이터가 BL에 전달된다. Cell의 데이터가 BL에 충분히 전달되면 SAEN 신호가 high로 활성화되면서 S/A 기반의 D F/F 회로는 VREF와 BL 전압을 비교·센싱되어 DOUT으로 전달한다.

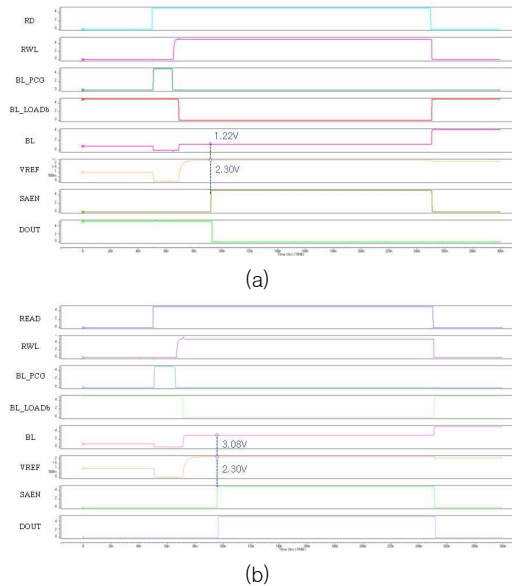


그림 10. Read 모드에서의 모의실험 결과 (a) '0'로 프로그램된 경우 (b) '1'로 프로그램된 경우.  
Fig. 10. Simulation results in the read mode: (a) in case of '0'-programmed cell and (b) '1'-programmed cell.

표 2는 read mode에서 기존의 BL 센싱 회로를 사용한 경우와 제안된 BL 센싱 회로를 사용한 경우에 대한 read current 모의실험 결과이다. 표 2에서 보는바와 같이 기존의 센싱회로에서 VREF 발생회로를 8개의 열 마다 하나씩 사용하는 것보다는 eFuse OTP IP에 VREF 회로를 하나만 사용하는 것이 read current를 최대 6.399mA에서 3.887mA로 줄일 수 있는 것을 볼 수 있다.

표 2. 모의실험 조건에 따른 read current 모의실험 결과  
(a) 기존의 BL 센싱 회로를 사용한 경우 (b) 제안된 BL 센싱 회로를 사용한 경우.

Table 2. Simulation results of read currents under different simulation conditions: (a) for the conventional BL sensing circuit and (b) for the proposed counterpart.

VDD	Temp	SS model	SF model	TT model	FS model	FF model
2.0V	-40℃	327.8μA	574.3μA	528.8μA	423.6μA	768.7μA
	25℃	299.9μA	504.6μA	474.3μA	392.5μA	701μA
	150℃	27431μA	413.7μA	426.7μA	364.1μA	610.8μA
5V	-40℃	4.097mA	4.884mA	4.745mA	4.621mA	5.53mA
	25℃	3.536mA	4.243mA	4.141mA	4.022mA	4.858mA
	150℃	2.768mA	3.365mA	3.325mA	3.202mA	3.893mA
5.5V	-40℃	4.821mA	5.672mA	5.521mA	5.409mA	6.399mA
	25℃	4.165mA	4.934mA	4.822mA	4.705mA	5.628mA
	150℃	3.257mA	3.862mA	3.877mA	3.738mA	4.5mA

(a)

VDD	Temp	SS model	SF model	TT model	FS model	FF model
2.0V	-40℃	181.2μA	353.5μA	285.1μA	218.7μA	431.6μA
	25℃	169.7μA	312.1μA	264.5μA	208.5μA	398.4μA
	150℃	160.9μA	255μA	248.4μA	202.7μA	361.8μA
5V	-40℃	2.416mA	3.017mA	2.828mA	2.627mA	3.368mA
	25℃	2.056mA	2.571mA	2.43mA	2.255mA	2.907mA
	150℃	1.591mA	2.008mA	1.957mA	1.781mA	2.284mA
5.5V	-40℃	2.856mA	3.501mA	3.305mA	3.095mA	3.887mA
	25℃	2.428mA	2.982mA	2.837mA	2.65mA	3.351mA
	150℃	1.883mA	2.274mA	2.279mA	2.094mA	2.628mA

(b)

표 3은 본 논문에서 제안된 센싱 회로를 사용하여 설계된 32bit eFuse OTP IP에 대한 프로그램 된 eFuse 링크의 센싱 저항에 대한 모의실험 결과이다. Worst 조건에서 program-verify-read 모드와 read 모드에서의 센싱 저항은 각각 9kΩ, 5kΩ으로 모의실험 결과가 나왔다. 기존의 발표된 dual port eFuse OTP cell을 이용하고 디지털 센싱 방식을 이용한 eFuse OTP IP의 경우 worst 조건에서 program-verify-read 모드와 read 모드에서의 센싱 저항은 각각 61kΩ, 21kΩ으로 모의실험 결과가 나왔다[2]. 그리고 센싱 저항을 낮추기 위해 설계한 differential eFuse OTP cell을 이용한 IP의 경우 worst 조건에서 program-verify-read 모드와 read 모드에서의 센싱 저항은 각각 11kΩ, 5kΩ

으로 모의실험 결과가 나왔다[3]. Dual port eFuse OTP의 eFuse 센싱 저항을 수 kΩ으로 설계하기 위해서는 센싱 저항 모의실험 결과에서 알 수 있듯이 디지털 센싱은 불가능하고 VREF와 BL 전압을 비교·센싱하는 아날로그 센싱이 해결책이다.

표 3. 제안된 센싱 회로를 사용하여 설계된 32bit eFuse OTP IP에 대한 프로그램 된 eFuse 링크의 센싱 저항에 대한 모의실험 결과 (a) program-verify-read mode (b) read mode.

Table 3. Simulation results of sensing resistances for a programmed eFuse link: (a) in the program-verify-read mode and (b) in the read mode.

VDD	Temp	SS model	SF model	TT model	FS model	FF model
2.0V	-40℃	7K	9K	7K	6K	8K
	25℃	7K	9K	7K	6K	8K
	150℃	7K	9K	7K	6K	8K
5V	-40℃	6K	6K	6K	6K	6K
	25℃	6K	6K	6K	6K	6K
	150℃	6K	6K	6K	6K	6K
5.5V	-40℃	6K	6K	6K	6K	6K
	25℃	6K	6K	6K	6K	6K
	150℃	6K	6K	6K	6K	6K

(a)

VDD	Temp	SS model	SF model	TT model	FS model	FF model
2.0V	-40℃	4K	3K	3K	5K	2K
	25℃	3K	3K	3K	5K	2K
	150℃	2K	3K	2K	3K	3K
5V	-40℃	2K	2K	2K	2K	2K
	25℃	2K	2K	2K	2K	2K
	150℃	2K	2K	2K	2K	2K
5.5V	-40℃	2K	2K	2K	2K	2K
	25℃	2K	2K	2K	2K	2K
	150℃	2K	2K	2K	2K	2K

(b)

### 4. 결 론

PMIC는 아날로그 회로의 트리밍 기능을 수행하기 위해 추가 공정이 필요 없는 eFuse OTP를 필요로 한다.

본 논문에서는 cell 사이즈가 작은 dual port eFuse OTP를 사용하면서 VREF 회로를 eFuse OTP IP에 하나만 사용하고 S/A 기반의 D F/F

을 사용하는 BL 센싱 회로를 제안하였다. 제안된 센싱 기술은 read current를 6.399mA에서 3.887mA로 줄일 수 있고 아날로그 센싱을 하므로 센싱 저항을 program-verify-read 모드와 read 모드에서 각각 9k $\Omega$ , 5k $\Omega$ 으로 낮출 수 있다. 그리고 설계된 32비트 eFuse OTP 메모리의 레이아웃 면적은 187.845 $\mu\text{m} \times 113.180\mu\text{m}$ (=0.0213mm<sup>2</sup>)으로 저면적 구현이 가능한 것을 확인하였다.

## REFERENCES

- [1] H. S. Chun, "Market Outlook and Domestic and Global Development Trend for Power Semiconductor," IITA Weekly Technology Trends, June 2009.
- [2] W. Y. Jeong, W. C. Hao, P. B. Ha and Y. H. Kim, "Design of eFuse OTP Memory with Wide Operating Voltage Range for PMICs", Journal of the Korea Institute of Information and Communication Engineering, Vol. 18, No. 1, pp. 115-122, Jan. 2014.
- [3] H. Park, S. H. Lee, K. H. Jin, P. B. Ha and Y. H. Kim, "Design of Small-Area Differential Paired eFuse OTP Memory for Power ICs," J. Korea Inst. Inf. Commun. Eng. Vol. 8, No. 2, pp. 107-114. Apr. 2015.
- [4] J. Safran, A. Leslie, G. Fredeman, C. Kothandaraman, A. Cestero, X. Chen, R. Rajeevakumar, D. K. Kim, Y. Z. Li, D. Moy, N. Robson, T. Kirihata and S. Iyer, "A compact eFuse programmable array memory for SOI CMOS", Symposium on VLSI Circuits Digest of Technical Papers, pp. 72-73, June 2007.
- [5] N. Robson, J. Safran, C. Kothandaraman, A. Cestero, X. Chen, R. Rajeevakumar, A. Leslie, D. Moy, T. Kirihata and S. Iyer, "Electrically programmable fuse (eFuse): From memory redundancy to autonomic chip", Proceedings of Custom Integrated Circuits Conference, pp. 799-804, Sep. 2007.
- [6] J. H. Jang, L. Y. Jin, H. G. Jeon, K. I. Kim, P. B. Ha and Y. H. Kim, "Design of an 8-bit differential paired eFuse OTP memory IP reducing sensing resistance" J. Cent. South Univ, Vol. 19, No. 1, pp. 168-173, Jan. 2012.
- [7] J. H. Kim, D. H. Kim, L. Y. Jin, P. B. Ha and Y. H. Kim, "Design of 1-Kb eFuse OTP memory IP with reliability considered", Journal of Semiconductor Technology and Science, Vol. 11, No. 2, pp. 88-94, June. 2011.
- [8] H. Park, S. H. Lee, P. B. Ha and Y. H. Kim, "Design of a 32-Bit eFuse OTP for PMICs", Proceedings of the 2015 KIIECT Spring Conference, Vol. 8, No. 1, pp. 174-176, May. 2015.
- [9] H. L. Yang, I. W. Choi, J. H. Jang, L. Y. Jin, P. B. Ha and Y. H. Kim, "Design of High-Reliability eFuse OTP Memory for PMICs", Journal of the Korea Institute of Information and Communication Engineering, Vol. 16, No. 7, pp. 1455-1462, July 2012.
- [10] S. I. Cho, J. S. Heo, Y. H. Kim, M. H. Park and H. J. Park, "CMOS Sense-Amplifier Type Flip-Flop Having Improved Setup/Hold Margin", IEICE Trans. Electron, Vol. E86-C, No.12, Dec. 2003.



저자약력

박 현(Heon Park)

[정회원]



- 2010.8 경상대학교 전자공학과 공학사
- 2014.2 창원대학교 전자공학과 공학석사
- 2014.3~ 현재 창원대학교 전자공학과 박사과정

<관심분야> Non-Volatile memory 설계

김 영 희(Young-Hee Kim)

[종신회원]



- 1989.2 경북대학교 전자공학과 공학사
- 1997.2 포항공과대학교 전자전기공학과 공학석사
- 2000.8 포항공과대학교 전자전기공학과 공학박사
- 1989.1~2001.2 현대전자 책임연구원
- 2001.3~현재 창원대학교 전자공학과 교수

<관심분야> 메모리 IP 설계, SoC 설계

이 승 훈(Seung-hoon Lee)

[학생회원]



- 2014.2 창원대학교 전자공학과 공학사
- 2014.3 창원대학교 전자공학과 공학석사과정

<관심분야> Non-Volatile memory 설계

박 무 훈(Mu-Hun Park)

[정회원]



- 1990.2 경북대학교 전자공학과 공학사
- 1993.2 일본 동북대학교 전자통신공학과 공학석사
- 1996.2 일본 동북대학교 전자통신공학과 공학박사
- 1998.8~ 현재 창원대학교 전자공학과 교수

<관심분야> 디지털 영상처리

하 판 봉(Pan-Bong Ha)

[정회원]



- 1981.2 부산대학교 전기공학과 공학사
- 1983.2 서울대학교 전자공학과 공학석사
- 1993.2 서울대학교 전자공학과 공학박사
- 1987.3~현재 창원대학교 전자공학과 교수

<관심분야> 임베디드 시스템, SoC 설계