

논문 2016-53-2-17

# 주파수 변조 기법에 의한 시간격 오차 개선에 대한 연구

## ( A Study on Frequency Modulation Method to Reduce Time Interval Error )

안 태 원\*, 이 원 석\*

( Tae-Won Ahn<sup>Ⓞ</sup> and Won-Seok Lee )

### 요 약

본 논문에서는 비동기식 통신 시스템에서 시간격 오차를 개선하기 위한 기법을 연구하였다. 최대 시간격 오차를 유지하기 위한 방법을 제안하기 위하여 다중 위상 전압 제어 발진기와 보간기, 위상 선택기, 업-다운 카운터, 비교기, 덧셈기를 이용하여 주파수 변조기를 설계하고 모의실험을 수행하였다. 비동기식 CAN 통신에 사용하는 클록을 변조하는 모의실험 결과, 최대 시간격 오차는 허용치 보다 낮게 유지할 수 있는 것을 확인할 수 있었다. 본 논문에서 제안한 주파수 변조 기법은 다중 위상 선택에 의한 주파수 변조 기법을 주축으로 하고 있으며, 높은 신뢰도가 요구되는 비동기식 통신 시스템의 구현에 효과적으로 적용 가능할 것으로 기대한다.

### Abstract

This paper presents a method to improve time interval error for asynchronous communication systems. The proposed method is designed and simulated with multi-phase VCO, interpolator, phase selector, up-down counter, comparator and adder. The simulation results for CAN communication system show that the maximum time interval error can be tightly managed for satisfying the required specification. The proposed frequency modulation method can be properly used for asynchronous communication systems requiring high reliability.

**Keywords :** frequency modulation, asynchronous, time interval error, interference

## I. 서 론

일반적으로 PLL 방식의 주파수 합성기는 낮은 지터 특성의 기준 클록을 만들기 위한 국부 발진기로 사용된다. 특히 클록의 스위칭에 따른 순전류 변화율은 전자

기 간섭 발생에 미치는 영향을 증가시키게 되고 전체 시스템에서 오류 발생에 영향을 미칠 수 있으므로 높은 신뢰도를 요구하는 통신 시스템에서는 반드시 면밀한 예측을 하여 설계를 하여야 한다. 일정한 주기를 가지고 있는 PLL의 주파수 스펙트럼에서 주파수 변조 방법에 의하여 주파수 스펙트럼을 분산시켜서 전자기 간섭의 영향을 줄이기 위한 여러 가지 방법이 제안되었으며 그 방법들은 크게 위상 변조기를 사용하는 방식, VCO를 사용한 방식, 그리고 케환량을 보상하는 방식 중의 하나로 결정된다<sup>[1~2]</sup>.

일반적으로 많이 사용하는 방법은 그림 1과 같이 케환량을 보상하는 주파수 변조 기법으로서 VCO의 제어

\* 정회원, 동양미래대학교 전기전자통신공학부  
(School of Electrical Engineering, Dongyang Mirae University)

Ⓞ Corresponding Author(E-mail: twahn@dongyang.ac.kr)

※ 본 논문은 2015학년도 동양미래대학교 학술연구비 지원에 의하여 이루어졌음.

Received : December 17, 2015 Revised : January 05, 2016

Accepted : January 25, 2016

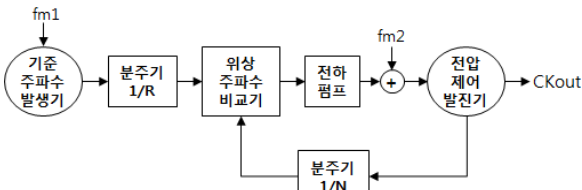


그림 1. 궤환량을 보상한 주파수 변조  
Fig. 1. Frequency modulation with feedback compensation.

전압을 변조시켜 클럭 신호를 만들게 되는데 이와 같이 변조된 클럭 신호는 고정 주파수를 사용하는 클럭신호에는 없었던 타이밍 문제가 발생하게 된다<sup>[1]</sup>. 이러한 타이밍 문제는 비동기식 통신의 허용 시간격 오차를 넘어 버릴 수 있는 위험이 존재하기 때문에 사용 가능한 주파수 범위에 한계가 있으며, 특히 높은 신뢰도를 요구하는 비동기식 통신에서는 시간격 오차를 요구사항 이하로 유지하면서 전자기 간섭의 영향 또한 효과적으로 줄일 수 있는 방법이 필요하다.

궤환량을 보상한 주파수 변조 방식은 부궤환을 이용하는 회로로서 궤환량과 같은 이득의 회로를 추가함으로써 루프 필터의 영향을 상쇄시키는 방법이다. 위상 변조기에 의한 방법은 위상변조기와 적분기를 위상 검출기와 N 분주기 사이에 위치시켜 변조 신호를 N 분주된 출력 주파수에 위상 변조를 하여 위상 검출기에 인가한다. 인가된 신호는 루프필터를 통과하여 VCO를 주파수 변조하며 이 신호는 루프필터 특성을 가지고 있어 루프필터 대역폭보다 낮은 주파수에서만 일정하게 주파수 변조가 가능하다<sup>[1]</sup>.

본 논문에서는 다중 위상 선택에 의한 주파수 변조 기법을 주축으로 높은 신뢰도가 요구되는 비동기식 통신 시스템의 구현에 효과적으로 적용 가능에 대한 연구를 진행하였으며 논문의 구성은 다음과 같다. II장에서는 제안하는 주파수 변조 기법 및 그 구현에 대해 설명하고, III장에서는 모의실험 결과를 기술하며, 마지막 IV장에서는 결론으로 마무리한다.

## II. 주파수 변조 기법의 구현

### 1. 제안하는 주파수 변조 기법

일반적으로 많이 사용하는 주파수 변조는 그림 2에 서와 같이 VCO의 제어 전압을 삼각파 형태로 만들어서 주파수 변화를 반복하게 한다<sup>[3]</sup>. 실제 주파수가 중심 주파수( $f_c$ )보다 빠른 구간 및 느린 구간에서 시간격 오

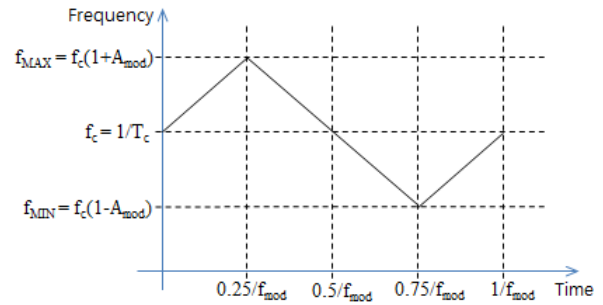


그림 2. 일반적인 삼각파 형태의 주파수 변조  
Fig. 2. Typical triangular frequency modulation.

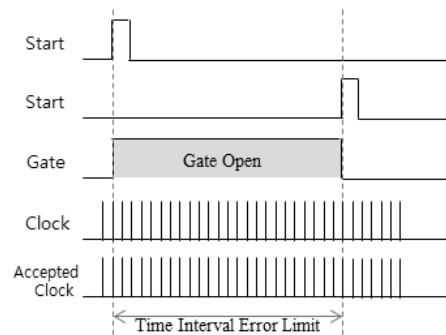


그림 3. 최대 시간격 오차 윈도우  
Fig. 3. Maximum time interval error window.

차가 지속적으로 변화하여 최대 시간격 오차(MTIE)는 변조 주파수( $f_{mod}$ )와 변조 진폭( $A_{mod}$ )에 의해서 결정된다.

$$MTIE = \pm \frac{0.25 \cdot A_{mod}}{f_{mod}} \tag{1}$$

따라서 이와 같이 주파수 변조된 클럭 신호는 고정 주파수를 사용하는 클럭 신호에는 없었던 타이밍 문제가 발생하게 되며 변조 주파수와 변조 진폭의 설정에 매우 큰 제약이 따르게 되어 허용 시간격 오차를 넘어 버릴 수 있는 위험이 존재하기 때문에 사용 가능한 주파수 범위에 한계가 있다<sup>[3]</sup>. 시간격 오차는 그림 3과 같이 데이터가 수신단에서 오류 없이 데이터를 검출할 수 있는 최대 시간 윈도우를 나타내는데 자동차 전장 시스템에서 많이 사용되는 CAN 통신의 경우 최대 시간격 오차가 12 ns 를 넘게 되면 오류가 발생하게 된다. 이를 개선하기 위한 다중 위상 선택 기반의 주파수 변조는 그림 4와 같다.

그림 4에서 n은 전체 사용 가능한 위상 개수, m은 실제 사용할 위상 개수를 나타내고 S로 표시된 부분은 스킵이 되는 시점으로서 일반적인 삼각파 변조를 사용

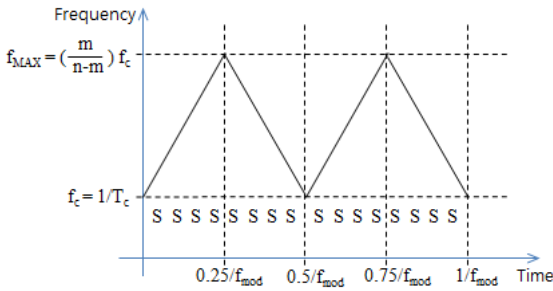


그림 4. 다중 위상 기반의 주파수 변조  
Fig. 4. Multi-phase frequency modulation.

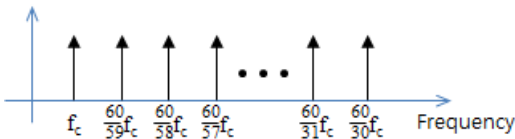


그림 5. 제안된 방법의 주파수 사용 예 (n=60, m=30)  
Fig. 5. An example of the proposed frequency modulation

할 경우 최대 시간격 오차가 넘는 순간의 클록을 스킵하고 그 다음에 오는 클록을 사용함으로써 최대 시간격 오차를 유지하는 방법이다<sup>[4]</sup>. 사용하는 주파수는 사용 가능한 전체 위상의 개수 n과 실제로 사용할 위상의 개수 m으로 계산할 수 있으며, 허용 가능한 최대 시간격 오차를 고려하여 사용자가 사용할 위상 수를 선택하면 사용 가능한 주파수 범위가 나오게 된다. 변조에 사용되는 주파수 사용 예는 그림 5와 같이 표현되며, 최대 시간격 오차(MTIE)는 식 (2)로 계산할 수 있다.

$$MTIE = \frac{1}{f_c} \left( \frac{n-m}{n} \right) \quad (2)$$

제안된 주파수 변조 방법은 차동 전압 제어 발진기와 보간기, 위상 선택기, 업-다운 카운터, 비교기, 덧셈기를 이용하여 구현할 수 있으며, 다음 절에서 그 내용을 기술한다.

## 2. 다중 위상 주파수 변조 기법의 설계

그림 6은 제안된 주파수 변조 방법을 8단의 차동 전압 제어 발진기를 기반으로 구현한 다중 위상 주파수 변조 방법의 전체 블록도를 나타낸다.

전압 제어 발진기를 16개의 위상을 갖는 8단의 차동 발진기 형태로 구성하여 8개의 위상 출력으로부터 2:3 보간기 2단을 거쳐서 그림 7과 같이 Phase<1>~Phase<32>까지 총 32개의 위상을 만들어 낸다.

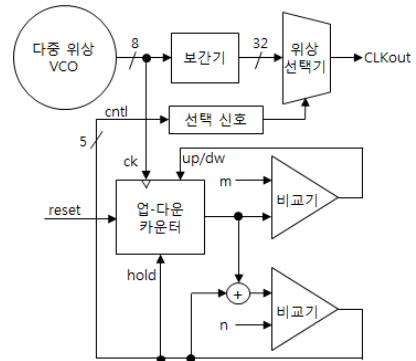


그림 6. 제안된 주파수 변조 방법의 전체 블록도  
Fig. 6. Block diagram of the proposed FM method.

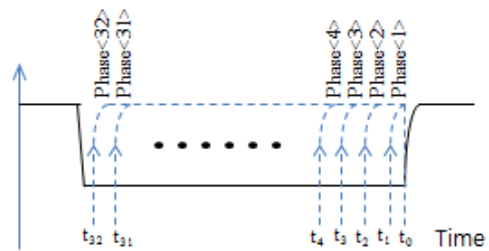


그림 7. 보간기에 의한 다중 위상 클록 생성  
Fig. 7. Multi-phase clock generation with interpolators.

디지털 제어 블록에서는 위상 선택을 위해 필요한 제어 데이터를 업-다운 카운터를 이용하여 만들어 내는데 32개의 위상이기 때문에 5비트의 데이터가 필요하다. 처음 리셋 신호가 들어오게 되면 업-다운 카운터는 사용자가 지정해 놓은 시간격 오차에 따른 m 값과 같아질 때까지 업 카운팅을 한다. 이렇게 업 동작을 계속하다가 위상 선택기를 제어하는 데이터가 지정해 놓은 n 값에 도달하게 되면, 스킵 동작으로 넘어가서 카운터를 업/다운 동작을 홀드시켜서 카운터의 출력 값이 전 단계를 유지하게 만들고 제어 데이터를 0으로 초기화한다. 그렇게 되면 위상 선택기에서도 다시 초기 위상을 선택하게 되고 이로 인하여 시간격 오차를 보상하게 된다. 그 후 다시 카운터의 업 동작으로 넘어가서 사용자가 지정해 놓은 m 값에 도달할 때까지 계속 업 카운팅을 하게 되어 더 높은 주파수를 확보할 수 있게 된다. 그 후 사용자가 지정해 놓은 m 값에 도달하게 되면 다운 카운팅 동작으로 넘어간다. 이 경우에는 다시 원래의 주파수로 점차 느려지게 되며, 사용 가능한 위상 개수 n 값을 넘게 되면 스킵 동작을 통하여 시간격 오차를 보상하게 된다.

전압 제어 발진기를 16개의 위상을 갖는 8단의 차동 발진기 형태로 구성하여 8개의 위상 출력으로부터 2:3 보간기 2단을 거쳐서 그림 7과 같이 Phase<1>~그림 8

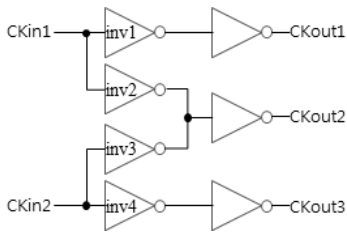


그림 8. 2:3 보간기 회로도  
Fig. 8. 2:3 interpolator circuit.

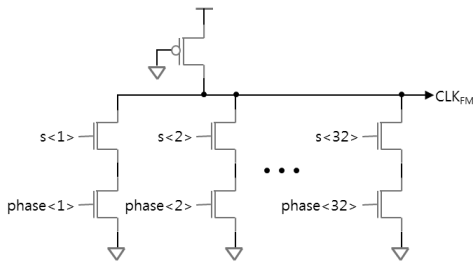


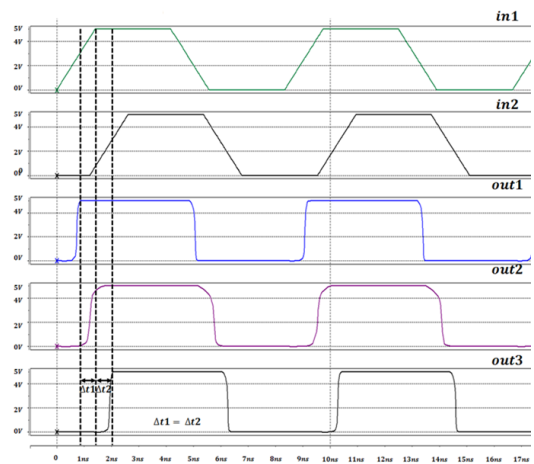
그림 9. 위상 선택기 회로도  
Fig. 9. Phase selector circuit Phase<32>까지 총 32개의 위상을 만들어 낸다.

은 2:3 보간기의 회로도를 나타내는데 VCO의 출력으로부터 들어오는 CKin1 신호와 CKin2 신호가 인버터를 반씩 구동하면서 CKout2 클럭 에지가 CKin1 신호와 CKin2 신호 사이에 있게 되는 현상을 이용한 방법이다. 또한 그림 9는 위상 선택기의 회로도를 나타내는데 pseudo-NMOS 형태로서 보간기의 출력으로 구성된 32개의 위상 클럭을 입력으로 받고 선택 신호 S<1>~S<32>를 이용한 위상 선택을 통해 주파수 변조를 구현할 수 있다.

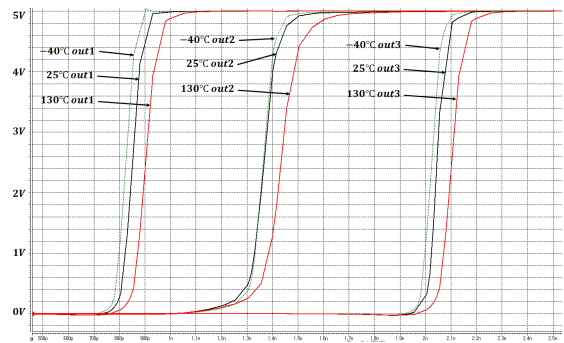
### III. 모의실험 결과

본 논문에서 제안한 다중 위상 주파수 변조 방법의 구현에서 디지털 블록에 해당하는 부분은 verilog를 이용하여 ModelSim으로 검증하였으며 차동 전압 제어 발진기, 보간기 및 위상 선택기의 동작은 Hspice를 이용하여 검증하였다. ModelSim은 디지털 회로 시뮬레이터이기 때문에 보간기의 출력으로 구현되는 다중 위상은 verilog 테스트 벤치 파일로 만들어 사용했다.

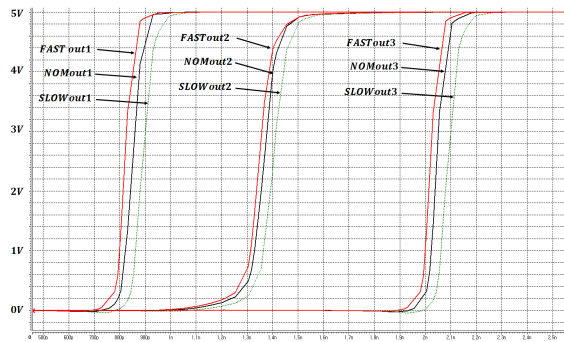
그림 10은 2:3 보간기 회로의 모의실험 결과 파형으로서 (a)는 보간기 동작을, (b)는 온도 변화에 따른 보간기 출력의 변화를, (c)는 공정 변화에 따른 보간기 출력의 변화를 나타낸다. 파형에서 알 수 있는 바와 같이 온도 및 공정의 변화에 큰 차이없이 보간기 출력이 정상적으로 생성되는 것을 확인할 수 있으며, 이러한



(a) 2:3 보간기 회로의 동작 파형



(b) 온도 변화에 따른 보간기 출력 변화



(c) 공정 변화에 따른 보간기 출력 변화

그림 10. 위상 선택기 회로도  
Fig. 10. Phase selector circuit.

변화가 보간기를 거친 모든 출력 클럭에 똑같이 반영되기 때문에 안정적으로 주파수 변조를 구현할 수 있다는 것을 알 수 있다.

그림 11은 위상 선택기 회로의 모의실험 결과 파형으로서 선택 신호에 의하여 클럭 출력이 phase1, phase2, phase3, phase3 으로 선택되는 동작의 예시 파형을 나타낸다. 파형에서 볼 수 있는 바와 같이 선택 제어 신호의 변화에 따른 주파수 변화를 이용하여 주파수 변조를

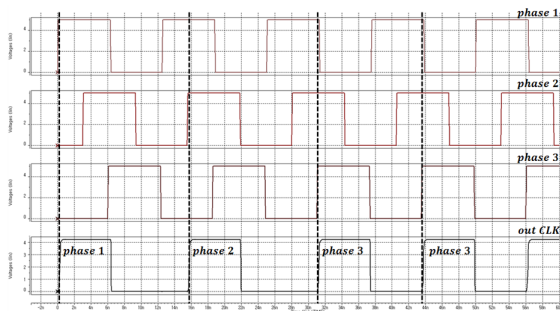
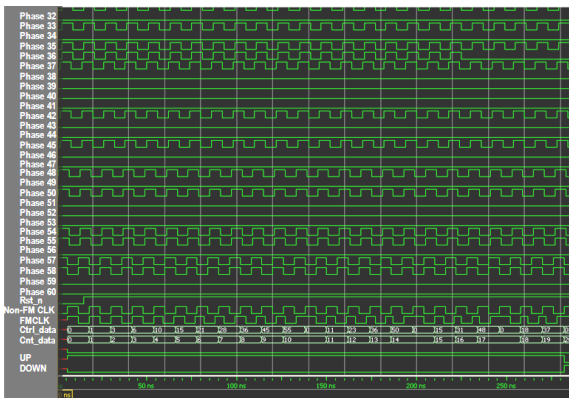
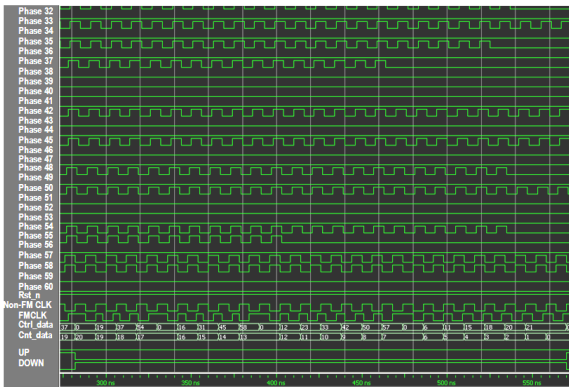


그림 11. 위상 선택기 회로도  
Fig. 11. Phase selector circuit.



(a) 업 카운팅 동작



(b) 다운 카운팅 동작

그림 12. 디지털 블록 모의실험 결과  
Fig. 12. Digital block simulation results.

구현할 수 있다는 것을 알 수 있다.

그림 12는 ModelSim을 이용한 디지털 블록의 모의 실험 결과로서 (a)는 m 값과 카운터 출력이 같아지기 전까지 업 카운팅 동작 및 스킵 동작을 하는 과정을 나타내며, (b)는 m 값과 카운터 출력이 같아져서 업 카운팅 동작을 중지하고 다운 카운팅 동작 및 스킵 동작을 하는 과정을 나타내는 파형이다. 다운 카운팅이 끝나면 출력 클록은 초기 위상으로 리셋되고 다시 업 카운팅을 수행하게 된다.

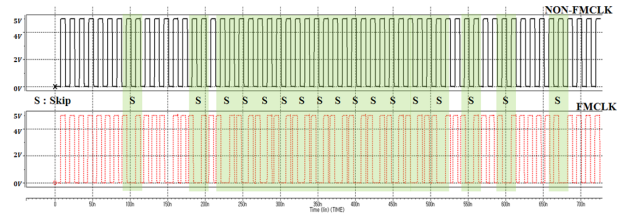


그림 13. 주파수 변조 출력 결과 비교  
Fig. 13. Frequency modulation outputs.

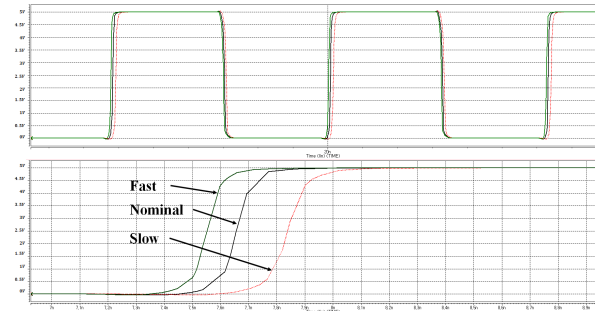


그림 14. 공정 변화에 따른 주파수 변조 출력  
Fig. 14. Frequency modulation outputs with process variation.

디지털 동작을 확인한 ModelSim과 Hspice로 설계된 보간기 및 위상 선택기를 연동하여 전체 모의실험을 하기 위하여 ModelSim에서 위상 선택기를 제어하기 위한 신호를 추출하여 주파수 변조 동작을 Hspice로 모의 실험한 최종 출력 파형은 그림 13에 나타내었다. S라고 표시된 부분은 스킵이 일어나는 순간을 표시하며, 모의 실험 결과 최종 출력 클록의 왜곡 없이 필요한 위상이 선택되면서 주파수 변조 동작이 수행되는 것을 확인하였다. 그림에서 보는 바와 같이 변조된 클록(FMCLK)은 변조되지 않은 클록(NON-FMCLK)에 비해 계속 주기가 짧아지므로 주파수가 증가하는 것을 확인할 수 있다. 스킵이 일어나는 순간에서는 한 클록을 스킵하고 다음 클록을 선택함으로써 NON-FMCLK보다 주기가 늘어나게 되며 이 효과로 인하여 낮은 주파수 성분이 합성되어 시간적 오차가 보상된다.

공정 변이가 있어도 보간기에서 모든 위상 신호가 같이 영향을 받기 때문에 위상 자체의 스큐는 달라질 수 있어도 필요한 위상을 선택하여 주파수를 변조하는 측면에서는 그대로 유지되는데 그림 14는 공정 변이에 따른 최종 클록의 변화를 보여준다. 따라서 본 논문에서 제안하는 방법이 공정 변화에 따른 주파수 변조에 문제가 발생하거나 시간적 오차를 초과하는 문제는 발생하지 않는다는 것을 확인할 수 있다.

그림 15는 최종 출력 클록의 온도에 의한 영향을 확



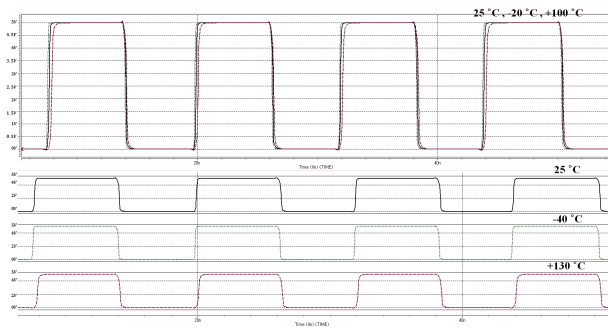


그림 15. 온도 변화에 따른 주파수 변조 출력

Fig. 15. Frequency modulation outputs with temperature variation.

인하기 위한 파형을 보여준다. 공정의 변화와 마찬가지로 보간기 출력 클럭들의 에지가 같이 앞당겨지거나 늦춰지기 때문에 최종 출력 클럭의 주파수 변조 방법과 스킵 동작에 오작동을 일으킬 가능성은 없다. 오히려 공정 및 온도 변화에 의한 이러한 현상들은 지터를 발생시켜 주파수 스펙트럼을 더욱 확산시키게 되어 실제 제작을 하였을 때에는 전자파 간섭의 효과가 더욱 저감될 수 있을 것으로 기대된다.

#### IV. 결 론

본 논문에서는 비동기식 통신 시스템에서 시간격 오차를 기준 이하로 유지하면서 신뢰도를 높이기 위한 기법을 연구하였다. 그 방법을 차동 전압 제어 발진기와 보간기, 위상 선택기, 업-다운 카운터, 비교기, 덧셈기, 를 이용하여 구현할 수 있는 방법을 제안하고 모의실험을 수행하였다. 본 논문에서 제안한 주파수 변조 기법은 다중 위상 선택에 의한 주파수 변조 기법을 주축으로 하고 있으며, 자동차 전장 시스템과 같이 높은 신뢰도가 요구되는 비동기식 통신 시스템의 구현에 효과적으로 적용 가능할 것으로 기대한다.

#### REFERENCES

- [1] Seong-Sik Yang, et., "Design and Implementation of a Novel Frequency Modulation Circuit using Phase Locked Loop Synthesizer", Journal of Korea Electromagnetic Engineering Society, vol. 15, no. 6, pp. 599 - 607, June 2004.
- [2] Young-Shin Kim, et., "A Design of PLL and Spread Spectrum Clock Generator for 2.7Gbps/1.62Gbps DisplayPort Transmitter", Journal of The Institute of Electronics and

Information Engineers, vol. 47, no. 2, pp. 21-31, October 2010.

- [3] Taiming Piao, et., "A Spread Spectrum Clock Generator Using Discontinuous Frequency Modulation Technique", IDEC Journal of Integrated Circuits and Systems, vol. 1, no. 1, pp. 22 - 27, May 2015.
- [4] Thomas Steinecke, "Low Jitter Frequency Modulated PLL", IEEE EMC, pp. 329 - 333. 2011.

#### 저 자 소 개

안 태 원(정회원)

현재 동양미래대학교 전기전자통신공학부 부교수  
대한전자공학회논문지 제52권 제2호 참조

이 원 석(정회원)

현재 동양미래대학교 전기전자통신공학부 교수  
대한전자공학회논문지 제52권 제3호 참조