J. Microelectron. Packag. Soc., 23(4), 25-29 (2016)
Print ISSN 1226-9360 Online ISSN 2287-7525
https://doi.org/10.6117/kmeps.2016.23.4.025

특집 : 5nm 급 반도체 배선공정

5 nm 급 반도체 배선 공정 기술 개발

최은미 · 표성규†
중앙대학교 융합공학과

Development of Interconnect Process Technology for 5 nm Technology Nodes

Eunmi Choi and Sung Gyu Pyo†
Department of Nano materials Science & Engineering, School of Integrative Engineering, Chung-Ang University, Heuk-seok-ro 84, Dong-jak-gu, Seoul 06911, Korea

(Received December 12, 2016: Corrected December 14, 2016: Accepted December 17, 2016)

Abstract: The semiconductor industry has been developed mainly by micronization process due to many advantages of miniaturization of devices. Mass production of semiconductors of 10 nm class has been started recently, and it is expected that the technology generation of 5 nm & 7 nm technology will come. However, excessive linewidth reduction affects physical limits and device reliability. To solve these problems, new process technology development and new concept devices are being studied. In this review, we introduce the next generation technology and introduce the advanced research for the new concept device.

Keywords: 5 nm & 7 nm technology, 3D integration, carbon semiconductor, air gap, Extreme ultraviolet

1. 서 론

반도체 소자의 발전 역사를 보면, 주어진 면적 내에서 소자의 고성능화 다기능화를 위해 다양한 회로를 구성 하는 방법으로 발전되어 왔다. 다양한 회로의 구성을 위하여 미세화를 통한 축소 기술이 가장 중점적으로 발전 되어왔다. 미세화를 통한 반도체 기술의 발전은 마이크로칩의 단위 면적 당 기능이 18개월마다 2배씩 증가한다고 예측한 무어의 법칙을 만족하며 발전 해왔다.[1-3] 그러나 현재 주어진 면적 내에서의 미세화는 포토리소그래피의 한계, 채널 길이 감소, 공정 신뢰도 감소 등의 물리적 한계와 공정 비용적의 증가로 인한 한계에 직면해 있다.[4] 그럼에도 불구하고 디바이스의 축소화로 인하여 가지는 많은 장점으로 인하여 여전히 디바이스 축소를 위한 노력이 지속되고 있다.

디바이스 미세화의 물리적 비용적 한계에도 불구하고 반도체 소자의 미세화를 통해 가지는 장점으로 인하여 다양한 공정기술 기발이 이루어지고 있다.

일반적으로 반도체 소자의 미세화에 따른 장점은 다음과 같다.

1. 같은 크기의 웨이퍼에서 같은 시간 동안 더 많은 칩을 만들 수 있어 공정 비용이 저렴해진다.

2. 신호의 이동 길이가 짧아져 신호 속도가 빨라진다.

3. 적은 전자가 요구됨에 따라 낮은 에너지와 전압에서 트랜지스터가 on/off 될 수 있다.

디바이스의 미세화로 인하여 칩 크기가 작아 질수록 마스크 및 공정의 증가로 인하여 공정 비용이 증가하게 된다. 그러나 칩 크기가 작아지면 한 웨이퍼에서 더 많은 칩을 얻을 수 있기 때문에 결과적으로 공정비용이 절감되는 효과를 얻을 수 있다.

반면, 칩를 축소되면 신호가 움직여야 하는 거리가 짧아지기 때문에 속도 지연이 적어지고 성능이 향상된다. 멀티 기가 헤르츠와 같이 응답속도가 중요할수록 성능향상이 크게 나타난다. 그러나, 소스와 드레인의 거리가 너무 짧을 경우 짧은 채널 효과가 발생되어 침착현상(punch-through)이 발생 될 수 있기 때문에 물리적 한계가 존재한다.[5,6]

마지막으로, 낮은 파워가 요구된다. 이는 트랜지스터의 게이트 옥사이드가 얇아져 채널이 가까워 지기 때문에 낮은 파워에서도 트랜지스터의 온/오프가 가능해진다. 그러나, 게이트 옥사이드가 너무 얇을 경우 양자 터널로 인한 누설 전류가 발생 할 수 있다.[7-9]

†Corresponding author
E-mail: sgpyo@cau.ac.kr

© 2016, The Korean Microelectronics and Packaging Society
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Table 1. Dennard's MOSFET scaling rules

Device or Circuit Parameter	Scaling Factor
Device dimension/thickness	1/λ
Doping concentration (N_a)	λ
Voltage (V)	1/λ
Current (I)	1/λ
Capacitance (εA/t)	1/λ
Delay time/circuit (VC/I)	1/λ
Power dissipation/circuit (VI)	$1/\lambda^2$
Power density (VI/A)	1

1974년 발표된 Dennard's MOSFET scaling rules는 디바이스 미세화로인한 회로 성능향상의 장점을 잘 보여준다.[10)]

본 논문에서는 디바이스의 축소가 가지는 장점과 디바이스의 미세화로 발생되는 기술적, 경제적 문제를 해결하고 더 나아가 이전 기술 발전 이상의 고기능화, 다기능화, 소형화 요구에 맞추기 위한 차세대 공정 기술에 대하여 논의 하고자 한다. 더하여, 디바이스 미세화 기술 이외의 반도체 기술의 새로운 발전방향에 관하여 논의 하고자 한다.

2. 5 nm 및 7 nm 급 반도체 배선 공정기술

위에서 언급한 것과 같이 scaling down 으로 인한 chip size 감소는 집적도를 높일 뿐만 아니라 다양한 이점을 가진다.[11)] 최근에는 다양한 공정 기술의 개발과 새로운 물질의 적용을 통해 물리적 한계를 극복하면서 나노 기술 시대가 도래하고 있다.

금속 라인의 미세화는 RC delay 이외에도 짧은 채널 효과, 전기 차단 한계로 인한 게이트 누설전류, 종횡비 증가로 인한 베리어/시드 층의 필름 증착의 어렴움 등과 같은 많은 물리적 한계가 존재한다.[12-14)] 이를 극복하기 위하여 새로운 공정 기술 개발과 새로운 컨셉의 반도체에 대한 연구가 동시에 이루어 지고 있다. 본 절에서는 5 nm 및 7 nm 기술 노드를 위한 새로운 반도체 배선 공정 기술 개발에 대하여 설명 하고자 한다.

반도체 소자의 제조 공정 중 노광공정은 소자와 회로를 정확한 위치와 크기로 기판 위에 구현하기 위한 공정으로, 소자의 소형화와 직접화에 가장 큰 영향을 주는 공정이다. 또한, 칩이 미세화 될수록 노광 단계가 급격히 증가됨에 따라 칩의 생산 및 비용의 30% 이상을 차지하며 5 nm & 7 nm 기술에서도 여전히 중요한 공정이다.[15)] 광학노광은 해상도와 초점심도(depth of focus: DOF) 향상으로 대변되며 해상도의 향상을 위해서는 파장이 짧아져야 하고 DOF 향상을 위해서는 파장이 가 짧아지고 개구수(Numerical Aperture :NA)가 증가 되야 한다.[16)] 이를 위하여 광학노광은 G-line(436 nm), I-line(365 nm), KrF(248 nm), ArF(193 nm) 순으로 짧은 파장을 갖는 소스로 개발되어 왔다. ArF 엑시머 레이저를 소스로 사용할 경우 60~50 nm까지의 최소 선폭을 얻을 수 있고, 50 nm 이하의 패턴 형성을 위해서 물과 같은 액체를 렌즈와 웨이퍼 사이에 유지시켜 빛의 큰 굴절을 유도하여 더 짧은 선폭을 형성시킬 수 있는 액침노광(immersion lithography) 기술이 사용되었다.[16)] L. Liebmann et al.에 따르면 일반적으로 7 nm 인터커넥트는 자가정렬 사중 패턴(self-aligned quadruple patterning: SAQP)와 같은 패턴 기술과 표준193 nm 파장 액침노광(193 i)로 구현할 수 있으나, 7 nm 이하의 인터커넥트를 구현하기 위해서는 극자외선(Extreme ultraviolet: EUV)을 소스로 사용하는 극자외선 리소그라피(EUV lithography: EUVL)이 요구된다.[17)]

극자외선 리소그라피의 경우 13.5 nm의 매우 짧은 파장을 가지기 때문에 매우 향상된 해상도을 기대 할 수 있지만 대부분의 물질에 매우 흡수가 쉬운 특성이 있어 반사마스크를 사용해야 하며 기존의 투과형 플랫폼 사용이 불가능하다. 그러나, 극자외선 리소그라피은 100 Wafer/hr 이상의 생산량을 가지게 되면 기존 사용하는 ArF 액침노광보다 공정 비용을 크게 절감 할 수 있다.

위에서 언급한 것과 같이 정전용량(Capacitance: C)는 Eq. (1)와 같이 표현 할 수 있다. 정전용량 값을 낮추기 위해서는 유전상수(k)를 낮춰야 한다. 집적도 향상으로 인하여 인터커넥트에 의한 RC delay가 커짐에 따라 저 유전 물질(low-k material) 의 중요성이 다시 한번 대두되고 있다.[18)]

잘 알려져 있듯이 현존하는 물질 중 가장 낮은 k 값을 갖는 물질은 공기 이다. 따라서, 에어갭를 이용하여 정전용량를 낮추기 위한 연구가 활발히 진행 되고 있다.[19,20)]

K. Fischer et al.의 연구 결과에 따르면 MT4와 MT6 layer에 에어갭를 적용하였을 경우 17% 전정용량 특성이 향상됨을 확인할 수이다.[21)] 그러나, 아직까지 air gap line liner은 후속 층의 패턴의 신뢰성에 영향을 주어 라이너 스트레스에 의해 핀-홀이 발생하는 등의 문제가 있다.[22)]

3. 반도체 배선 공정 기술의 새로운 발전방향

3.1. 탄소기반 반도체 배선공정

5 nm 및 7 nm 기술 시대에 도래하면서 Cu 인터커넥트의 한계로 인하여 신뢰성과 성능 향상 위한 새로운 물질의 개발이 요구되고 있다. 이에 대한 대안으로 탄소나노튜브와 그래핀이 주목 받고 있다.[23)]

탄소나노튜브는 1991년 S. Iijima[24)]에 의해 발견된 이후로 뛰어난 전기적 성질 때문에 차세대 배선물질로 주목받았다. 1998년 S. Tans et al.에 의해 트랜지스터[25)]에 적용되는 것을 시작으로 같은 해 R. Martel et al.에 의해 단일벽탄소나노튜브와 다중벽탄소나노튜브를 적용한 field-effect transistor(FET)가 소개 되었다.[26)] R. Martel et al.에 따르면 탄소나노튜브 FET는 Cu과 비교하여 높은 전류밀

도를 가지며 무거운 p-도핑 실리콘과 비교하여 높은 홀 이동도를 가짐을 증명하였다. 이후, H. Shimotani et al.은 단일벽탄소나노튜브 FETs가 back gated device와 비교하여 강한 게이트-채널 커플링 효과로 인하여 향상된 디바이스 특성을 나타냄을 증명하였다.[27] 최근에는 유연기판에 잉크젯 프린터를 이용한 탄소나노튜브 FETs 또한 연구되고 있다.[28] 그러나, 여전히 체널길이, 드레인 전압, 탄소나노튜브의 직경과 같은 스케일링 문제에 대한 연구가 필요하며,[29] FETs의 효과적인 스위칭을 위한 옴접촉이 요구되며, 이를 위해 탄소나노튜브와 금속접촉계면에서의 쇼트키 장벽이 없는 접촉에 대한 연구가 요구된다.[30]

반면, grpahene은 zero-bandgap를 가지고 있기 때문에 energy band gap을 변형하여 charge carriers를 만들어야 한다.[31] 2008년 X. Li et al.에 의하여 chemically에 의해 그래핀을 ~10 nm 그래핀 나노 리본을 10^7의 on-off rations의 FETs를 구현하였다.[32] 그러나, 그래핀 나노 리본을 이용한 FETs는 그래핀 나노 리본의 가장자리에 따라 특성을 달리하며, 일반적인 그래핀의 캐리어 이동도를 갖지 않는다는 한계를 가진다.[33] 다른 방법으로 J. Oostinga et al.에 의해 bilayer의 그래핀 FET가 소개 되었다.[34] 더블-게이트 디바이스를 활용하여 bilayer 그래핀의 전도도를 제안하여 절연 단계를 제어함으로써 저항이 전기장와 온도에 의존함을 증명하였다. 이 밖에도 응력 변형 이방성에 의한 부분적 변형 지표에 의한 수송 특징에 관한 연구와[35] J. Bai et al.에 의한 그래핀 나노메쉬(GNM) 높은 on-off 비율 FET에 대한 연구 등 다양한 연구가 시도 되었다.[36] 최근에는 이를 극복하기 위해 Cu-그래핀 이종 인터커넥트가 새롭게 제한되었다.[37] 그러나 여전히 넓은 영역에서의 성능과 가장자리 구조 조절로 인해 인터커넥터 성능 향상에 한계를 가진다.

각각 탄소나노튜브 와 그래핀의 한계 이외에도 수직 탄소나노튜브 인터커넥터와 수평 그래핀 라인을 적용한 탄소 반도체을 위해서는 그래핀의 전기적 특성 제어를 위한 패터닝기술과 그래핀-금속, 탄소나노튜브-금속, 그리고 그래핀-탄소나노튜브의 접촉 계면에서 높은 접촉저항 등의 문제 해결이 요구된다.[38]

3.2. 3차원 집적 배선공정

이전 기술 발전 이상의 고기능화, 다기능화, 소형화 요구에 맞추기 위하여 다양한 연구와 시도가 이루어져 왔다. 제일 먼저 서로 다른 기능의 반도체를 융합하여 시스템의 다기능화를 구연하기 위하여 System on a Chip(SoC) 기술을 시도하면서 바이오센서, 멀티프로세서, 로봇 등에 적용되었다. SoC 기술은 한 칩 내에 원하는 반도체 칩을 설계 배치하고 마스크를 제작한 후 기존의 웨이퍼 공정을 통하여 복수의 반도체 칩을 한 칩 내에 제조하는 방법이다.[39,40] 그러나 이러한 SoC 기술에서는 웨이퍼 제조 공정이 상이한 반도체 디바이스를 한 칩에 제조하기 위하여 마스크 수 증가에 따른 기하 급수적 공정 수 증가로 이한 제조비용 상승 및 수율 확보 등의 어려움이 있어서 다수의 반도체를 융합하여 시스템 다기능화를 구현하는 데에는 한계가 있다.[41]

결국, 디바이스를 위로 쌓아 올려 최대의 면적효율과 높은 효율을 가질 수 있는 3차원 집적 회로기술이 주목받고 있다.[42,43] 삼차원 집적회로 기술은 기술의 한계를 뛰어 넘기 위해 이전에 시도 되었던 기술과 비교하여 집적 공정의 한계를 극복하고 소재와 공정이 달라도 3차원적으로 집적이 가능하여 메모리와 프로세서로 대표되는 디지털 칩뿐만 아니라 아날로그/RF, 수동소자, 전력소자, 센서/액추에이터, 바이오칩 등을 하나로 적층하여 3차원 집적회로를 구현할 수 있다.[44,45]

4. 결 론

디바이스 미세화의 많은 장점으로 인하여 반도체 기술은 미세화 공정 위주로 발전되어 왔다. 그러나 최근 5 nm & 7nm technology node가 요구됨에 따라 물리적 한계를 극복하기 위한 다양한 공정 기술이 개발되고 있다. 또한, 나노 탄소 소재를 기반으로 하는 탄소반도체 혹은 삼차원 집적회로와 같은 새로운 컨셉의 기술이 개발 되고 있다. 그러나 현재까지 신뢰성의 문제와 공정비용의 문제 등으로 상용화에 어려움이 있으며, 이를 해결하기 위한 추가적인 연구가 요구된다.

References

1. Y. H. Cho, S. E. Kim and S. Kim, “Wafer Level Bonding Technology for 3D Stacked IC”, J. Microelectron. Packag. Soc., 20(1), 7 (2013).
2. R. K. Cavin, P. Lugli and V. V. Zhirnov, “Science and engineering beyond Moore's law”, Proceedings of the IEEE 2012, 100 (Special Centennial Issue), 1720 (2012).
3. J. A. Hutchby, “A “Moore's Law”-like approach to roadmapping photovoltaic technologies”, Renewable and Sustainable Energy Reviews, 29, 883 (2014).
4. K. Chang, K. Acharya, S. Sinha, B. Cline, G. Yeric and S. K. Lim, “In Power benefit study of monolithic 3D IC at the 7nm technology node, Low Power Electronics and Design (ISLPED)”, 2015 IEEE/ACM International Symposium on, IEEE, 201 (2015).
5. M. Xu, H. Zhu, L. Zhao, H. Yin, J. Zhong, J. Li, C. Zhao, D. Chen and T. Ye, “Improved short channel effect control in bulk finFETs with vertical implantation to form self-aligned halo and punch-through stop pocke”, IEEE Electron Device Letters, 36(7), 648 (2015).
6. Y. Xiao, B. Zhang, H. Lou, L. Zhang and X. Lin, “A compact model of subthreshold current with source/drain depletion effect for the short-channel junctionless cylindrical surrounding-gate MOSFETs”, IEEE Transactions on Electron Devices, 63 (5), 2176 (2016).
7. C. Auth, C. Allen, A. Blattner, D. Bergstrom, M. Brazier, M. Bost, M. Buehler, V. Chikarmane, T. Ghani and T. Glassman, “In A 22 nm high performance and low-power CMOS tech-

nology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors", VLSI technology (VLSIT), 2012 symposium on, IEEE, 131 (2012).
8. G. A. Rodriguez-Ruiz, E. A. Gutierrez-Dominguez, A. Sarmiento-Reyes, Z. Stanojevic, H. Kosina, F. J. Guarin and P. J. García-Ramírez, "Experimental and Simulation Results of Magnetic Modulation of Gate Oxide Tunneling Current in Nanoscaled MOS Transistors", IEEE Electron Device Letters, 36(4), 387 (2015).
9. Y. K. Lin, S. Khandelwal, A. S. Medury, H. Agarwal, H. L. Chang, Y. S. Chauhan and C. Hu, "Modeling of Subsurface Leakage Current in Low Short Channel MOSFET at Accumulation Bias", IEEE Transactions on Electron Devices, 63(5), 1840 (2016).
10. R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE Journal of Solid-State Circuits, 9(5), 256 (1974).
11. M. Ieong, B. Doris, J. Kedzierski, K. Rim and M. Yang, "Silicon device scaling to the sub-10-nm regime", Science, 306(5704), 2057 (2004).
12. S. M. Jung, J. Jang, W. Cho, H. Cho, J. Jeong, Y. Chang, J. Kim, Y. Rah, Y. Son and J. Park, "In Three dimensionally stacked NAND flash memory technology using stacking single crystal Si layers on ILD and TANOS structure for beyond 30 nm node", 2006 International Electron Devices Meeting, IEEE, 1 (2006).
13. C. Qiu, Z. Zhang, D. Zhong, J. Si, Y. Yang and L. M. Peng, "Carbon nanotube feedback-gate field-effect transistor: suppressing current leakage and increasing on/off ratio", ACS nano, 9(1), 969 (2015).
14. Y. Yang, R. Labie, F. Ling, C. Zhao, A. Radisic, J. Van Olmen, Y. Travaly, B. Verlinden and I. De Wolf, "Processing assessment and adhesion evaluation of copper through-silicon vias (TSVs) for three-dimensional stacked-integrated circuit (3D-SIC) architectures", Microelectronics Reliability, 50(9), 1636 (2010).
15. S. Y. Chou, P. R. Krauss and P. J. Renstrom, "Imprint lithography with 25-nanometer resolution", Science 272(5258), 85 (1996).
16. J. de Klerk, C. Wagner, R. Droste, L. Levasier, L. Jorritsma, E. van Setten, H. Kattouw, J. Jacobs and T. Heil, "In Performance of a 1.35 NA ArF immersion lithography system for 40-nm applications", Advanced Lithography, International Society for Optics and Photonics, 65201Y, San Jose (2007).
17. L. Liebmann, A. Chu and P. Gutwin, "In The daunting complexity of scaling to 7nm without EUV: Pushing DTCO to the extreme", SPIE Advanced Lithography, International Society for Optics and Photonics, 942702 (2015).
18. D. Ingerly, A. Agrawal, R. Ascazubi, A. Blattner, M. Buehler, V. Chikarmane, B. Choudhury, F. Cinnor, C. Ege and C. Ganpule, "In Low-k interconnect stack with metal-insulator-metal capacitors for 22nm high volume manufacturing", 2012 IEEE International Interconnect Technology Conference, IEEE, 1 (2012).
19. X. Liu, Z. Zhu, Y. Yang and R. Ding, "A Model of Air-Gap Through-Silicon Vias (TSVs) for Microwave Applications", IEEE Microwave and Wireless Components Letters, 25(8), 493 (2015).
20. Y. H. Cheng, H. E. Lin, C. C. Jeng and F. T. Tsai, "Deep trench isolation with air-gap in backside illumination image sensor chips", US Patents 9293490 B2 (2016).
22. K. Fischer, M. Agostinelli, C. Allen, D. Bahr, M. Bost, P. Charvat, V. Chikarmane, Q. Fu, C. Ganpule and M. Haran, "In Low-k interconnect stack with multi-layer air gap and tri-metal-insulator-metal capacitors for 14nm high volume manufacturing", 2015 IEEE International Interconnect Technology Conference and 2015 IEEE Materials for Advanced Metallization Conference (IITC/MAM), IEEE, 5 (2015).
23. K. Fischer, H. Chang, D. Ingerly, I. Jin, H. Kilambi, J. Longun, R. Patel, C. Pelto, C. Petersburg and P. Plekhanov, "In Performance enhancement for 14 nm high volume manufacturing microprocessor and system on a chip processes", Interconnect Technology Conference/Advanced Metallization Conference (IITC/AMC), 2016 IEEE International, IEEE, 5 (2016).
24. R. Ramos, A. Fournier, M. Fayolle, J. Dijon, C. Murray and J. McKenna, "In Nanocarbon interconnects combining vertical CNT interconnects and horizontal graphene lines", Interconnect Technology Conference/Advanced Metallization Conference (IITC/AMC), 2016 IEEE International, IEEE, 48 (2016).
25. S. Iijima, "Helical microtubules of graphitic carbon", Nature, 354(6348), 56 (1991).
26. S. J. Tans, A. R. Verschueren and C. Dekker, "Room-temperature transistor based on a single carbon nanotube", Nature, 393(6680), 49 (1998).
27. R. Martel, T. Schmidt, H. Shea, T. Hertel and P. Avouris, "Single-and multi-wall carbon nanotube field-effect transistors", Appl. Phys. Lett., 73(17), 2447 (1998).
28. H. Shimotani, T. Kanbara, Y. Iwasa, K. Tsukagoshi, Y. Aoyagi and H. Kataura, "Gate capacitance in electrochemical transistor of single-walled carbon nanotube", Appl. Phys. Lett., 88(7), 073104 (2006).
29. P. Beecher, P. Servati, A. Rozhin, A. Colli, V. Scardaci, S. Pisana, T. Hasan, A. Flewitt, J. Robertson and G. Hsieh, "Ink-jet printing of carbon nanotube thin film transistors", J. Appl. Phys., 102(4), 043710 (2007).
30. J. Guo, S. Datta and M. Lundstrom, "A numerical study of scaling issues for Schottky-barrier carbon nanotube transistors", IEEE transactions on electron devices, 51(2), 172 (2004).
31. S. Heinze, J. Tersoff, R. Martel, V. Derycke, J. Appenzeller and P. Avouris, "Carbon nanotubes as Schottky barrier transistors", Phys. Rev. Lett., 89(10), 106801 (2002).
32. Q. Shao, G. Liu, D. Teweldebrhan and A. Balandin, "High-temperature quenching of electrical resistance in graphene interconnects", Appl. Phys. Lett., 92(20), 202108 (2008).
33. X. Li, X. Wang, L. Zhang, S. Lee and H. Dai, "Chemically derived, ultrasmooth graphene nanoribbon semiconductors", Science, 319(5867), 1229 (2008).
34. F. Schwierz, "Graphene transistors", Nat. Nanotechnol., 5(7), 487 (2010).
35. J. B. Oostinga, H. B. Heersche, X. Liu, A. F. Morpurgo and L. M. Vandersypen, "Gate-induced insulating state in bilayer graphene devices", Nat. Mater., 7(2), 151 (2008).
36. V. M. Pereira, A. C. Neto and N. Peres, "Tight-binding approach to uniaxial strain in graphene", Phys. Rev., B80(4), 045401 (2009).
37. J. Bai, X. Zhong, S. Jiang, Y. Huang and X. Duan, "Graphene nanomes", Nat, Nanotechnol., 5(3), 190 (2010).

38. C. G. Kang, S. K. Lim, S. Lee, S. K. Lee, C. Cho, Y. G. Lee, H. J. Hwang, Y. Kim, H. J. Choi and S. H. Choe, “Effects of multi-layer graphene capping on Cu interconnects”, Nanotechnology, 24(11), 115707 (2013).
39. K. Ghosh, N. Ranjan, Y. Verma and C. Tan, “Graphene-CNT hetero-structure for next generation interconnects”, RSC Adv., 6(58), 53054 (2016).
40. S. B. Lee, H. M. Lee, M. Kiani, U. M. Jow and M. Ghovanloo, “An inductively powered scalable 32-channel wireless neural recording system-on-a-chip for neuroscience applications”, IEEE Trans. Biomed. Circuits. Syst., 4(6), 360 (2010).
41. P. H. Pham, D. Jelaca, C. Farabet, B. Martini, Y. LeCun and E. Culurciello, “In Neuflow: Dataflow vision processing system-on-a-chip”, 2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS), IEEE, 1044 (2012).
42. P. Zarkesh-Ha and J. D. Meindl, “In An integrated architecture for global interconnects in a gigascale system-on-a-chip (GSoC)”, Proc. 12th International Conference on Microelectronics, 2000 (ICM 2000), IEEE, 149 (2000).
43. M. F. Chang, W. Y. Lu, S. J. Shen, M. P. Chen, C. S. Lin, S. S. Sheu, C. H. Hung, Y. S. Yang, Y. J. Kuo and S. N. Hung, “In Supply-variation-resilient nonvolatile 3D IC and 3D memory using low peak-current on-chip charge-pump circuits”, Electron Devices and Solid-State Circuits (EDSSC), 2015 IEEE International Conference on, IEEE, 118 (2015).
44. K. W. Lee, “3-D Hetero-Integration Technologies for Multi-functional Convergence Systems”, J. Microelectron. Packag. Soc., 22(2), 11 (2015).
45. M. Vinet, P. Batude, C. Fenouillet-Beranger, F. Clermidy, L. Brunet, O. Rozeau, J. Hartmannn, O. Billoint, G. Cibrario and B. Previtali, “In Monolithic 3D integration: A powerful alternative to classical 2D scaling”, 2014 SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), IEEE, 1 (2014).

• 표성규(表成奎)
• 중앙대학교 융합공학부
• 3D integration, AFM/TEM, 반도체공정, Sensor, EP/ELP도금공정
• e-mail: sgpyo@cau.ac.kr

• 최은미(崔恩美)
• 중앙대학교 융합공학과
• Interface Characterization, AFM Technology
• e-mail: eng3813@cau.ac.kr