

동적 주파수 분할기의 변조신호 전송 조건을 위한 입출력 전달 특성 분석과 설계에 대한 연구

Analysis of Input/Output Transfer Characteristic to Transmit Modulated Signals through a Dynamic Frequency Divider

류 성 현 · 박 영 철

Suncheon Ryu · Youngcheol Park

요 약

본 논문은 주파수 분할기를 통한 변조신호 전달시스템의 구현에 있어, 동적 주파수분할기의 출력 유지 조건 및 동작 주파수의 관계식을 활용하여 반송주파수가 분할된 변조신호의 전달함수를 도출하였다. 이러한 분석으로부터, 동적 주파수 분할기의 전달함수는 크기 신호에 대하여 곱셈기의 이득과 입력 전압의 일차 선형 함수로 결정되며, 위상은 입력위상에 대역필터의 군지연이 합산되는 관계로 파악되었다. 이에 따라 1,400 MHz 대역에서 동작하는 동적 주파수 분할기를 설계하였으며, 이를 통해 700 MHz 대역으로의 변조신호 전달 가능성을 확인하기 위한 모의실험을 수행하였다. 설계된 회로는 0.9~3.2 GHz에서 동작하며, 2.3 GHz의 대역폭을 가지고 입력 주파수 1.4 GHz에서 -14.5 dBm의 입력 전력으로 동작하도록 설계되었다. 바이어스 전압 $V_{DD}=2.5$ V에서 입력 파형 $V_{pp}=136$ mV일 때 20 mW의 전력을 소모하며, 변조지수 0.9인 진폭변조신호를 1.4 GHz에서 700 MHz로 성공적으로 전송하는 것을 확인하였다.

Abstract

In order to transmit baseband signals through frequency dividing devices, we studied the transfer function of the device in the term of the baseband signal distortion. From the analysis, it is shown that the magnitude of the envelope signal is related to the mixer gain and the insertion loss of the low pass filter whilst the phase is the additional function with the 1/2 of the phase delay. For the purpose of the verification of the study, we designed a dynamic frequency divider at 1,400 MHz. The operating frequency range of the device is closely related to the conversion gain of mixers and the amplitude of input signal, and becomes wide as the conversion gain of mixers increases. The designed frequency divider operates between 0.9 GHz and 3.2 GHz, for -14.5 dBm input power. The circuit shows 20 mW power dissipation at $V_{DD}=2.5$ V, and the simulation result shows that an amplitude modulated signal at 1,400 MHz with the modulation index of 0.9 was successfully downconverted to 700 MHz.

Key words: CMOS, Miller Frequency Divider, Dynamic Frequency Divider

「이 연구는 2015학년도 한국외국어대학교 교내 연구비의 지원에 의하여 이루어졌음.」

「이 논문은 2015년도 미래창조과학부의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(NRF-2014R1A2A1A11051348).」

한국외국어대학교 전자공학과(Department of Electronics Engineering, Hankuk University of Foreign Studies)

· Manuscript received August 24, 2015 ; Revised December 7, 2015 ; Accepted January 5, 2016. (ID No. 20150824-060)

· Corresponding Author: Youngcheol Park (e-mail: ycpark@hufs.ac.kr)

I. 서론

최근 들어 고주파 통신장치의 신호 전송 시스템을 효율적으로 구현하기 위하여 다양한 연구가 이루어져 왔으며, 그 일환으로 주파수 변환장치인 믹서를 활용하지 않고, 비선형 소자 등을 활용한 주파수 변환 장치인 주파수 체배기와 분할기가 소개되었다^[1]. 대부분의 통신 시스템은 위상 잡음이 작은 주파수원을 필요로 하는데, 주파수 분할기를 사용하면 잡음이 작다는 장점이 있어 고주파 대역의 수신단에서 PLL과 주파수 합성기 등의 용도로 활용되어왔다.

특히 주파수 분할기를 활용하며 신호를 변조시키는 경우, 이러한 위상잡음 특성으로 우수한 주파수 변환 장치를 구성할 수 있을 것으로 예상할 수 있다.

아울러, 과거에는 SiGe 바이폴라 트랜지스터를 사용하여 주파수 분할기를 설계하였지만, 점점 CMOS 공정이 발달하면서 SiGe 바이폴라 트랜지스터보다 공정이 쉬워지고 가격이 낮아져 CMOS를 이용한 회로 설계가 많이 진행되고 있다^{[2],[3]}.

이에 따라, 본 논문에서는 주파수 분할기를 통한 변조신호 전달시스템의 구현을 위하여 그 사전 분석의 일환으로, 동적 주파수분할기를 통하여 변조신호가 전달되는 함수관계를 기저대역 신호를 기준으로 도출하였다. 아울러 능동 방식 CMOS 주파수 분할기를 설계하였으며, 시뮬레이션을 통해 기저대역 신호를 전송하기 위한 모의실험을 수행하였다.

II. 동적 주파수분할기 동작 조건 분석

주파수 분할기의 종류는 크게 3가지로 나뉘는데, 동적 주파수 분할기는 Miller에 의해 처음으로 소개되었으며 그 외에도 injection-locked 주파수 분할기, static 주파수 분할기가 주로 사용되어 활발한 연구가 진행되고 있다. 본 논문에서 설계한 동적 주파수 분할기는 injection-locked 주파수 분할기에 비해 동작 주파수가 넓고 static 주파수 분할기에 비해 전력 소모가 작은 장점을 가지고 있다^[4]. 또한, 위상이 생성주파수의 $1/n$ 배가 되므로 직접적으로 해당 주파수를 생성하는 방법에 비하여 위상잡음 특성이

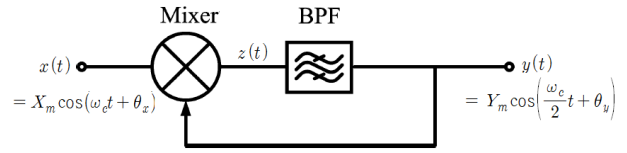


그림 1. 동적 주파수 분할기 개념도

Fig. 1. Block diagram of the dynamic frequency divider.

개선되는 효과를 얻을 수 있는 장점을 가져, 이와 관련된 많은 회로 설계 기법의 개발에 중요한 의의가 있다.

동적(dynamic) 주파수 분할기는 그림 1에서와 같이 입력파형 $x(t)$ 를 곱셈기에 인가하고, 그 출력에서 분할된 주파수를 통과시키는 필터를 이용하여 특정 주파수 성분을 제한시키는 구조를 가지고 있다. 해당 소자는 수동 대역통과 필터를 활용하기에 출력 파형의 진폭이 상대적으로 크며, 동작 주파수 등 소자의 동작 조건을 유연하게 설정할 수 있는 장점이 있다.

동적 주파수 분할기의 기저상태(steady state) 동작에 있어, 입력 파형 $x(t)$, 출력 파형 $y(t)$ 은 다음과 같이 정의할 수 있으며,

$$\begin{aligned} x(t) &= X_m \cos(\omega_c t + \theta_x), \\ y(t) &= Y_m \cos\left(\frac{\omega_c}{2} t + \theta_y\right) \end{aligned} \quad (1)$$

곱셈기의 출력 파형 $z(t)$ 는 다음의 식으로 표현할 수 있다.

$$\begin{aligned} z(t) &= Ax(t) \cdot y(t) \\ &= AX_m \cos(\omega_c t + \theta_x) Y_m \cos\left(\frac{\omega_c}{2} t + \theta_y\right) \\ &= \frac{A}{2} X_m Y_m \left[\cos\left(\frac{\omega_c}{2} t + \theta_x - \theta_y\right) + \cos\left(\frac{3\omega_c}{2} t + \theta_x + \theta_y\right) \right] \end{aligned} \quad (2)$$

여기서, A 는 능동 곱셈기의 전압이득을 나타낸다.

이 때 대역통과 필터의 출력 $y_o(t)$ 는 필터의 주파수 응답 $H(\omega)$ 와 $z(t)$ 으로부터 표현할 수 있다.

$$\begin{aligned} y(t) &= \mathcal{J}^{-1}[H(\omega)] * z(t) \\ &= \frac{AX_m Y_m}{2} \left| H\left(\frac{\omega_c}{2}\right) \right| \cos\left(\frac{\omega_c}{2} t + \theta_x - \theta_y + \angle H\left(\frac{\omega_c}{2}\right)\right) \end{aligned} \quad (3)$$

여기서 식 (1)과 식 (3)은 동일한 파형을 나타내므로 기저 상태에서의 크기를 대역통과 필터의 주파수 응답에 대하여 정리하면 다음과 같은 주파수 분할기의 출력 유지 조건을 얻을 수 있다^[5].

$$\left| H\left(\frac{\omega_c}{2}\right) \right| \geq \frac{2}{AX_m} \quad (4)$$

더불어, 식 (1)과 식 (3)으로부터 출력 파형의 위상은 다음 식으로 표현할 수 있다.

$$\begin{aligned} \theta_y &= \theta_x - \theta_y + \angle H\left(\frac{\omega_c}{2}\right) \\ &= \frac{1}{2} \left[\theta_x + \angle H\left(\frac{\omega_c}{2}\right) \right] \end{aligned} \quad (5)$$

이러한 동적 주파수 분할기의 출력은 입력신호에 독립적인 크기와 1/2 분할된 위상 정보를 가지고, 아래와 같은 형태로 입력의 1/2 주파수에 출력 파형을 발생하게 된다.

$$y(t) = Y_m \cos\left(\frac{\omega_c}{2}t + \frac{1}{2} \left[\theta_x + \angle H\left(\frac{\omega_c}{2}\right) \right]\right) \quad (6)$$

여기서 동적 주파수 분할기의 시스템 함수 $G(\omega)$ 는 다음과 같이 정의한다.

$$|G(\omega)| = \frac{1}{2} X_m A \left| H\left(\frac{\omega_c}{2}\right) \right| \quad (7)$$

$$\angle G(\omega) = \frac{1}{2} \left[\angle X(\omega) + \angle H\left(\frac{\omega_c}{2}\right) \right] \quad (8)$$

이 때 입력신호 X_m 과 θ_x 에 대하여 시간 변조를 추가하는 경우, $y(t)$ 는 그 정보를 1/2의 반송파 주파수 대역으로 전송할 수 있게 되며, 믹서가 필요 없는 주파수 변환 통신장치를 형성하게 된다. 특히, 진폭변조에 있어서는 추가적인 장치 없이도 신호를 전송할 수 있어 그 가능성이 매우 높다고 할 수 있다.

즉, 신호의 진폭을 $X_m(t)$ 로 시변조시킬 경우, 식 (6)의 출력 신호는 다음과 같이 $g(t)$ 를 포함하는 식으로 표현할 수 있다.

$$y(t) = Y_m |g(t)| \cos\left(\frac{\omega_c}{2}t + \angle g(t) - \theta_y\right) \quad (9)$$

여기서 $y_m(t)$ 가 $X_m(t)$ 의 변조 특성을 승계하도록 시스템을 설계할 경우, 출력은 진폭 변조 정보를 전달하는 주파수 변환기 역할이 가능하다.

III. 동적 주파수 분할기 설계

앞 절에서의 주파수 분할기 동작을 검증하기 위하여 1.4 GHz 입력 주파수에 대해 700 MHz 출력을 내는 1/2 주파수 분할기를 0.35 μm CMOS 모델을 이용하여 설계하였다^[6,7]. 동적 주파수 분할기의 회로도는 그림 2에 나타내었으며, 트랜지스터 M1, M2-M3, M4-M7, M8-M9, M10-M11, M12-M15의 게이트 폭은 각각 800 μm , 700 μm , 600 μm , 400 μm , 500 μm , 600 μm 이다. 설계된 주파수 분할기의 V_{DD} 는 2.5 V로, 입력 파형의 V_{PP} =136 mV일 때 전체 전류 I_{total} =16.1 mA, 전력 소모는 약 20 mW이다.

그림 1에서 믹서의 출력신호 $z(t)$ 는 $f_{input} - f_{output}$ 과 $f_{input} + f_{output}$ 의 주파수 성분을 주로 가지게 되며, 필터를 통해 $f_{input} + f_{output}$ 성분을 제거해 주면, 다음과 같은 수식을 만족하게 된다.

$$\begin{aligned} f_{output} &= f_{input} - f_{output} \\ f_{output} &= \frac{1}{2} f_{input} \end{aligned} \quad (10)$$

식 (10)을 만족시키기 위해서 필터를 사용하여야 하는

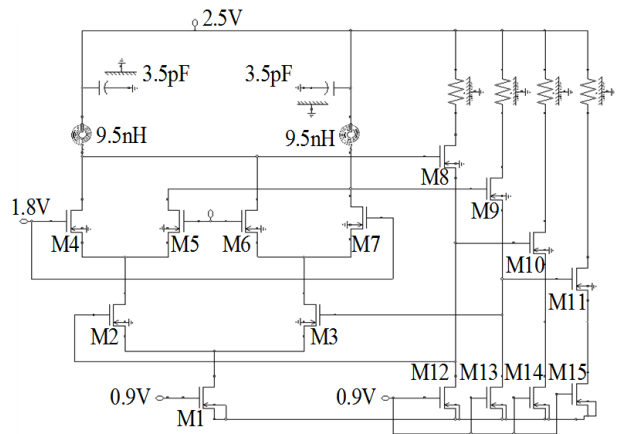


그림 2. 동적 주파수 분할기의 회로도
Fig. 2. Schematic of the dynamic frequency divider.

데, RC 필터 또는 LC 필터를 사용해 위와 같이 신호를 통과시킬 수 있다. 사용되는 필터의 커패시턴스는 트랜지스터의 기생 커패시턴스를 사용하였고, 대역 통과 필터를 구성하여 식 (10)을 만족하도록 하였다.

기생 커패시턴스 분석을 위해 본 논문에서는 각각의 기생성분에 대하여 단일 소자의 각 노드에 회로와 같은 조건의 bias를 인가시켜 커패시턴스 측정을 통해 유추하였다. 이러한 측정 결과로 M4-M7의 출력 기생 커패시턴스는 약 1.3 pF, M8-M9의 입력 기생 커패시턴스는 0.6 pF로 측정되어 총 커패시턴스는 1.9 pF로서, 공진 주파수 700 MHz를 만족하기 위해 27 nH의 인덕터를 사용하여 설계하였다. 하지만, 27 nH의 인덕터는 layout에서 상당히 큰 공간을 차지하므로 M4-M6, M5-M7의 드레인 노드에 3.5 pF의 커패시터를 추가해 인덕턴스 값을 9.5 nH로 낮추어 설계하였다. 그림 3은 설계한 회로의 레이아웃으로 칩의 크기는 패드를 포함해 $830 \mu\text{m} \times 800 \mu\text{m}$ 이다.

또한, 해당 소자는 그림 4와 같은 주파수 응답을 갖는 대역통과 필터를 포함한다. 설계한 필터의 S_{21} 은 중심 주파수 0.7 GHz에서 -2.39 dB 의 삽입 손실을 가지며, DC에서 -8.5 dB 의 값을 가지는데 DC에서 S_{21} 의 값이 비교적 큰 이유는 인덕터의 크기가 커지며, 생기는 기생 저항에 전압이 발생하기 때문이다.

그림 5는 설계한 동적 주파수 분할기의 시뮬레이션 결과로 입력 주파수(f_{input}) 1.4 GHz, $V_{pp}=136 \text{ mV}$ 인 입력파형을 인가하였을 때 출력 주파수(f_{output}) 0.7 GHz, $V_{pp}=$

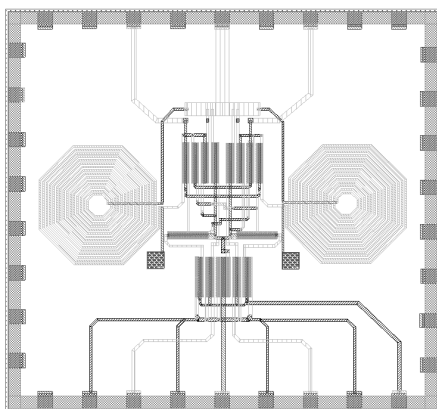


그림 3. 동적 주파수 분할기의 레이아웃
Fig. 3. Layout of the dynamic frequency divider.

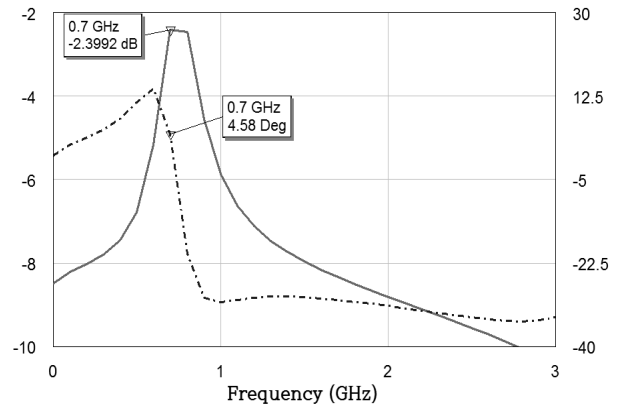


그림 4. 대역통과 필터의 주파수 응답
Fig. 4. Frequency response of the band-pass filter.

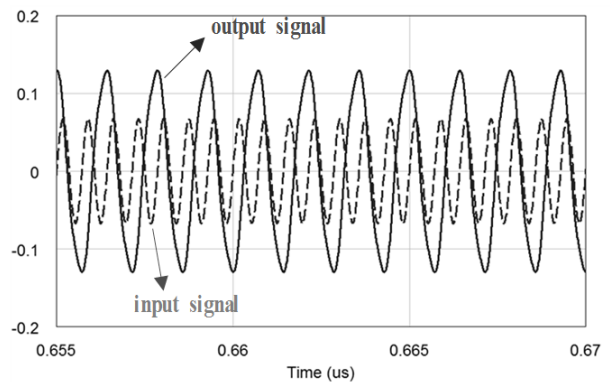


그림 5. 동적 주파수 분할기의 시뮬레이션 파형
Fig. 5. Transient response of the dynamic frequency divider.

286 mV, 변환 이득 약 6.4 dB를 가지는 출력 파형에서 주파수가 1/2 분주되는 것을 확인할 수 있다.

IV. 모의실험 및 분석

그림 6은 설계된 주파수 분할기의 주파수 영역에서 시뮬레이션 결과로 0.7 GHz에서 기준전압 1 V 대비 -17.68 dB 가 나타나는 것을 확인할 수 있다.

그림 7은 설계한 회로를 시뮬레이션으로 측정한 input sensitivity 그래프이다. 1.4 GHz에서 -14.5 dBm 의 입력 전력으로 동작하고, 0.9 GHz에서 3.2 GHz까지 1/2 분주하여 회로의 대역폭은 약 2.3 GHz인 것을 확인할 수 있다.

이러한 주파수 분할기에 대하여 진폭변조 신호를 적용

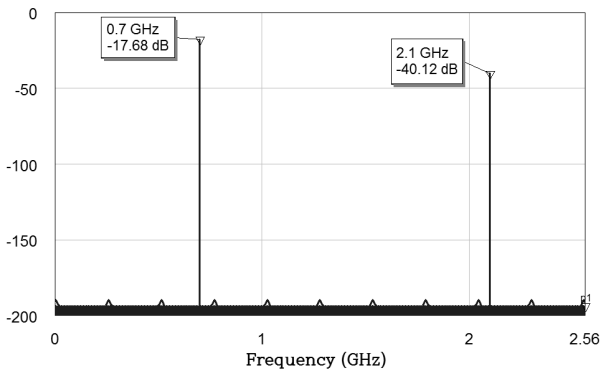


그림 6. 동적 주파수 분할기의 출력 스펙트럼
Fig. 6. Output spectrum of the dynamic frequency divider.

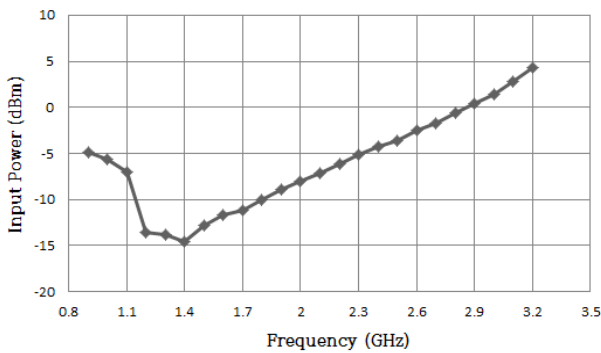


그림 7. 동적 주파수 분할기의 input sensitivity
Fig. 7. Input sensitivity of the dynamic frequency divider.

한 모의실험을 수행하였다. 해당 신호는 변조지수 0.9를 가지는 2 tone 신호로 그림 8과 같이 설정하였다.

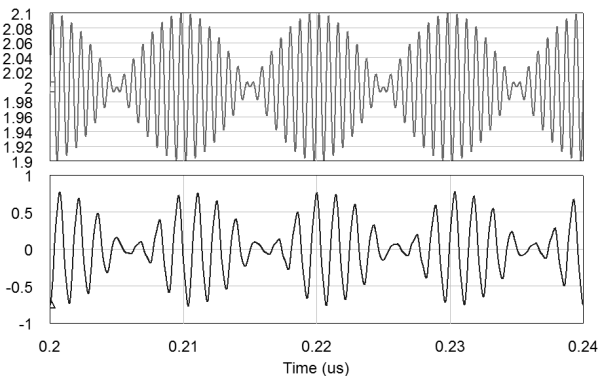


그림 8. 주파수 분할기의 입출력 변조파형
Fig. 8. Input and output modulated waveform of the frequency divider.

그림 8은 주파수 분할기에서 출력된 신호를 나타내며, 입력된 포락선 정보 $X_m(t)$ 가 손실 없이 $y_m(t)$ 로서 출력됨을 확인할 수 있다. 이러한 기저대역 신호에 대한 분석을 확장하여 다중 톤 신호를 활용한 통신신호의 전송 조건을 도출할 수 있을 것으로 기대된다^[8].

V. 결 론

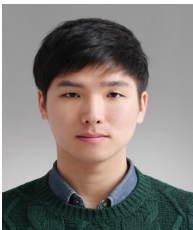
본 논문에서는 동적 주파수 분할기의 변조신호 전달 시스템의 구현에 필수적인 반송파 신호의 출력 유지 조건과 입력 신호와 출력의 위상특성에 대한 내용을 고찰하였고, 이를 바탕으로 0.35 μm CMOS 모델을 이용하여 LC 병렬 공진 필터를 사용한 1.4 GHz 대역에서의 주파수 분할기를 설계하였다. 설계된 주파수 분할기에 대한 모의 실험 결과 동적 주파수 분할기는 0.9 GHz에서 3.2 GHz까지 입력 신호의 주파수를 1/2 분주하여 약 2.3 GHz의 대역폭을 가지는 것을 확인할 수 있다. 또한, $V_{DD}=2.5$ V에서 20 mW의 전력을 소모하며, 입력 주파수 1.4 GHz에서 -14.5 dBm의 파워로 동작할 수 있다는 것을 확인할 수 있다. 이러한 1/2 동적 주파수 분할기를 활용하여 변조신호 전달 가능성을 확인하기 위해 진폭변조 신호를 700 MHz로 전송하는 실험을 진행하였고, 실험 결과로부터 변조지수 0.9를 가지는 2 tone 신호를 인가하였을 때 입력된 포락선의 정보가 손실 없이 출력된다는 것을 확인하였다.

References

- [1] Youngcheol Park, "Class-F technique as applied to active frequency multiplier designs", *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, no. 12, pp. 3212-3218, Dec. 2009.
- [2] R. L. Miller, "Fractional-frequency generators utilizing regenerative modulation", *Proc. Inst. Radio Eng.*, vol. 27, pp. 446-457, Jul. 1939.
- [3] J. Mullrich, W. Klein, R. Khelifi, and H. M. Rein, "SiGe regenerative frequency divider operating up to 63 GHz", *Electronics Letters*, 30th, vol. 35, no. 20, pp. 1730-1731, Sep. 1999.
- [4] Harsh Joshi, Sanjeev M. Ranjan, and Vijay Nath, "Design

- of high speed flip-flop based frequency divider for GHz PLL system: theory and design techniques in 250 nm CMOS technology", *IJECSE*, vol. 1, no. 3, pp. 1220-1226, Aug. 2012.
- [5] J. Lee, B. Razavi, "A 40 GHz frequency divider in 0.18 um CMOS technology", *IEEE J. Solid-State Circuits*, vol. 39, no. 4, pp. 594-601, Apr. 2004.
- [6] Sebastien Chartier, Liu Liu, Gerhard Fischer, Srdjan Glisic, Holger Hohmann, Andreas Trasser, and Hermann Schumacher, "SiGe millimeter-wave dynamic frequency divider with enhanced sensitivity incorporating a trans-impedance stage", *European Microwave IC Conference*, pp. 84-87, Oct. 2007.
- [7] Z. Gu, A. Thiede, "18 GHz low-power CMOS static frequency divider", *Electronics Letters*, 2nd Ed., vol. 39, no. 20, pp. 1433-134, Oct. 2003.
- [8] Y. Park, H. Yoon, "Time- and frequency-domain optimization of sparse multisine coefficients for nonlinear amplifier characterization", *J. of Electromagnetic Eng. and Science*, vol. 15, no. 1, pp. 53-58, Jan. 2015.
- [9] 류성현, 박영철, "MOSFET을 사용한 700 MHz dynamic frequency divider 설계", 한국전자과학회 춘계 마이크로파 및 전파전파 합동 학술대회, 38(6), 2015년 5월.
- [10] 류성현, 박영철, "Miller 주파수 분할기를 활용한 AM 변조신호 전송에 대한 연구", 한국전자과학회 종합 학술대회, 25(24), 2015년 11월.

류 성 현



2015년 2월: 한국외국어대학교 전자공학과 (공학사)
 2015년~현재: 한국외국어대학교 전자공학과 (공학석사)
 [주 관심분야] 초고주파 회로설계, RF Power Amplifier, 주파수 분할기

박 영 철



1992년 2월: 연세대학교 전기공학과 (공학사)
 1994년~2000년: 삼성전자 정보통신 총괄 선임연구원
 2004년 7월: Georgia Inst. Tech. (공학박사)
 2004년~2007년: 삼성전자 정보통신 총괄 책임연구원

2007년 3월~현재: 한국외국어대학교 전자공학과 교수
 [주 관심분야] 전력증폭기 설계, 디지털 무선 신호처리, 무선 측정시스템 불확도 해석, 레이더 응용 시스템, 주파수 분할기/체배기 설계