

높은 선형성을 갖는 새로운 구조의 MMIC 저잡음 증폭기

A High Linearity Low Noise Amplifier Using Modified Cascode Structure

박승표 · 어경준 · 노승창 · 이문규

Seung Pyo Park · Kyoung Jun Eu · Seung Chang No · Moon-Que Lee

요 약

본 논문에서는 캐스코드(cascode) 구조에 트랜지스터를 추가하여 잡음 특성을 유지하면서 높은 선형성을 갖는 저잡음 증폭기 구조를 제안하고 설계하였다. 제안한 구조는 트랜지스터의 사이즈 최적화를 통해 잡음원을 최소화 했으며, 전류 원분리(current bleeding) 효과를 주어 선형성을 개선하였다. 저잡음 특성에 유리한 0.5 μm pHEMT 공정을 이용해 제작된 저잡음 증폭기는 1.8~2.6 GHz의 동작 대역에서 30.8 dBm의 OIP₃, 15.0 dB의 이득, 1.1 dB의 NF, 11.6 dB/10.4 dB의 입출력 반사 손실 특성을 보였다.

Abstract

This letter proposes a low noise amplifier which has low noise figure and high linearity simultaneously using a cascode structure with an additional transistor. The proposed structure minimizes the noise source by using optimizing transistor sizes and also improves linearity from the current bleeding technique. The device was fabricated in a 0.5 μm GaAs pHEMT process and has noise figure of 1.1 dB, a voltage gain of 15.0 dB, an OIP₃ of 30.8 dBm and an input/output return loss of 11.6 dB/10.4 dB from 1.8 to 2.6 GHz.

Key words: Low Noise Amplifier(LNA), Linearity, PCSNIM, Internal Matching

I. 서 론

최근 개인이 다수의 스마트 기기들을 소유함에 따라 모바일 데이터 트래픽이 급격하게 증가하고 있다. 이런 문제를 해결하기 위한 방법 중 하나인 캐리어 어그리게이션(Carrier Aggregation: CA)은 서로 다른 대역의 주파수를 결합하여 하나의 밴드(band)로 묶어 사용하는 기술이다. 이를 위해 해당 영역을 한 번에 수신할 수 있는 높은 다이내믹 레인지(dynamic range)를 갖는 광대역 통신 시스템의 필요성이 요구된다.

이동 통신 시스템의 다이내믹 레인지는 잡음 특성과 선형성에 의해 결정된다. 잡음 지수는 일반적으로 첫 단에 위치하는 저잡음 증폭기의 잡음 특성에 가장 큰 영향을 받는다. 따라서, 저잡음 증폭기는 낮은 잡음 지수를 갖음과 동시에 높은 이득을 가져야 뒷 단의 잡음 지수 영향을 줄일 수 있다. 또한, 저잡음 증폭기는 근접 채널의 영향을 줄여야 하기 때문에 높은 선형성이 요구된다^[1].

본 논문에서는 0.5 μm GaAs pHEMT 공정을 이용하여 LTE 통신에 주로 이용되는 1.8 GHz, 2.1 GHz, 2.6 GHz를 포함하는 광대역 특성의 저잡음 증폭기 구조를 제안하고

「본 연구는 미래창조과학부 및 정보통신산업진흥원의 IT융합 고급인력과정 지원사업의 연구결과로 수행되었음(NIPA-2014-H0301-14-1008).」

서울시립대학교 전자전기컴퓨터공학과(Electrical and Computer Engineering, University of Seoul)

SJM 프리웰(SJM Prewell)

· Manuscript received November 11, 2015 ; Revised December 18, 2015 ; Accepted January 27, 2016. (ID No. 20151111-35S)

· Corresponding Author: Moon-Que Lee (e-mail: mqlee@uos.ac.kr)

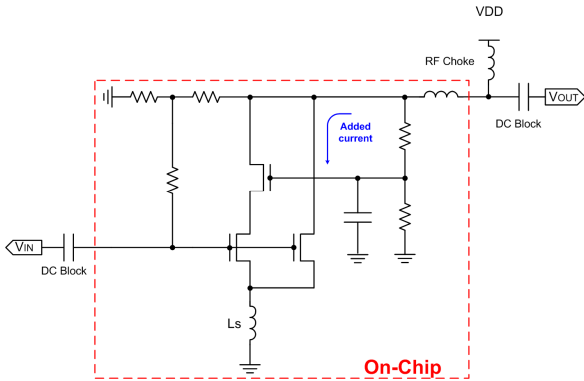


그림 1. 제안하는 캐스코드 저잡음 증폭기 회로도
Fig. 1. Proposed cascode low noise amplifier circuit diagram.

설계하였다. 제안한 저잡음 증폭기는 그림 1과 같이 트랜지스터가 추가된 캐스코드(cascode) 구조에 의해 높은 선형성을 가지며, 온칩(on-chip) 매칭으로 설계하였다.

II. 저잡음 증폭기의 설계 및 측정

2-1 p-HEMT 트랜지스터의 특성

저잡음 증폭기 설계에서 가장 중요한 부분은 트랜지스터의 선정이다. 음전압 공급을 없애기 위해 0.5 μm 인헨스먼트 모드(enhancement-mode)의 p-HEMT GaAs 공정을 선택하였다. 선택한 공정은 그림 2에서 볼 수 있듯이, 0.25 dB의 최소잡음지수(NF_{min})와 동작 밴드 내에서 충분한 이득을 가짐을 확인할 수 있으며, 32 GHz의 f_t(transition frequency), 320 mA/mm의 최대전류, 570 ms/mm의 높은 트랜스컨덕턴스 특성을 갖는다^[2].

2-2 제안한 저잡음 증폭기의 구조

LNA는 잡음 지수를 최대한 줄여야 하는 특성 때문에 잡음원이 될 수 있는 인덕터, 저항, 트랜지스터 등을 최소화하는 것이 좋다. 그 중에서 PCSNIM(Power-Constrained Simultaneous Noise and Input Matching Technique)은 잡음과 입력 매칭을 한 번에 이루는 장점이 있다^[3]. 본 논문에서는 PCSNIM 구조를 변형하여 높은 선형성과 광대역 특성을 갖는 구조를 제안하였다.

PCSNIM 구조는 다음 식과 같이 총 4개의 파라미터를

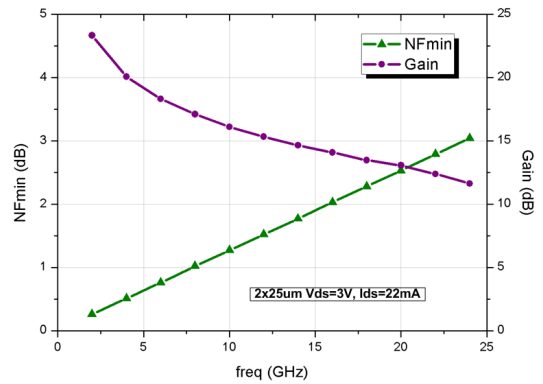


그림 2. 주파수에 따른 트랜지스터의 최소잡음과 최대이득
Fig. 2. NFmin and maximum gain vs. frequency.

통해 조절된다.

$$R_n = R_n^o = \frac{\gamma}{\alpha} \frac{1}{g_m} \quad (1)$$

$$F_{min} = F_{min}^o = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_r} \sqrt{\gamma\delta(1 - |c|^2)} \quad (2)$$

$$Z_{opt} \approx Re[Z_{opt}] - \frac{1}{sC_t} - sL_s \quad (3)$$

$$Z_{in}^* = \frac{g_m L_s}{C_t} - \frac{1}{sC_t} - sL_s \quad (4)$$

여기서 수식에 사용된 파라미터는 트랜지스터의 트랜스컨덕턴스 g_m (transconductance), 이득이 1이 되는 주파수 ω_r (unity gain frequency), 짧은 채널의 효과가 없을 때 $\gamma = 2/3$, $\delta = 4/3$, $c = 0.395j$ 값을 가지며, 채널이 짧아질수록 증가하는 특성을 갖는다. 마지막으로 C_t 는 게이트-소스 캐패시터(C_{gs})와 추가된 캐패시터(C_{ex})의 합이다^[3].

제안한 구조는 그림 1에서 보는 것과 같다. MMIC 인덕터는 낮은 Q 값을 가져 잡음 지수를 크게 악화시키기 때문에 일반적인 LNA는 Q 값이 높은 외부 인덕터를 이용해 매칭이 이루어진다. 칩 외의 회로를 구성해야 하는 문제를 해결하기 위해 기존 PCSNIM 방법과 달리 게이트단의 캐패시터와 인덕터를 제거하였고, 추가 트랜지스터의 사이즈 최적화를 통해 입력 및 잡음 매칭을 하여 내부 매칭이 가능하도록 설계하였다. 또한, 바이어스 저항을

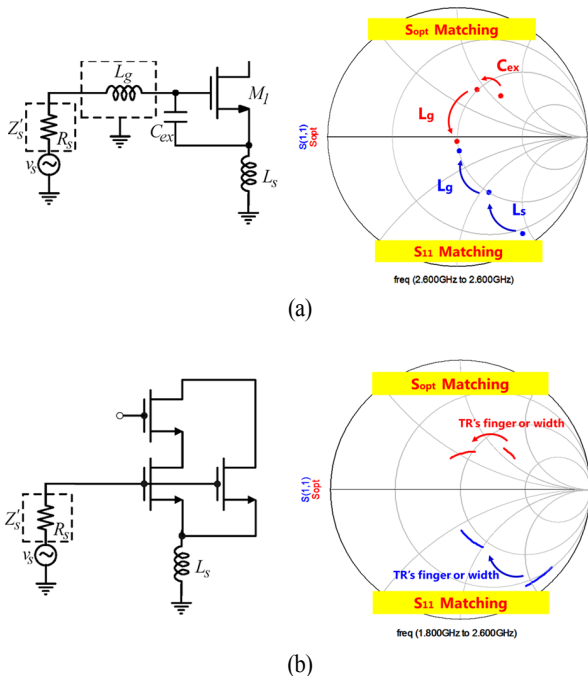


그림 3. 입력 임피던스와 잡음 매칭. (a) PCSNIM, (b) 트랜지스터 사이즈 최적화
 Fig. 3. Input impedance and noise matching. (a) PCSNIM, (b) Optimizing transistor size.

통해 셀프 바이어싱(self biasing)하면서 회로를 안정화시켰다. 그림 3은 PCSNIM와 제한한 구조의 사이즈 최적화 매칭을 비교한 것이다. 캐스코드 구조에 병렬로 추가된 트랜지스터는 매칭에 이용됨과 동시에 전류를 더 흘려주어 전류원 분리(current bleeding) 효과로 선형성을 증가시킨다. 또한, 광대역 특성을 만족시키기 위해 인덕티브 피킹(inductive peaking) 기법이 사용되었다. 주파수가 증가하면서 영향이 커지는 출력 드레인단의 병렬 캐패시터의 리액턴스를 상쇄시켜 주기 위해 인덕터를 직렬로 연결해 주어 LNA의 대역폭을 증가시켰다.

2-3 설계한 저잡음 증폭기 측정

설계한 저잡음 증폭기는 셀프 바이어싱에 의해 3.3 V 단일 전압으로 동작하며 그림 4와 같이 테스트 보드를 제작하여 측정하였다. 내부 매칭으로 칩을 설계했기 때문에 DC 블록(block)과 RF 초크(choke) 만을 추가하여 제작하였다. 그림 4와 그림 5는 설계된 저잡음 증폭기의 입출력 반

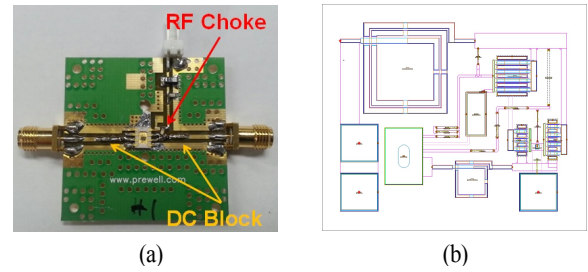


그림 4. (a) 저잡음 증폭기의 테스트 보드, (b) 저잡음 증폭기의 레이아웃
 Fig. 4. (a) Test board, (b) chip layout.

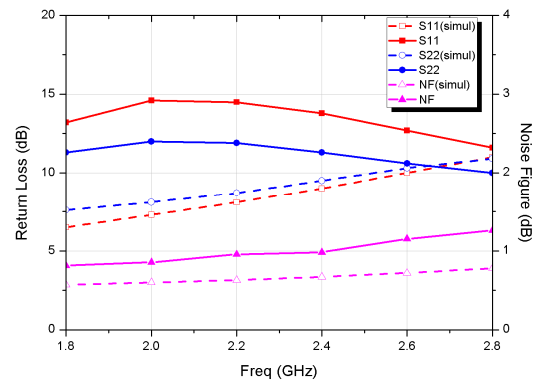


그림 5. 저잡음 증폭기의 입출력 반사계수 및 잡음 지수
 Fig. 5. Input and output reflection coefficients and noise figure of the designed LNA.

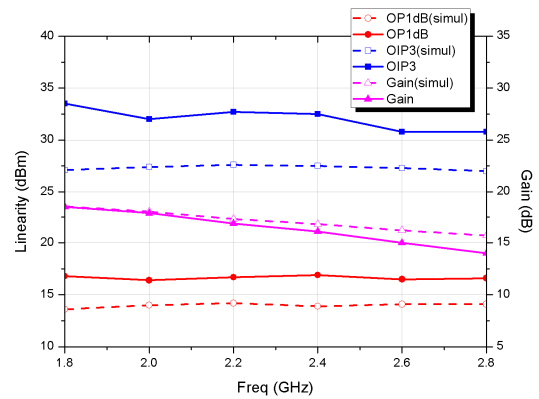


그림 6. 저잡음 증폭기의 OIP₃, OP_{1dB} 및 이득
 Fig. 6. OIP₃, OP_{1dB} and forward gain of the designed LNA.

사계수와 잡음 지수, 이득, OIP₃, OP_{1dB} 특성을 나타내고 있으며, 표 1과 표 2를 통해 연구 결과 비교와 측정 데이

표 1. 연구 결과 비교

Table 1. Comparison with other reported works.

Parameter	This work	Ref. [4]	Ref. [5]	Ref. [6]	Ref. [7]
Freq [GHz]	2.6	2~3	3	2.1	0.9
V_{dd} [V]	3.3	3	6	3	2.7
I_{dd} [mA]	54	7	28	8.5	4.7
NF [dB]	1.15	0.65	2.1	1	1.6
Gain [dB]	15.0	18.4	15.0	15	17
OIP ₃ [dBm]	30.8	16.8	26	22.3	25.5
Technology	0.5 μ m GaAs pHEMT	0.3 μ m GaAs MESFET	0.5 μ m GaAs	0.5 μ m GaAs pHEMT	0.6 μ m GaAs MESFET
Matching	Internal	External	External	External	External

표 2. 측정 요약

Table 2. Measurement summary.

Frequency [GHz]	1.8	2.1	2.6
Noise figure [dB]	0.75	0.93	1.1
Gain [dB]	18.5	17	15
OIP ₃ [dBm]	33.5	32.5	30.8
OP _{1dB} [dBm]	16.9	16.5	16.5
Die area [mm ²]	0.6×0.5		

터를 요약해 보여주고 있다. 측정된 저잡음 증폭기의 잡음 지수는 1.8~2.6 GHz 대역에서 0.95 ± 0.20 dB이고, 반사계수는 -10.6 dB 이하로 측정되었다. 1 MHz의 톤 간격과 출력 0 dBm을 기준으로 측정된 OIP₃, P_{1dB}는 동작 대역 내에서 각각 30.8 dBm, 16.5 dBm의 특성을 보였고, 15.0 dB 이상의 이득을 가짐을 확인하였다.

III. 결 론

본 논문에서는 캐스코드 구조를 변형한 높은 선형성을 갖는 저잡음 증폭기를 제안하고 설계하였다. 상대적으로 저잡음 특성에 유리한 0.5 μ m pHEMT 공정을 이용하였으며, 제안한 구조는 트랜지스터 추가와 사이즈 최적화를 하여 설계하였다. 이를 통해 진류원 분리 효과를 얻어 선

형성을 개선하였고, 게이트 인덕터를 없애 내부 매칭이 가능하게 하였다. 제작된 저잡음 증폭기는 1.8~2.6 GHz의 동작 대역에서 30.8 dBm의 OIP₃, 15 dB의 이득, 1.1 dB의 NF 특성을 보였다.

References

- [1] B. Kim, J. Ko, and K. Lee, "A new linearization technique for MOSFET RF amplifier using multiple gated transistor", *IEEE Microwave Guided Wave Lett.*, vol. 10, no. 9, pp. 371-373, 2000.
- [2] Jingshi Yao, Xiaopeng Sun, and B. Line, "Ultra low-noise highly linear integrated 1.5 to 2.7 GHz LNA", *IEEE Intern. Wireless Symp.* pp. 1-4, 2014.
- [3] T. K. Nguyen, Y. M. Su, and S. G. Lee, "A power constrained simultaneous noise and input matched low noise amplifier design technique", in *Proc Intern. Symp. on Circuits and Systems*, vol. 4, pp. 23-26, May 2004.
- [4] B. Prameela, K. P. Jagadeesh, "Design of a MESFET based low noise amplifier with improved noise figure for low power wireless applications in 2~3 GHz", *IEEE Intern Conf. on Advances in Computing and Communications*. pp. 257-260, 2013.
- [5] A. Fazal, H. Craig, and P. Allen "A novel cascode feedback GaAs MMIC LNA with transformer-coupled output using multiple fabrication processes", *IEEE Microwave Guided Wave Lett.* vol. 2, no. 2, pp. 70-72, Feb. 1992.
- [6] S. Kumar, W. Lam, "Enhancement mode GaAs pHEMT LNA with linearity control and phased matched mitigated bypass switch and differential active mixer", *IEEE MTT-S Digest*, vol. 3, pp. 1577-1580, 2003.
- [7] S. Ock, B. Kim, "A modified cascode type low noise amplifier using dual common source transistors", *IEEE MTT-S Digest*, vol. 3, pp. 1423-1426, 2002.