

# 가변 프레임 구조를 지원하는 국경 감시/정찰용 통신 단말 및 프레임 구조 가변 방법

김장훈<sup>\*1)</sup> · 한철희<sup>2)</sup> · 서봉용<sup>2)</sup>

<sup>1)</sup> 한화탈레스(주) 위성/데이터링크팀

<sup>2)</sup> 한화탈레스(주) TICN양산 TF팀

## Border Guard/Reconnaissance Communication Terminal for Providing Variable Frame Structure and Method for Altering the Frame Structure

Janghun Kim<sup>\*1)</sup> · Chulhee Han<sup>2)</sup> · Bongyong Seo<sup>2)</sup>

<sup>1)</sup> *Satellite/Datalink Team, Hanwha Thales Co., Ltd., Korea*

<sup>2)</sup> *TICN Mass Production TF Team, Hanwha Thales Co., Ltd., Korea*

(Received 21 September 2015 / Revised 7 January 2016 / Accepted 15 January 2016)

### ABSTRACT

This paper is about the implementation of the OFDM-based border guard/reconnaissance communication terminal systems. We have implemented Real-time Dynamic DL/UL symbol rate control function using the DL-MAP message, and proposed error detection method caused by malfunctioning and timing optimization method. The proposed scheme detects the variable rate symbol decoding timing without increasing additional physical layer logic, and also provides a wide variety of DL/UL data transfer rate. Furthermore, the proposed scheme applies to the current border guard/reconnaissance equipment and confirms a operation performance through field tests and demonstration at home and abroad.

Key Words : OFDMA-TDD(직교주파수 분할다중접속-시분할 듀플렉싱), Variable Frame Structure(가변 프레임구조), Convolutional Turbo Code(컨볼루션 터보 코드)

### 1. 서론

최근 많은 국가들이 국경지역에서의 국가안전을 위협하는 요소들이 증가함에 따라 높은 수준의 국경 감시 시스템을 요구하고 있다. 이민노동자의 불법 월경,

이웃 국가들과의 국경 분쟁, 테러활동 등을 방지하기 위해 국경지역에 대한 영상 정보가 가시화되고 정보의 공유를 보장할 수 있는 포괄적인 감시 및 제어 시스템의 필요성이 증가하고 있다.

이러한 요구를 충족시킬 수 있는 국경감시 및 정찰을 위한 통신시스템은 다음과 같은 몇 가지 특징을 가지고 있다. 먼저, 운용의 효율성 증대를 위해 하나의 기지국에서 여러 대의 감시차량을 이용하여 넓은

<sup>\*</sup> Corresponding author, janghunkim77@gmail.com  
Copyright © The Korea Institute of Military Science and Technology

범위의 감시 정찰기능을 수행할 수 있어야 한다. 둘째, 다수 단말의 동시 운용이 필요하며, 이로 인해 많은 양의 영상정보를 기지국이 취합하므로 상향링크 데이터 요구량이 증가하며, 의심 지역에 대한 정밀 감시를 위한 고화질 영상을 하나의 감시 장치에서 획득해야 하는 경우가 발생하여 특정 단말의 상향링크 트래픽 증가에 유연한 대처가 가능한 통신 시스템을 요구한다. 셋째, 감시차량으로부터 획득한 영상을 주변 감시차량으로 전송해야 하는 경우가 발생하며, 이를 위해 순간적인 하향링크 데이터 집중에 대처 가능해야 한다. 따라서, 국경감시 및 정찰을 위한 통신시스템은 실시간으로 동적 상하향 링크 비율을 조정하고 스케줄링 할 수 있는 기능이 요구되며, 기지국 및 단말의 물리계층은 순간적으로 집중되는 데이터를 유연하게 처리할 수 있도록 최적 설계 되어야 한다.

본 논문에서는 WiMAX 기반<sup>[1]</sup>의 국경 감시/정찰용 통신 시스템의 가변 프레임 구조를 제안하고, 하향링크 맵(DL-MAP) 메시지를 이용하여 프레임단위 심볼 비율 조절 기능, 심볼 비율 결정 메시지의 에러에 따른 오 동작을 방지하기 위한 에러 검출 기능 및 심볼 비율 적용 타이밍 최적화 방안을 제안한다. 이를 기반으로 시스템의 하드웨어 구조 설계에 적용, 구현 결과를 제시하고, 5장에서는 본 논문의 결론을 맺는다.

## 2. 통신 시스템의 가변 프레임 구조 설계

통신 프레임은 기본적으로 OFDMA-TDD 구조를 기반으로 국경 감시/정찰의 요구사항을 충족시키기 위해 동적 상하향 링크 심볼 비율 조정을 지원하도록 설계하였다. 이를 위해 물리계층에서는 Fig. 1과 같이 5가지의 상하향 OFDM 심볼 비율을 지원하며, 시스템 운용 환경에 따라 하향 링크의 하향링크 맵 메시지를 디코딩하여 실시간 모드 천이가 가능하게 설계하였다. 가능한 심볼 비율의 조합은 하향링크 심볼이 가장 작은 6:27에서부터 9:24, 15:18, 18:15, 21:12 까지 지원한다. 또한 광대역 셀 커버리지를 보장하기 위한 long Ranging 알고리즘을 적용하기 위해 각 모드별 하향링크 페이로드 심볼 개수의 변경이 추가 지원 된다.

국경 감시/정찰용 단말의 하향링크는 첫 번째 심볼인 프리엠블을 이용하여 시간동기, 주파수 오프셋, 셀 탐색 등의 과정을 수행하면서, 메모리에 수신 데이터를 저장한다. 이후 단말은 OFDM 심볼 단위 처리부,

슬롯 단위 처리부, FEC 블록 단위 처리부를 거쳐 최종 디코딩한 신호 및 제어 정보를 MAC단으로 전송하게 된다. 상향 링크는 하향링크를 통해 수신된 상향링크 맵(UL-MAP) 메시지를 이용하여 하향링크의 역순으로 각 처리부를 거친 후 DUC 블록으로 IQ 데이터를 전송하게 된다.

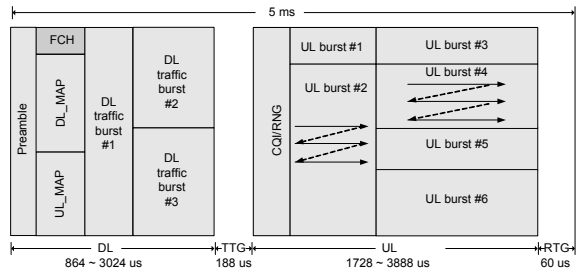


Fig. 1. Variable frame structure

## 3. 국경 감시/정찰용 단말 모델 설계 및 구현

### 3.1 하향링크 단말 모델 물리계층 설계

Fig. 2는 하향링크 단말 모델의 기능 블럭도를 나타낸 것이다. 하향링크 모델은 수신기의 처리 속도에 가장 큰 비중을 차지하는 CTC 복호화<sup>[2]</sup> 과정이 연속적으로 일어날 수 있도록 전체 타이밍을 제어하는 것이 가장 중요한 요소 이다.

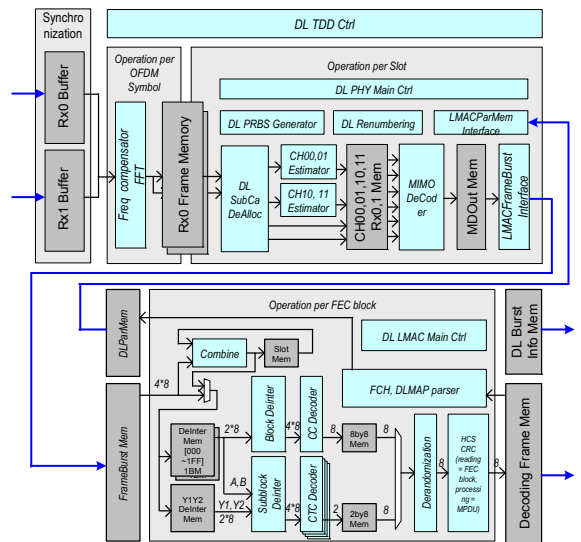


Fig. 2. Down-link modem block diagram

본 논문에서는 메모리의 효율적 사용 및 MPDU(MAC Packet Data Unit), Burst 크기에 따른 제약 사항을 최소화하기 위해서 물리계층의 구조를 동기부, OFDM 심볼, 슬롯, FEC 블록 단위의 처리부로 분리하고 각 처리부의 인터페이스를 최소 단위로 설정하여 병렬처리가 가능한 구조로 설계하였다. 또한, 이러한 각 처리부의 동작을 크게 다섯 단계로 나누어 단말 모뎀 제어 블록을 설계하였다.

첫째, 동기부에서 프레임의 시작점을 검출하여 인터럽트와 함께 버퍼의 시작 주소와 셀 탐색 과정에서 획득한 IDCell과 SegmentID를 OFDM 심볼 단위 처리부와 슬롯 단위 처리부에 전송한다.

둘째, 단말 모뎀 제어 블록에서 FFT 시점을 확인하여 하향링크 심볼에 대한 처리가 완료 될 때 까지 OFDM 심볼 단위 처리부를 동작 시킨다.

셋째, 프리앰블을 포함한 처음 3심볼에 대한 FFT 처리가 완료 되면, 슬롯 단위 처리부에서 FCH(Frame Control Header)에 대한 디알로케이션(deallocation)완료 후, FEC 블록 단위 처리부에서 FCH를 디코딩 하여 맵(MAP)의 크기, 유즈드 서브채널 비트맵(Used SubChannel BitMAP), 채널 코딩타입을 확인 한다.

넷째, 맵의 크기에 따라 맵이 포함된 심볼에 대한 FFT 처리가 완료된 것을 확인한 후, 맵에 대한 디알로케이션 과정을 수행한다. 그리고 맵을 디코딩하여 MPDU의 CRC(Cyclic Redundancy Check) 에러가 없는 경우, 하향링크 맵을 파싱(Parsing)하여 슬롯 단위 처리부와 FEC 블록 단위 처리부에서 필요한 파라미터들을 생성한다. 또한, 맵 메시지 내의 No. OFDMA symbols 파라미터를 확인하여 상 하향 링크 비율을 결정 한다. CI 필드, HCS(Header Check Sum) 필드, CRC 필드의 조합을 통해 채널 상황에 따른 심볼 비율 적용 오동작을 방지한다. 그리고, 만약 CRC 에러가 발생하면 심볼 비율은 이전 값을 유지하고 이후 과정을 중단하고 다음 프레임의 시작 인터럽트를 기다린다.

마지막으로 Burst와 존(Zone)에 대한 파라미터를 이용해 하향링크 버스트에 대한 Deallocation과 채널 디코딩 과정을 수행한다. 물론 각각의 Burst가 포함된 심볼이 FFT가 완료된 것을 확인한 후 수행 되어야 한다.

### 3.1.1 동기부 및 OFDM 심볼 단위 처리부

동기부는 채널 필터, 대략적인 시간동기 추정기, 소수배 주파수 옵셋 추정기, 미세 시간동기 추정기, 동기 컨트롤러, 주파수 옵셋 보상기, CINR 및 RSSI 추

정기, 셀 탐색기 등으로 구성된다. 미세 시간동기가 완료되면, 버퍼의 시작 주소와 셀 탐색과정에서 획득한 IDCell과 SegmentID를 생성하여 하향링크 시작 인터럽트(DLStartINT)를 발생시킨다.

OFDM 심볼 단위 처리부는 시스템의 복잡도를 줄이기 위해 하나의 FFT 코어를 이용하여 2개의 안테나를 통해 수신된 신호를 Time Sharing하여 연산하는 구조로 설계되었다. DLStartINT에 의해 동작이 시작되며, 버퍼의 시작 주소를 기준으로 보호구간을 감안하여 FFT 코어에 입력을 인가한다. 입력 데이터 Offset은 ISI(Inter Symbol Interference)의 영향을 최소화하기 위해 MAC 계층에 의해 가변 할 수 있게 설계 하였다. 심볼단위의 FFT 연산이 완료될 때 마다 하향링크 심볼 처리완료 인터럽트(DLSymbolCntINT)를 발생시키며, 그때의 심볼 처리개수(Symbol Counter)를 슬롯 단위 처리부에 전송한다.

### 3.1.2 슬롯 단위 처리부

슬롯 단위 처리부는 Fig. 2와 같이 PRBS Generator, Renumbering, 채널 추정, 파라미터 메모리 인터페이스, LMAC 인터페이스, MIMO Decoder, SubChannel DeAllocator 블록과 단말 모뎀 제어 블록으로 구성되어 있다. 최대 Burst 크기, FEC 블록 단위 처리부의 연산 속도에 따른 제약 사항을 최소화하기 위해 프레임 단위로 Soft Decision된 결과를 저장하는 구조를 채택하였으며, 메모리 효율을 증대시키기 위해 채널 추정, DeScrambling 및 SubChannel DeAllocator를 슬롯 단위로 연산 할 수 있게 설계하였다.

Fig. 3은 단말 하향링크 모뎀 Main Controller의 State Diagram이다. DLStartINT이 발생하면 FCH를 처리하기 위해 IDCell과 SegmentID를 이용하여, 첫번째 Zone에 대한 PRBS와 Renumbering Sequence를 생성한다. PRBS 값은 DeScrambling 과정에서 필요하며, Renumbering Sequence는 SubChannel DeAllocation 과정에서 필요한 것으로 FCH의 SubChannel 위치를 찾기 위한 용도이다.

FCH에 대한 처리 준비가 완료 되면 3개의 OFDM 심볼에 대한 FFT 연산이 완료되기를 Symbol Counter 값을 이용하여 모니터링 한다. FCH에 대한 처리 완료 후 디알로케이션 완료 인터럽트(DeAllocEndINT)를 발생시켜 FEC 블록 단위 처리부가 동작하도록 한다.

FCH 완료 인터럽트(FCHEndINT)을 수신하면, FCH 값을 통해 확인된 첫번째 Zone의 Used SubChannel BitMAP을 이용하여 다시 첫번째 Zone에 대한

Renumbering Sequence를 생성한다. 이는 첫번째 Zone에서 사용되는 부채널 수와 위치를 찾기 위한 용도이다. MAP 크기를 확인하여 MAP이 포함됨 OFDM 심볼까지 FFT 연산이 완료된 것을 확인 한 후, MAP에 대한 DeAllocation과 채널 추정 및 MIMO Decoding 과정을 수행한다. 완료 후 DeAllocEndINT을 발생시키면 MAP에 대한 FEC 블록 처리부 연산이 이루어진다.

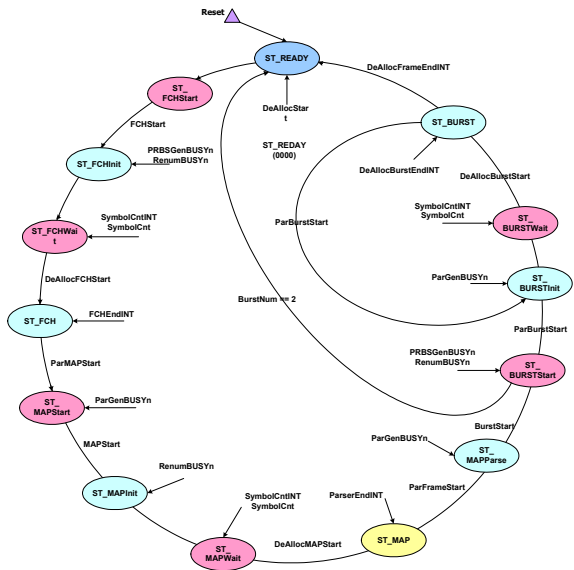


Fig. 3. Down-link modem main controller state diagram

과싱 완료 인터럽트(ParserEndINT)를 수신하면, 하향 링크 Parmeter 메모리의 값들이 유효해 지며, 이를 이용하여 나머지 모든 Zone에 대한 PRBS와 Renumbering Sequence를 생성한다. Burst의 개수와 위치 정보를 확인하여 순차적으로 마지막 Burst까지 Slot 단위 처리를 수행한다. 매 Burst 처리가 완료 될 때 마다 DeAllocEndINT를 발생 시킨다.

FEC Block 단위 처리부에서는 DeAllocEndINT을 Count하여 연속적으로 Burst에 대한 채널 디코딩과정을 수행한다.

### 3.1.2 FEC 블록 단위 처리부

FEC 블록 단위 처리부는 Combine 블록, CC/CTC DeInterleaver, CC/CTC Decoder, MAP Parser Derandomizer 및 HCS/CRC 블럭과 FEC 블록 단위 처리부 제어 블록으로 구성되어 있다. Slot 단위 처리부

의 출력을 입력으로 Burst에 대한 제어 정보를 이용하여 FEC Block 단위로 복호화가 수행된다. Derandomizer를 거쳐 MPDU 별로 GMH(Generic MAC Header)를 분석하여 HCS 에러와 CRC 에러를 조합하여 상향링크 트래픽에 대한 오류 메시지를 작성한다.

Fig. 4의 Parser 블록에서 FCH와 DLMAP을 분석하여 하향링크 물리계층에서 필요한 파라미터와 제어정보들을 생성한다. 이는 버스트의 DIUC, 크기 및 개수, DL Zone의 위치와 개수, 채널 할당방식 등의 모든 프레임에 대한 정보가 포함된다.

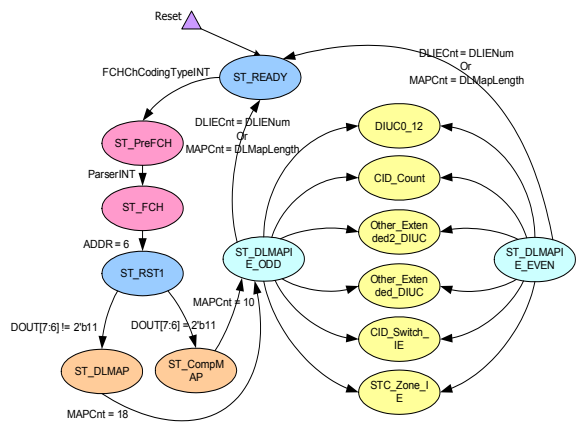


Fig. 4. FCH & DLMAP parser state diagram

HCS와 CRC 연산은 MPDU 단위로 처리해야 하나, 본 논문에서는 연산 시간을 최소화 하고, 추가적인 MPDU 메모리를 사용하지 않기 위해 FEC Block 단위로 복호화된 바이트 데이터를 입력받아 병렬로 GMH의 HCS연산과 MPDU의 CRC 연산을 수행할 수 있게 제어 블록을 설계하였다.

MPDU는 MAC Management PDU와 User Data PDU로 구분된다. MAC Management PDU는 6 bytes 길이의 GMH로 시작되고, 1 byte MAC Management Message Type, MAC Management payload, GMH에 CRC Enable/Disable Bit에 따라 뒤에 4 bytes CRC가 존재 할 수 있다. MAC Management PDU는 payload없이 GMH만 존재할 수도 있다. User Data PDU는 6 bytes 길이의 GMH로 시작되고, 하나의 MAC SDU가 Fragmentation 되거나, 여러 개의 MAC SDU들이 Packing되어 따르며, GMH에 CRC Enable/Disable Bit에 따라 뒤에 4 bytes CRC가 존재 할 수 있다<sup>[1]</sup>.

Burst는 이러한 가변적인 크기의 MPDU들의 조합으

로, 사용 가능한 자원과 단말이나 기지국에서 요구하는 자원을 스케줄링 알고리즘을 이용하여 적절히 할당된 데이터 전송의 단위이다. 또한 할당된 버스트는 Modulation과 채널 코딩 방식 및 Code Rate에 따라 다양한 크기의 FEC 블록으로 나누어져 인코딩 및 디코딩 된다<sup>[1]</sup>.

Fig. 5는 병렬 처리 구조를 적용했을 경우, 가변 FEC 블록 크기에 따른 CRC 연산과정 중 발생할 수 있는 경우의 수를 나타낸 것이며, Fig. 6은 발생할 수 있는 경우의 수에 대한 동작을 제어하는 상태 천이도이다. 9개의 MPDU와 6개의 FEC 블록으로 구성된 Burst의 경우 병렬 처리 방법을 다섯 단계로 나누어 설명하면 다음과 같다.

첫째, FEC 블록 단위로 연속적으로 입력되는 데이터를 감지하면 HCS(CRC-8) 연산을 수행하면서 GMH를 Parsing하여 MPDU의 길이와 CRC Enable 여부를 확인하게 된다. 1번 MPDU의 경우, MPDU Payload에 대한 CRC 연산을 수행하는 도중 FEC 블록이 끝난 경우를 나타내며, 이 경우 ST\_CRC 상태에서 ST\_CRC\_Wait 상태로 천이 되면서 CRC 연산 블록의 내부 파라미터는 그대로 유지하게 된다.

둘째, 1번 FEC Block에 대한 입력이 감지되면 ST\_CRC 상태로 천이되어 CRC 연산을 끝내고, 2번 MPDU를 처리하기 위해 ST\_HCS 상태로 천이된다. 2번 MPDU는 CRC(CRC-32) 연산의 4바이트 결과 중 일부가 FEC 연산이 수행되는 중간에 FEC 블록이 끝난 경우이다.

셋째, 2번 FEC 블록의 3번 MPDU는 GMH를 Parsing한 결과 CRC 필드가 없는 MPDU로 이 경우에도 ST\_CRC 상태로 천이되나 CRC 처리부를 Reset 상태로 두고 MPDU 길이만큼 지나면 4번 MPDU를 처리하기 위해 ST\_HCS로 천이된다. 4번 MPDU는 GMH와 HCS 필드만 있는 6bytes 길이의 MAC Management PDU로 HCS 연산이 끝나면 다시 ST\_HCS로 천이되어 5번 MPDU에 대한 연산이 진행된다.

넷째, 5번 MPDU 1 byte의 HCS 결과가 다음 FEC 블록의 입력으로 사용되는 경우이다. 6, 8번 MPDU의 경우는 GMH를 Parsing하는 중간에 FEC 블록이 끝난 경우로 CRC Enable 필드를 확인하기 전까지 CRC 연산이 수행되고 있어야 한다.

마지막으로 5번 FEC 블록의 8번 MPDU 연산이 끝난 후, Burst의 길이와 MPDU들의 합과의 차가 5 bytes 이하(추가 MPDU를 생성할 수 없는 크기)가 되면

ST\_Padding 상태로 천이되어 '1'로 Padding된 값을 확인하고 Burst에 대한 처리를 완료하고 ST-READY 상태로 천이 된다.

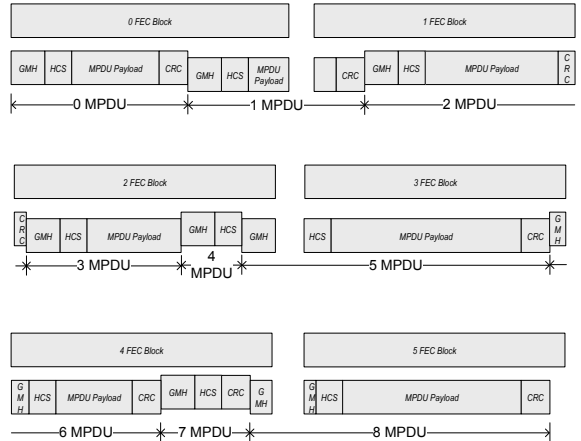


Fig. 5. Burst and MPDU configuration information for parallel processing

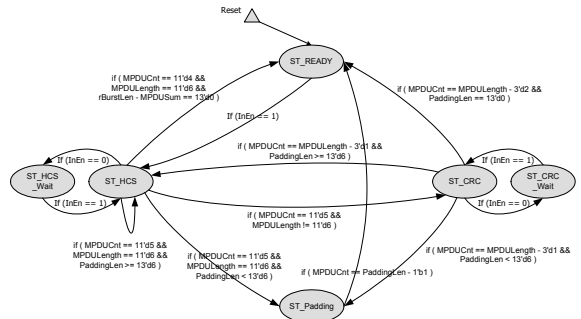


Fig. 6. HCS/CRC controller state diagram

### 3.2 상향링크 단말 모뎀 물리계층 설계

상향링크의 경우 하향링크의 역과정을 거쳐 송신 신호를 생성한다. Randomizer를 거친 데이터는 채널코딩 방식에 따라 CC와 CTC 부호화 블록이 선택적으로 동작하도록 저전력 설계를 하였다. 또한, Tail-Biting 알고리즘을 적용하기 위해 4번의 인코딩 과정이 필요한 CTC의 경우, 2개의 부호화기를 병렬로 결합하여 처리 시간을 최소화 하였다. Ranging 및 CQI 채널은 별도 심볼로 분류하여 초기 Network entry 과정 및 주기적인 Ranging을 수행한다. 하향링크의 OFDMA 심볼 개수 및 ULMAP에서 추출한 상향링크의 심볼 개수를 기반으로 Allocation 및 IFFT 타이밍을 결정 한다.

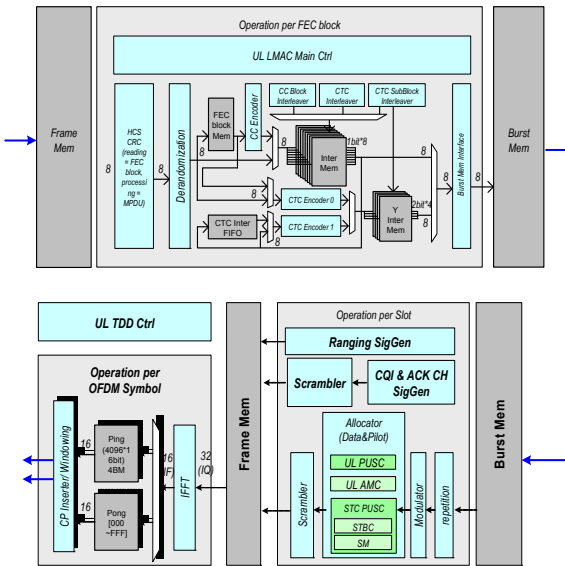


Fig. 7. Up-link modem block diagram

#### 4. 국경 감시/정찰용 단말 모델 구현 결과

Fig. 8은 심볼 비율에 따른 단말 모델 타이밍 최적화를 위한 하향링크 Worst case와 Best case의 데이터 처리 시간을 나타낸 것으로 모두 1프레임 내에 처리 가능하다. FFT 처리 결과를 저장하는 프레임 메모리를 기준으로 하향링크가 상향링크보다 적은 경우(6:27, 9:24, 15:18)는 동기 획득 후 Burst가 포함된 OFDMA 심볼 수신에 완료 되는 데로 DeAllocation 및 FEC Decoding을 연속적으로 수행하는 것으로 타이밍을 설계 하였으며, 반대의 경우(18:15, 21:12)는 동기 획득 후 약 2.5 ms의 기간 동안 이전 프레임의 데이터 처리와 현재 프레임의 FFT 처리 결과를 프레임 메모리에 Buffering하는 과정이 이루어지며, 그 후 현재 프레임의 DeAllocation 및 FEC Decoding을 수행한다.

프레임 길이의 절반인 약 2.5 ms를 기준으로 하향링크와 상향링크의 심볼 비율에 따라 단말의 처리 타이밍을 분리하여 단말 동작이 최적화 되도록 구현하였다.

본 논문에서는 설계에 앞서, Matlab 기반으로 단말 동기부 및 모델을 검증하였으며, 설계된 단말 모델의 구조와 기능검증을 위하여 Model Technology사의 ModelSim SE 6.0c를 사용하였다. 검증을 위한 테스트 벡터는 연속된 3개의 하향링크 프레임에 대한 기지국 신호를 Matlab을 이용 모델링하여 생성하였다.

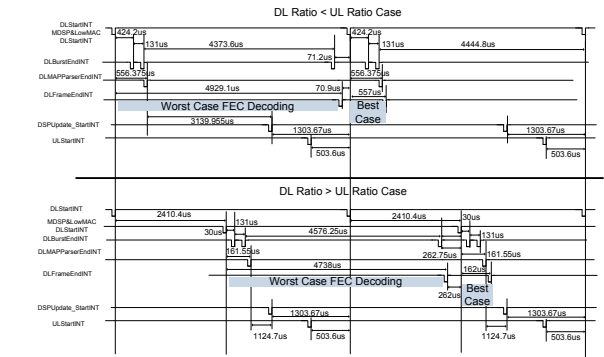


Fig. 8. Down link & modem processing time

Fig. 9는 FCH, Compress-MAP과 하향링크 프레임 전체에 64QAM 5/6로 할당된 Burst를 포함하는 21:12의 심볼 비율을 가지는 프레임으로 하향링크 프레임의 처리 시간 및 성능을 검증 한 결과이다. 프레임의 Burst 처리시간은 총 4.7 ms로 한 프레임의 길이인 5 ms 내에 처리가능 함을 확인할 수 있다.

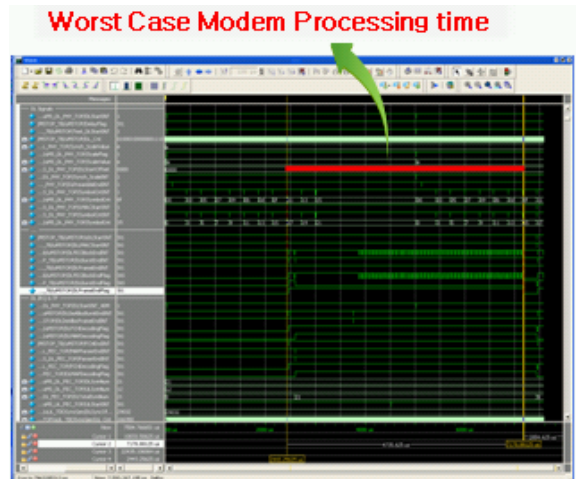


Fig. 9. The simulated results of border guard/reconnaissance communication terminal

Xilinx FPGA Vertex-6 LX240T를 Target Device로 선정하였으며, Xilinx ISE를 사용하여 합성 및 P&R을 수행하였다. 국경 감시/정찰용 단말 보드에 Targeting하여 DSP를 이용하여 FPGA 내부 메모리와 최종 출력을 비교 분석하여 하드웨어 동작을 최종 검증하였다. 전체 구현결과는 Table 1과 같이 약 24656 Slice, 62개의 DSP Block과 292개의 메모리 블록으로 구현 하였다.



Table 1. The implementation results of border guard/reconnaissance communication terminal

구분	구현 결과
Slice	24645 out of 37680 (65 %)
Block Memory (1BRAM = 36 Kbit)	292 out of 416 (70 %)
DSP Block	62 out of 768 (8 %)



Fig. 10. Border surveillance/reconnaissance the terminal and modem board

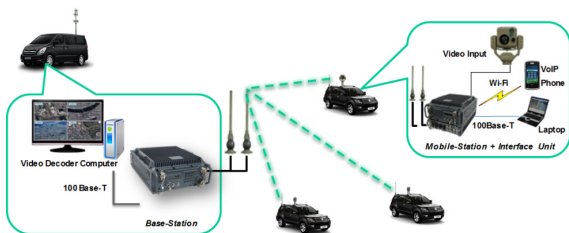


Fig. 11. Base stations and terminal system configuration

Fig. 10은 국경 감시/정찰용 모뎀 보드, 단말 장비 및 차량시험을 단말 설치 사진이다. Fig. 11과 같이 시스템을 구성하여 기지국과의 연동시험, 다중접속시험 및

최대 통달 거리 시험을 통해 단말의 구현 결과에 대한 기능/성능을 검증하였다.

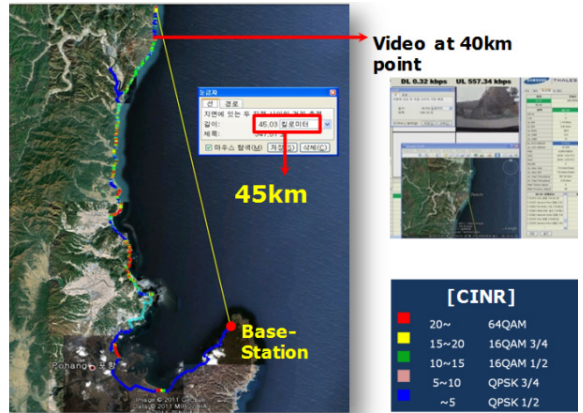


Fig. 12. The results of wide cell coverage test

## 5. 결론

본 논문에서는 다양한 시스템의 요구사항을 충족시키기 위해 국경 감시/정찰용 장비에 동적 상하향 링크 심볼 비율 조정이 가능한 구조를 제안하였다. 이는 물리계층에서 로직의 추가적 증가 없이 심볼 비율에 따른 가변 디코딩 타이밍을 검출하여 다양한 상하향 데이터 전송 속도를 지원하는 구조를 적용하였으며, 오동작을 방지하기 위한 Error Detection기능과 MAP을 통한 심볼 비율 변경 구조를 적용하였다. 또한 이를 시뮬레이션 및 실제 장비에 적용하여 야외 시험 및 대내외 시연을 통해 실제 운용 성능을 검증하였다.

## References

- [1] IEEE 802.16-2005: IEEE Standard for Local and Metropolitan Area Networks - Part 16: Air Interface for Fixed and Mobile Broadband Wireless Access Systems - Amendment 2: Physical Layer and Medium Access Control Layers for Combined Fixed and Mobile Operation in Licensed Bands, Feb. 2006.
- [2] S. S. Pietrobon, "Implementation and Performance of a Turbo/MAP Decoder," International Journal of Satellite Communications, Vol. 16, p. 2346, 1998.