

논문 2016-53-4-15

# Current Modulator를 이용하여 유효커패시턴스를 크게 하는 위상고정루프

( Increased Effective Capacitance with Current Modulator in PLL )

김 혜 진\*, 최 영 식\*

( Hye-Jin Kim and Young-Shig Choi<sup>®</sup> )

## 요 약

본 논문에서는 Current Modulator를 이용하여 루프 필터 커패시턴스 유효 용량을 배가 시켜 칩 크기를 줄일 수 있는 위상 고정루프를 제안하였다. 제안된 위상고정루프에서는 Current Modulator로 루프 필터의 커패시턴스 유효 용량을 배가 시켜 루프 필터 커패시터 크기를 1/10로 줄였다. 제안된 위상고정루프는 1.8V 0.18 $\mu$ m CMOS 공정을 이용하여 설계되었다. 시뮬레이션 결과는 기존 구조와 같은 잡음 특성과 위상고정 시간을 보여주었다.

## Abstract

A phase-locked loop(PLL) with effectively increased capacitance by current modulator has been proposed. In this paper, the effective capacitance of loop filter is increased by using current modulator and it results in 1/10 reduction of capacitance in loop filter. It has been designed with a 1.8V 0.18 $\mu$ m CMOS process. The simulation results show that the proposed PLL has the same phase noise characteristic and locking time of conventional PLL.

**Keywords** : Phase locked loop (PLL), Current modulator, Effective capacitance

## I. 서 론

휴대용 멀티미디어 기기의 발전에 따라 칩의 소형화가 요구 되고 있다. 넓은 면적을 차지하는 커패시터를 사용하는 아날로그-디지털 변환기(ADC), 디지털-아날로그 변환기(DAC), 위상고정루프(PLL)와 같은 회로에서 커패시터의 크기를 줄이는 것이 매우 중요하다. 그 중 PLL의 크기를 줄이기 위해서 매우 큰 면적을 차지하는 루프필터의 커패시터의 면적을 줄이는 것은 전체 칩 면적을 줄일 수 있고, 결과적으로 비용 절감에 매우 효과적이다.

하지만 칩에서 필요한 클럭 신호를 만들어내는 위상 고정루프가 안정된 동작과 좋은 잡음 특성을 가지기 위

해서는 큰 커패시턴스 용량을 필요로 하는 좁은 대역폭이 요구된다. 특히 넓은 주파수 대역폭과 크기가 작은 링 발진기를 사용하는 PLL은 좋은 잡음 특성을 위하여 좁은 대역폭이 필요하다. 그러므로 칩의 면적을 줄임과 동시에 안정성을 확보하기 위해서는 작은 크기의 커패시턴스 용량이 큰 커패시턴스 용량이 된 것처럼 동작하도록 하는 구조가 필요하다.

작은 크기의 커패시턴스 용량이 큰 커패시턴스 용량이 된 것처럼 동작하도록 하는 구조에 대한 연구가 활발하게 진행되고 있으며 다양한 구조들이 제안 되었다. 두 개의 루프와 능동 루프 필터를 사용하여 유효 커패시턴스 크기를 키워 작은 크기의 커패시턴스로 루프 필터를 만들어 위상고정루프를 하나의 칩으로 구현하였다<sup>[1~3]</sup>. 이 구조들은 전하펌프와 연산증폭기가 추가되어 잡음 특성에 영향을 준다. Sampled-feedforward 루프 필터 구조로 루프 필터를 만들어 작은 크기의 커패시터로 루프 필터를 구현하였다<sup>[4]</sup>. 이 구조에서는 기준 신호 한 주기마다 MOSFET로 만들어진 스위치를 통해 전하를

\* 정회원, 부경대학교 전자공학과  
(Dept of Electronics, Pukyong National University)

<sup>®</sup> Corresponding Author(E-mail: choiys@pknu.ac.kr)

Received : September 7, 2015 Revised : March 29, 2016

Accepted : April 1, 2016

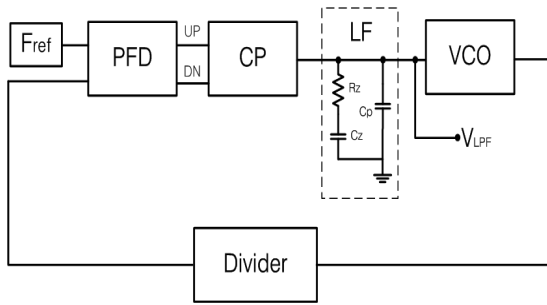


그림 1. 기본 PLL 구조  
Fig. 1. Architecture of conventional PLL.

전달해야 하므로 커패시터를 줄이면 기준 신호 스퍼가 커지게 된다. 전하 펌프의 전류 방향을 조절하여 유효 커패시턴스를 증가 시켜 루프 필터를 구현하였다<sup>[5]</sup>. 이 구조는 기존의 위상고정루프에 세 개의 전하펌프와 위상 고정 상태 표시기가 추가 되어야하므로 다소 복잡하다. Subtractive-type capacitor multiplier와 time-average capacitor multiplier를 이용하여 작은 커패시터를 가지고 마치 큰 값을 가지는 커패시터와 같이 동작하도록 구현하였다<sup>[6]</sup>. 또한 전류 원을 이용하여<sup>[6]</sup>과 같은 효과를 가지도록 구현하였다<sup>[7-8]</sup>. 이러한 구조들 또한 여러 개의 전류 원과 다른 구조들이 사용되므로 복잡하다.

본 논문에서는 Current Modulator를 사용하여 추가된 구조로 인해서 칩의 크기와 전력 소모가 거의 증가하지 않으면서 위상고정루프에서 루프필터의 커패시턴스 크기를 변화시켜 아주 작은 크기를 가지는 위상고정루프를 제안하였다. 제안된 위상고정루프는 current modulator를 사용하여 간단한 크기가 작은 구조를 이용하여 유효 커패시턴스 용량을 증가시켰다.

## II. 제안한 위상고정루프의 구조

### 1. Current Modulator를 이용한 PLL의 구조

일반적인 위상고정루프의 구조는 그림 1과 같이 위상 주파수 검출기(PFD : Phase Frequency Detector), 전하펌프(CP : Charge Pump), 루프 필터(LF : Loop Filter), 전압제어발진기(VCO : Voltage Controlled Oscillators), 분주기(Divider)로 구성된다. 위상고정루프가 안정한 동작하기 위해서는 충분한 위상 여유를 가져야한다. 이를 위해서는 그림 1의 루프필터에서  $C_z$ 의 크기가  $C_p$ 의 크기보다 10배 이상 되도록 하는 것이 일반적인 설계 방법이다.

그림 2는  $C_p$ 가 50pF이고,  $C_z$ 가 50pF, 500pF일 때의

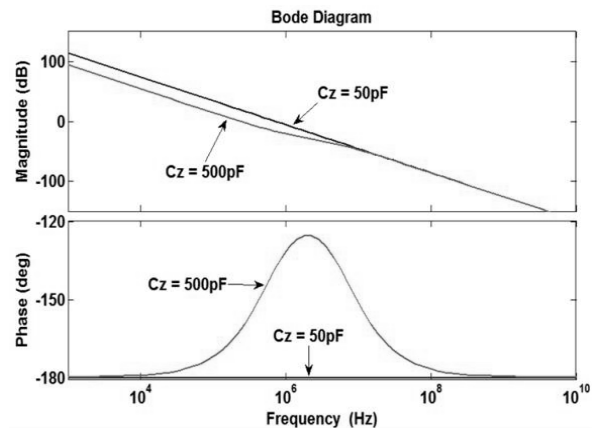


그림 2. 개루프 전달 특성과 위상여유  
Fig. 2. Open loop transfer function and Phase margin.

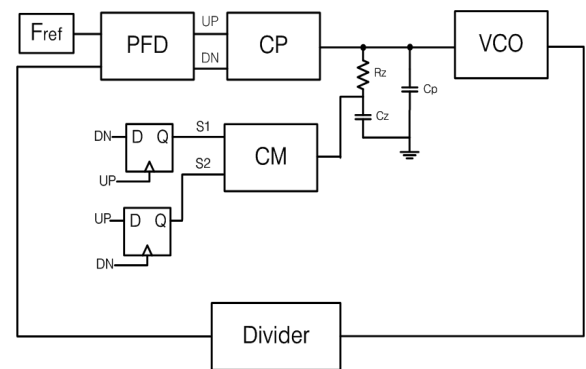


그림 3. 제안한 PLL의 구조  
Fig. 3. Architecture of proposed PLL.

개 루프 전달 특성과 위상여유이다. 이로써  $C_z$ 의 크기가  $C_p$ 의 크기보다 10배 이상 크게 할 때, 위상고정루프는 충분한 위상 여유를 가져 안정적인 동작을 하는 것을 알 수 있다.

그림 3의 제안한 위상고정루프는 루프 필터에서 가장 큰 값을 가지는  $C_z$ 의 크기를 줄여 집적화가 가능하도록 한 것이다. 제안된 위상고정루프는 기준신호와 분주기 신호의 위상차에 따라 전류를 공급하는 current modulator를 가진다.

기존의 2차 루프필터를 가진 위상고정루프는 그림 4(a)와 같이 UP 신호가 인가되면, 시간 상수가 작은  $C_p$ 로 대부분의 전류가 흐르게 된다. 따라서  $C_p$ 가 충전이 되어  $V_{LPF}$ 의 값은 높아진다. 그 후, 그림 4(b)와 같이  $C_p$ 에 충전되어 있던 전하가  $R_z$ 을 통해  $C_z$ 로 흐르게 되면서  $V_{LPF}$ 의 값의 낮아지게 된다. 그림 4(c)처럼  $C_p$ 에 충전된 전하량의 상당 부분이  $C_z$ 로 방전 되는 과정을 반복하면서  $V_{LPF}$ 의 변동 폭이 작아지게 되고, 이를 통해 위상고정루프의 안정적인 동작을 구현한다.

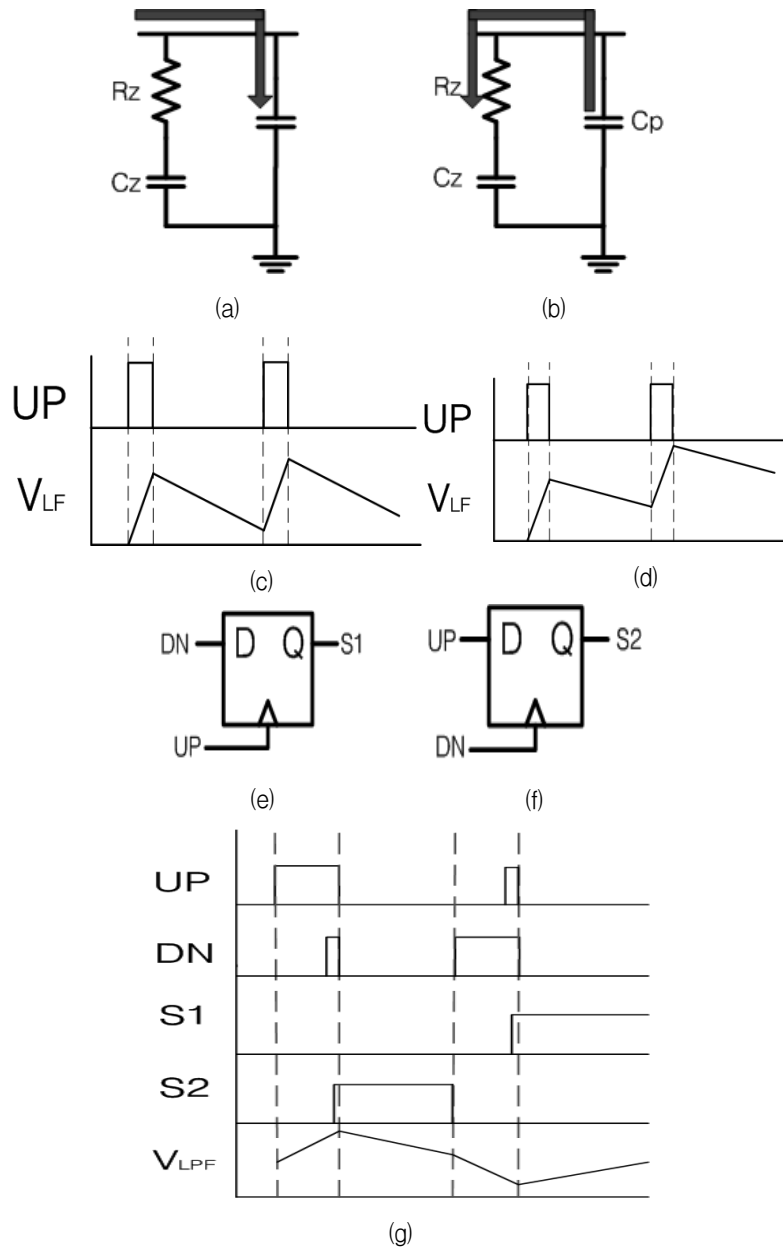


그림 4. 동작 개념 (a) UP 신호 발생 시 전류 흐름 (b) UP 신호 발생 소멸 후 전류 흐름 (c)  $C_z \gg C_p$  일 때 VLF 파형 (d)  $C_z = C_p$  일 때 VLF 파형 (e) S1 신호 생성기 (f) S2 신호 생성기 (g) 동작 파형  
 Fig. 4. Operating concept (a) Current flow at UP signal (b) Current flow after UP signal (c) Waveform of VLF when  $C_z \gg C_p$  (d) Waveform of VLF when  $C_z = C_p$  (e) S1 signal generator (f) S2 signal generator (g) Waveforms.

하지만  $C_z$ 와  $C_p$ 가 같은 값일 경우에는, 그림 4(d)와 같이  $C_p$ 에 있던 전하가  $C_z$ 로 많이 흐르지 않기 때문에,  $V_{LF}$ 의 변동 폭이 커지게 되고, 위상고정루프는 불안정한 동작을 하게 된다.

$C_z$ 와  $C_p$ 의 값이 같은 위상고정루프에 current modulator를 추가함으로써  $C_z$ 를 충·방전 시키는데 도움을 주는 역할을 한다. 따라서 크기는 작지만 안정적인 동작을 구현할 수 있다. Current modulator에는 S1, S2 신호가 입력으로 들어간다. 이는 PFD로부터 출력

된 UP, DN 신호를 그림 4(e), (f)의 D 플립-플롭으로 입력하여 출력해낸 신호이다.

Current modulator가 추가 된 위상고정루프는 그림 4(g)에 나타난 것과 같이 동작한다. UP 신호가 인가되면,  $V_{LF}$ 가 높아지게 된다. 그 후,  $C_p$ 에서  $C_z$ 로 전하가 흐르면서  $V_{LF}$ 가 낮아지는데, 이 때 S2 신호도 인가 되게 하여  $C_z$ 의 전하를 더 빠지게 해  $V_{LF}$ 가 더 낮아지게 한다. 이와 마찬가지로 DN 신호가 인가되면,  $V_{LF}$ 의 값이 줄게 된 후 충전된다. 그 후, S1 신호가 인가 되게

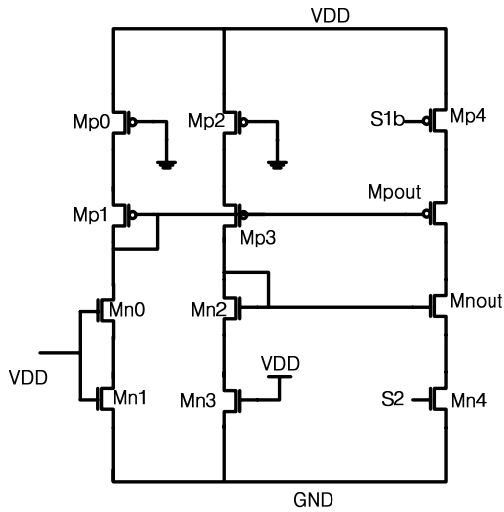


그림 5. 제안된 Current Modulator 회로  
Fig. 5. Proposed current modulator circuit.

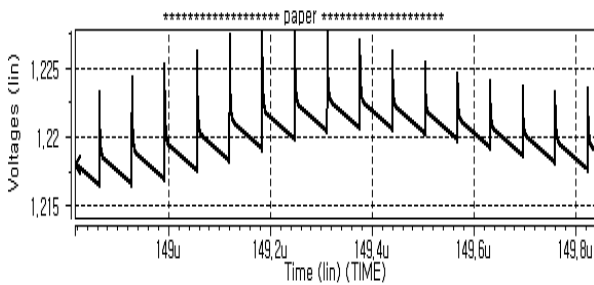


그림 6. Current Modulator의 전류가 클 경우  $V_{LF}$  파형  
Fig. 6. Waveform of  $V_{LF}$  when the current of current modulator is large.

하여,  $V_{LF}$ 의 값을 더 높여주어 위상고정루프가 안정적인 동작을 하게 한다.

제안한 구조는 차지 펌프와 Current modulator가 상보적 동작을 하며 안정적인 위상고정루프를 구현한다. Current modulator의 구조는 그림 5와 같다. 위상고정루프의 안정적인 동작을 위해서는 current modulator의 전류량이 매우 중요하다. Current modulator의 전류량이 클 경우, 그림 6의 후반부와 같이 UP 신호가 인가된 경우에도 S2로 인한 방전 전하량이 크기 때문에,  $V_{LF}$ 는 오히려 낮아지게 된다. 따라서 불안정적인 동작을 하게 된다. Current modulator의 전류량이 낮을 경우, 차지펌프와의 충분한 상보적 동작을 하지 못하기 때문에, 위상고정루프가 불안정해진다.

Current modulator의 적절한 전류량은, 불안정한 위상고정루프의  $\Delta\Delta V_{LF}$ 와  $\Delta\Delta\Delta V_{LF}$ 에서 도출할 수 있다. 그림 7의  $\Delta\Delta V_{LF}$ 는 기준 신호 한 주기 동안 발생하는 최대 루프 필터 출력 변동 폭이며,  $\Delta\Delta\Delta V_{LF}$

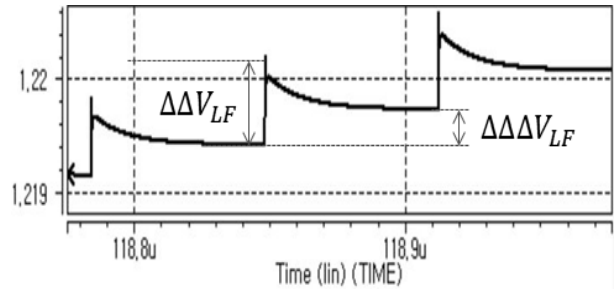


그림 7.  $\Delta\Delta V_{LF}$ 와  $\Delta\Delta\Delta V_{LF}$ 의 정의  
Fig. 7. Definition of  $\Delta\Delta V_{LF}$  and  $\Delta\Delta\Delta V_{LF}$ .

는 기준 신호 한 주기 동안 증가한 루프필터 출력전압이다. 따라서  $\Delta\Delta\Delta V_{LF}/\Delta\Delta V_{LF}$ 의 크기 값이 작을수록 루프필터 전압의 변동 폭이 작아지기 때문에, 위상고정루프는 안정하게 동작한다. Current modulator는 위상고정루프를 안정시키기 위해  $\Delta\Delta\Delta V_{LF}$ 의 크기를 줄여서  $\Delta\Delta\Delta V_{LF}/\Delta\Delta V_{LF}$ 의 크기 값을 작게 해주는 역할을 한다. 불안정하게 동작하는 위상고정루프 ( $C_z=C_p$ )에서  $V_{LF}$ 가 가장 위상 고정 전압에 가까울 때의  $\Delta\Delta\Delta V_{LF}$ 를 측정한다.

$$I_{cm} = \frac{C * V}{T}$$

위의 식을 이용하여, 근사 전류량을 구하여 시뮬레이션을 통하여 최적 값을 구한다. 이때, C는 루프필터의 커패시터  $C_z$  값이고, V는  $\Delta\Delta\Delta V_{LF}$ 이다. T는 current modulator가 전류를 충·방전 해주는 주기이다.

### III. 시뮬레이션 결과

제안한 구조의 위상고정루프는 0.18 $\mu$ m CMOS 공정을 사용하여 시뮬레이션 하였다. 15.625MHz의 입력주파수를 가지고 분주 비는 64이며, 출력 주파수는 1GHz이다. 제안된 위상고정루프의 시뮬레이션 변수 값은  $I_p=200\mu A$ ,  $C_p=50pF$ ,  $R_z=500\Omega$ ,  $C_z=50pF$ ,  $I_{cm}=100nA$ ,  $K_{vco}=330MHz/V$ 이다.

그림 8과 9에 표시된  $\Delta V_{LF}$ 는 위상고정루프가 위상 고정 후 루프 필터 출력 변동 폭을 나타낸다.  $\Delta V_{LF}$ 와  $\Delta\Delta V_{LF}$ 는 각각 위상 잡음 특성과 스퍼의 크기를 나타낸다. 두 개의 값이 작으면 작을수록 잡음 특성과 스퍼의 크기는 작아진다. 기준 신호 한 주기 동안 발생하는 위상 변동 폭이 작아져 위상고정루프가 안정하게 동작한다.

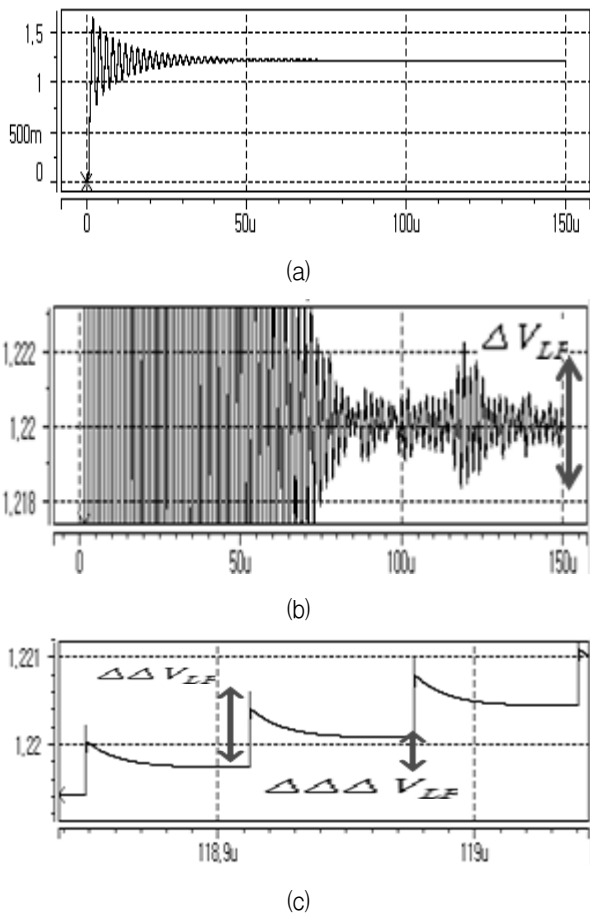


그림 8. 기본 PLL 일 때 (a) 위상고정 후  $V_{LF}$ 파형 (b) 위상고정 후 확대된 루프필터 출력 (c) 위상고정 후 더 확대된 루프필터 출력

Fig. 8. Conventional PLL (a)  $V_{LF}$  waveform after locking (b) Enlarged  $V_{LF}$  waveform after locking (c) More enlarged  $V_{LF}$  waveform after locking.

Current modulator가 추가 된 구조와 그렇지 않은 구조의  $V_{LF}$  파형을 살펴보면, 위상고정이 되기 전과 후로 나눌 수 있다. 위상고정이 되기 전에는 UP과 DN 신호의 길이가 길기 때문에 차지 펌프에 의한 영향이 크다. 즉 상대적으로 current modulator의 동작이 미미하다. 따라서 그림 8과 그림 9에서 볼 수 있는 것처럼 파형의 모양이 둘 다 불안하다. 위상고정이 된 후에는 UP과 DN 신호의 길이가 매우 짧기 때문에 차지 펌프에 의한 동작과 current modulator에 의한 동작이 균형을 이룬다. 따라서 current modulator가 없는 구조에서는 위상고정이 되지 않는 파형(발진 형태)을 가지고, current modulator가 있는 구조에서는 충분한 위상여유를 가지는 위상고정루프에서 나타나는 파형을 가진다.

기존의 구조와 Current modulator를 추가한 구조를

표 1. 기존의 위상고정루프와 제안한 위상고정루프의 시뮬레이션 결과

Table 1. Please put the title of table here. Please put the title of table here.

	$t_{lock}$	$\Delta V_{LF}$	$\Delta\Delta V_{LF}$	$\Delta\Delta\Delta V_{LF}$
Conventional PLL	90 $\mu$ s	3.85mV	859 $\mu$ V	345 $\mu$ V
Proposed PLL	70 $\mu$ s	1.81mV	521 $\mu$ V	106 $\mu$ V

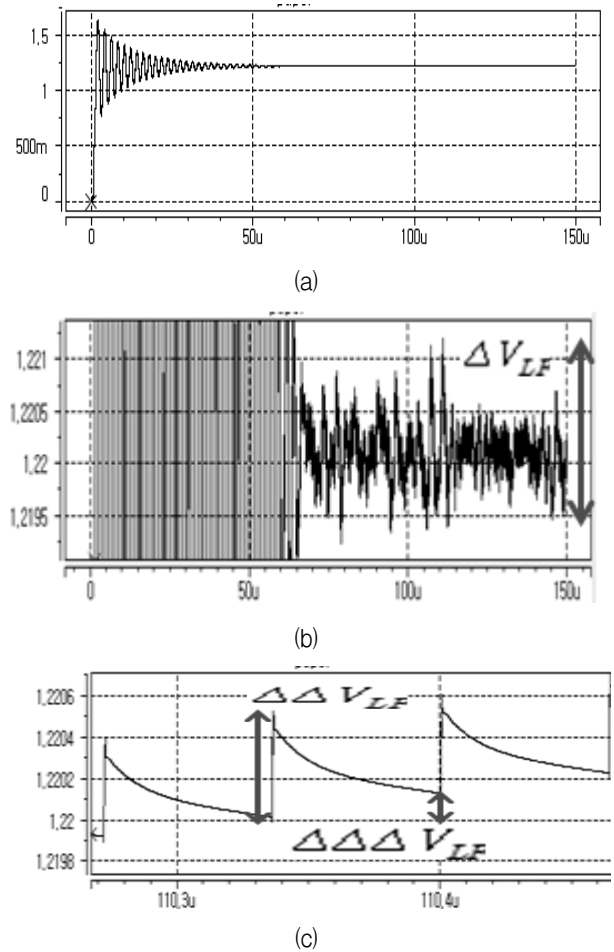


그림 9. 제안한 구조의 PLL 일 때 (a) 위상고정 후  $V_{LF}$ 파형 (b) 위상고정 후 확대된 루프필터 출력 (c) 위상고정 후 더 확대된 루프필터 출력

Fig. 9. Proposed PLL (a)  $V_{LF}$  waveform after locking (b) Enlarged  $V_{LF}$  waveform after locking (c) More enlarged  $V_{LF}$  waveform after locking.

비교하면, 위상고정이 되기까지의 시간은 90 $\mu$ s에서 70 $\mu$ s로 줄었다.  $\Delta V_{LF}$ 은 3.85mV에서 1.81mV로 1/2 이하로 줄었고,  $\Delta\Delta V_{LF}$ 는 859 $\mu$ V에서 521 $\mu$ V로 줄었다. 그리고  $\Delta\Delta\Delta V_{LF}$ 는 345 $\mu$ V에서 106 $\mu$ V으로 줄어 1/3 이하

로 줄었다. 그림 8(c)와 그림 9(c)에서 알 수 있듯이 current modulator가 있는 구조에서는  $\Delta\Delta\Delta V_{LF}/\Delta\Delta V_{LF}$ 의 크기 값이 감소한다. 따라서 current modulator를 추가함으로써 더 안정적으로 동작하는 위상고정루프를 구현한 것을 알 수 있다.

#### IV. 결 론

본 논문에서는 current modulator가 전하 펌프와 상호적인 동작을 하여 기존 위상고정루프의 루프 필터에서 가장 큰 면적을 차지하는 커패시터( $C_z$ )의 크기를 줄여 하나의 칩으로 구현할 수 있는 위상고정루프를 제안하였다. 기존 위상고정루프에서는  $C_z$ 의 크기가  $C_p$ 의 10배 이상이 되어야 안정한 동작을 하고 충분한 위상 여유를 가지지만 제안된 위상고정루프에서는  $C_z$ 의 크기를 줄여줄 수 있는 current modulator를 추가하여  $C_z$ 와  $C_p$ 의 크기가 같은 경우에도 안정한 동작을 할 수 있도록 하였다.

스퍼의 크기와 위상 잡음특성을 보여주는  $\Delta V_{LF}$ ,  $\Delta\Delta V_{LF}$ ,  $\Delta\Delta\Delta V_{LF}$  값들이 기존 위상고정루프에 비해 훨씬 안정적으로 동작하는 것을 시뮬레이션을 통해 검증하였다. 위상고정루프의 면적을 결정하는 루프 필터의 커패시터를 기존 것보다 1/10로 줄여 제안된 위상고정루프를 하나의 칩으로 구현 할 수 있도록 하였다.

#### REFERENCES

[1] J. Craninckx and M. Steyaert, "A fully integrated CMOS DCS-1800 frequency synthesizer," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2054-2065, Dec. 1998.

[2] Y. Koo, H. Huh, Y. Cho, J. Lee, J. Park, D. Jeong, and W. Kim, "A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and cellular-CDMA wireless systems," *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp. 536-542, May 2002.

[3] B. Catli, A. Nazemi, T. Ali, S. Fallahi, Y. Liu, J. Kim, M. Abdul-Latif, M. R. Ahmadi, H. Maarefi, A. Momtaz, and N. Kocaman, "A 2sub-200 fs RMS jitter capacator multiplier loop filter-based PLL in 28 nm CMOS for high-speed serial communication applications," in *CICC*, 2013, pp. 1-4.

[4] J. Kim, J. Kim, B. Lee, N. Kim, D. Jeong, and W. Kim, "A 20-GHz phase-locked loop for

40-Gb/s serializing transmitter in 0.13- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp. 899-908, Apr. 2006.

[5] Youn-Gui Song, Young-Shig Choi and Ji-Goo Ryu, "A phase locked loop with resistance and capacitance scaling scheme," *IEEK SD*, vol. 46, no. 4, pp. 37-44, April 2009.

[6] Pang-Jung Liu, Chih-Yao Hsu and Yi-Hsiang Chang, "Techniques of Dual-Path Error Amplifier and Capacitor Multiplier for On-Chip Compensation and Soft-Start Function," *IEEE Transactions on power electronics*, vol. 30, no. 3, pp. 1403-1410, March 2015.

[7] Salvatore Pennisi, "High accuracy CMOS capacitance multiplier," *Electronics, Circuits and Systems, 2002, 9th International Conference on*, vol. 1, pp. 389-392, 2002.

[8] Pengfei Liao, Ping Luo, Weizhong Chen, Bo Zhang, "Embedded Advanced Capacitor Multiplier Compensation for Two-stage Amplifier with Large Capacitive Loads," *Communications, Circuits and Systems (ICCCAS)*, vol. 2, pp. 362-365, November 2013.

#### 저 자 소 개



김혜진(정회원)  
2014년 부경대학교 전자공학과 학사 졸업.  
2014년 부경대학교 전자공학과 석사 입학.  
<주관심분야: PLL, DLL 설계>



최영식(정회원)-교신저자  
1982년 경북대학교 전자공학과 학사 졸업.  
1986년 Texas A&M University 전자공학과 석사 졸업.  
1993년 Arizona State University 박사 졸업.  
1987년~1999년 SK Hynix (구 현대전자)  
2003년~현재 부경대학교 전자공학과 교수  
<주관심분야: PLL, DLL, CDRC 설계>