

# 3상 부스트 컨버터의 제어기 최적 이득 설계 기법

박해찬<sup>1</sup>, 김일송<sup>†</sup>

## Optimal Gain Design Method of the 3 Phase Boost Converter

Hae-Chan Park<sup>1</sup> and Il-Song Kim<sup>†</sup>

### Abstract

The optimal gain design method of a three-phase boost converter is proposed in this study. The control system has a two-loop configuration, in which each controller is coupled closely; thus, the optimal design is difficult to achieve using conventional gain-tuning method. The proposed method is adopted to the MATLAB SISO TOOL software and is based on the controller requirements, which are phase margin and cut-off frequency of the open-loop system. The optimal proportional-integral gains can be designed easily using the proposed interactive method of the SISO TOOL. The performance of the proposed system is verified through simulation and experiments.

**Key words:** MATLAB SISO TOOL, Two-loop controller, PI control gain, 3 phase boost converter

### 1. 서 론

최근, 신재생 에너지와 분산전원의 활발한 보급에 따라 계통에 연계된 3상 부스트 컨버터의 사용이 늘고 있다. 주된 응용 분야로는 전력저장장치(ESS), V2G, 백투백(BTB) 시스템, 전기자동차용 급속 충전기 등을 대표적으로 들 수 있다.

3상 부스트 컨버터 설계는 오랫동안 연구되어 온 고전적인 분야이며 주로 모델링과 제어기 설계 방법들에 대해서 다루어져 왔다. 제어기 설계 방법들은 보데선도를 이용한 방법들에서 지능제어 기법들까지 광범위하게 연구되어 왔으나, 설계 방법이 복잡하고 체계적이지 못한 단점이 있었다. 또한 전류제어기나 전압제어기를 각각 독립적으로 설계함으로써 이중-구조로 연결된 시스템의 상호 연결(cross-coupling)로 인한 제어 이득 변동을 정확히 알아 낼 수 없는 단점이 있었다<sup>[1]</sup>. 본 논문에서는 이러한 문제점을 보완하기 위한 제어기 설계 방법을 MATLAB의 SISO TOOL을 이용하여 제시하였다.

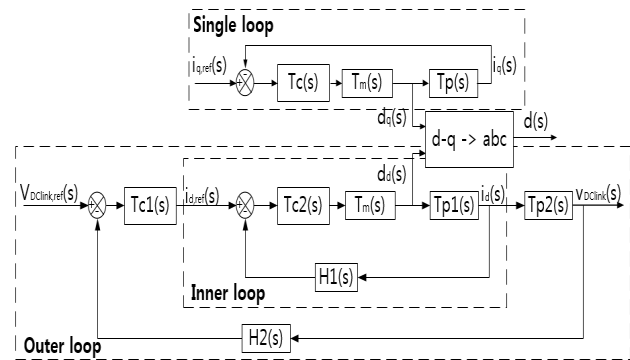


Fig. 1. Block diagram of 3-phase boost converter.

3상 부스트 컨버터의 제어기는 그림 1과 같이 직류전압을 제어하는 Outer loop와 3상 교류전류를 제어하는 Inner loop의 Two-loop 시스템으로 구성되며, 각각의 제어기는 일반적으로 PI제어기 구조를 가진다. 그런데 이들 제어기들은 서로 밀접하게 결합되어 있기 때문에 제어기의 설계 및 해석은 매우 난해하고 정확하게 해석적으로 구현하기가 용이하지 않다. 일반적으로 제어기를 설계할 때 전압제어기와 전류제어기를 각각 따로 설계한다. 따라서 차단주파수(cut-off frequency =  $f_c$ )가 높은 전류제어기를 먼저 설계한 후 전류제어기보다  $f_c$ 가 낮은 전압제어기를 설계하게 된다. 그리고 전압제어기는 Inner loop인 전류제어기의 이득을  $1/s$ (large signal에서는 1의 이득)로 보고 설계를 한다.

Paper number: TKPE-2017-22-1-1

Print ISSN: 1229-2214 Online ISSN: 2288-6281

<sup>†</sup> Corresponding author: iskim@ut.ac.kr, Dept. of Electrical Eng. Korea Nat'l Univ. of Transportation  
Tel: +82-43-841-5142 Fax: +82-43-841-5140

<sup>1</sup> Dept. of Electrical Eng., Korea Nat'l Univ. of Transportation  
Manuscript received Sep. 29, 2016; revised Nov. 9, 2016;  
accepted Nov. 11, 2016

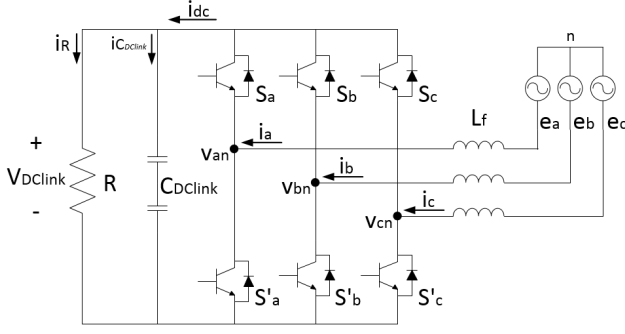


Fig. 2. Structure of 3-phase boost converter.

제어기를 설계할 때 연속시간 영역인 s-domain 상태에서 많은 계산과정을 거쳐 제어기를 설계를 하지만 실제로 사용할 때는 DSP와 같은 마이크로프로세서를 통해 제어하기 때문에 s-domain이 아닌 z-domain으로 변환하여 사용하게 된다. 이러한 변환은 많은 계산과정이 요구된다<sup>[2][3]</sup>.

본 논문에서는 Matlab SISO TOOL을 이용하여 z-domain으로 변환하는 계산과정을 단축시키고 쉽게 최적 이득을 얻을 수 있는 방법을 제시한다.

## 2. 3상 부스트 컨버터 소신호 모델

### 2.1 3상 부스트 컨버터 방정식

그림 2는 3상 부스트 컨버터 회로이다. 3상 부스트 컨버터가 3상 평형전원으로 구동될 때 계통 상전압의 위상각에 동기한 회전자표계에서 d-q로 표현된 전압방정식과 전류방정식은 아래와 같다<sup>[4]</sup>.

$$L_f \frac{di_d}{dt} = w L_f i_q + e_d - v_d \quad (1)$$

$$L_f \frac{di_q}{dt} = -w L_f i_d + e_q - v_q \quad (2)$$

$$C_{DClink} \frac{dv_{DClink}}{dt} = \frac{3(u_d i_d + u_q i_q)}{4v_{DClink}} - \frac{v_{DClink}}{R} \quad (3)$$

식 (1), (2), (3)에서  $w$ 는 계통 각주파수,  $L_f$ 는 인덕턴스,  $e_d, e_q$ 는 d-q축 계통 상전압,  $v_d, v_q$ 는 d-q축 제어 입력 전압,  $i_d, i_q$ 는 d-q축 계통 전류이고  $u_d, u_q$ 는 컨버터 스위칭 함수이며  $u_d, u_q$ 의 범위는 0에서 1이다.

전류의 cross coupling 항을 없애기 위해  $v_d, v_q$ 에 feedforward 보상을 해주면 식 (4)로 표현되고 식 (1), (2), (3)에 대입하여 식 (5), (6), (7)를 얻을 수 있다.

$$v_d = \frac{(u_d + (1-d_d))v_{DClink}}{2} = w L_f i_q + \frac{(1-d_d)v_{DClink}}{2}$$

$$v_q = \frac{(u_q + (1-d_q))v_{DClink}}{2} = -w L_f i_d + \frac{(1-d_q)v_{DClink}}{2} \quad (4)$$

$$L_f \frac{di_d}{dt} = e_d - \frac{(1-d_d)v_{DClink}}{2} \quad (5)$$

$$L_f \frac{di_q}{dt} = e_q - \frac{(1-d_q)v_{DClink}}{2} \quad (6)$$

$$C_{DClink} \frac{dv_{DClink}}{dt} = \frac{3(1-d_d)i_d}{4v_{DClink}} - \frac{v_{DClink}}{R} \quad (7)$$

입력전압과 출력전압 관계식과  $I_d$ 는 다음과 같이 표현된다.

$$V_{DClink} = \frac{2E_d}{1-D_d}, \quad I_d = \frac{8E_d}{3R(1-D_d)^2} \quad (8)$$

### 2.2 3상 부스트 컨버터 소신호 전달함수

3상 부스트 컨버터는 인덕터 전류를 단위역률로 제어하기 위한 전류제어기와 커패시터 전압을 제어하기 위한 전압제어기로 구성되어 있다. 즉 3상 부스트 컨버터로 동작 시에는 DClink 전압과  $L_f$  전류를 모두 제어해야 하는 Two-loop 시스템으로 동작한다.

3상 교류를 직류로 변환하는 3상 부스트 컨버터는 Outer loop에 전압제어기, Inner loop에 d-축 전류제어기로 구성된 Two-loop 시스템과 q-축 전류를 제어하기 위한 Single loop 전류제어기로 구성되어 있다(그림 1 참조).

소신호 모델을 구하기 위해 입력전압인 상전압  $e_{abc}$ 를  $e_{dq}$ 로 d-q변환하여  $e_d = E_d + \hat{e}_d$ 와  $e_q = E_q + \hat{e}_q$ 로 표시하였고 각 상의 듀티 또한 d-q변환을 통하여  $d_d = D_d + \hat{d}_d$ 와  $d_q = D_q + \hat{d}_q$ 로 표현된다. 그리고  $e_d = E_d + \hat{e}_d$ ,  $e_q = E_q + \hat{e}_q$ ,  $v_{DClink} = V_{DClink} + \hat{v}_{DClink}$ ,  $d_d = D_d + \hat{d}_d$ ,  $d_q = D_q + \hat{d}_q$ ,  $i_d = I_d + \hat{i}_d$ ,  $i_q = I_q + \hat{i}_q$ 를 각각 식 (5), (6), (7)에 대입하여 DC term과 higher order nonlinear term을 제거하면 다음과 같이 표현된다.

$$\begin{bmatrix} \frac{d\hat{v}_{DClink}}{dt} \\ \frac{d\hat{i}_d}{dt} \\ \frac{d\hat{i}_q}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{1}{RC_{DClink}} & \frac{3(1-D_d)}{4C_{DClink}} \\ -\frac{1-D_d}{2L_f} & -\frac{R}{L_f} \end{bmatrix} \begin{bmatrix} \hat{v}_{DClink} \\ \hat{i}_d \end{bmatrix} - \begin{bmatrix} \frac{2E_d}{RC_{DClink}(1-D_d)^2} \\ \frac{E_d}{L_f(1-D_d)} \end{bmatrix} \hat{d}_d + \begin{bmatrix} 0 \\ \frac{1}{L_f} \end{bmatrix} \hat{e}_d \quad (9)$$

$$\frac{d\hat{i}_q}{dt} = -\frac{R}{L_f} \hat{i}_q + \frac{V_{DClink}}{2L_f} \hat{d}_q + \frac{(1-D)}{L_f} \hat{v}_{DClink}$$

식 (9)을 라플라스 변환하면 3상 부스트 컨버터 d-축의 control-to-output, control-to-input current 그리고 current-to-output 전달함수를 구할 수 있다. control-to-output 전달함수;

$$\left| \frac{\hat{v}_{DClink}(s)}{\hat{d}_d(s)} \right|_{\hat{e}_d=0} = \frac{2E_d}{(1-D_d)^2} \frac{1 - \frac{8L_f}{3R(1-D_d)^2}s}{\frac{8L_f C_{DClink}}{3(1-D_d)^2}s^2 + \frac{8L_f}{3R(1-D_d)^2}s + 1} \quad (10)$$

control-to-input current 전달함수;

$$\left| \frac{\hat{i}_d(s)}{\hat{d}_d(s)} \right|_{\hat{e}_d=0} = \frac{16E_d}{(1-D_d)^3 R} \frac{1 + \frac{RC_{DClink}}{2}s}{\frac{8L_f C_{DClink}}{3(1-D_d)^2}s^2 + \frac{8L_f}{3R(1-D_d)^2}s + 1} \quad (11)$$

current-to-output 전달함수;

$$\left| \frac{\hat{v}_{DClink}(s)}{\hat{i}_d(s)} \right|_{\hat{e}_d=0} = \frac{3R(1-D_d)}{8} \frac{1 - \frac{8L_f}{3R(1-D_d)^2}s}{\frac{RC_{DClink}}{2}s + 1} \quad (12)$$

q-축 전달함수는 다음과 같이 계산된다.

$$\left| \frac{\hat{i}_q(s)}{\hat{d}_q(s)} \right|_{\hat{v}_{DClink}=0} = \frac{V_{DClink}}{L_f s - R} \quad (13)$$

### 3. MATLAB SISO TOOL을 이용한 설계 방법

SISO TOOL을 이용하면 위상여유(Phase Margin), 차단 주파수( $f_c$ , Cut off frequency), s-domain, z-domain에서 극점의 위치, 댐핑 계수(damping coefficient :  $\zeta$ ), 고유주파수(natural frequency :  $\omega_n$ ), 제어기 이득(gain), 제어기 출력 응답, 보드선도(Bode plot)등을 복잡한 계산 과정을 거치지 않고 그래픽으로 interactive하게 쉽게 확인할 수 있다.

본 논문에서 제어기의 설계 목적은 컨버터의 IGBT 과전압과 과전류로 인한 손상을 막기 위해 DClink 전압이 오버슈트가 없고  $i_d$ 는 25% 이하의 오버슈트를 가질 수 있도록 설계하였다.

d축, q축의 전압, 전류제어기는 일반적으로 많이 사용하는 PI 제어기를 사용하였고 아래와 같이 표현된다.

$$C = \frac{K_P(s + \frac{K_I}{K_P})}{s} \quad (14)$$

PI 제어기는 최대한의 위상으로 45 [deg]를 원하는 주파수에 더할 수 있기 때문에 위상여유를 크게 할 수 있다. 그래서 본 논문에서는 전류제어기의 위상여유 목표를 15 [deg] 크게 한 60 [deg]로 선정하였다. 그리고 전

TABLE I  
3-PHASE BOOST CONVERTER PARAMETER

Parameter	Value
$V_{grid}(L-L)$	380 [V]
<b>Reference DClink Voltage</b>	650 [V]
$L_f$	2.4 [mH]
$C_{DClink}$	2400 [uF]
<b>Switching frequency</b>	15.36 [kHz]
<b>R</b>	100 [ohm]
<b>Voltage Controller</b>	
<b>Cut-off frequency</b>	15 [rad/s]
<b>Phase Margin</b>	90 [deg]
<b>Current Controller</b>	
<b>Cut-off frequency</b>	2.48 [krad/s]
<b>Phase Margin</b>	60 [deg]

류제어기는 스위칭 한 주기(15.36 [kHz]) 동안에 한번 샘플링 동작하기 때문에  $fc$ 가 스위칭 주파수의 1/20인 4.825[krad/s]이하면 안정한 조건에 들어가기 때문에 전류제어기의  $fc$ 는 2.48 [krad/s]로 설정하였다. 전압제어기는 최대 전류제어기의  $fc$ 의 1/5 이하로 하면 Inner-loop 시스템과 Outer-loop 시스템 간에 간섭이 일어나지 않기 때문에 차이를 많이 크게 할수록 안정한 조건에 들 수 있다. 이러한 조건에 들기 위해 전압제어기의  $fc$ 는 496 [rad/s]이하인 15 [rad/s]로 설정하였고 위상여유는 오버슈트가 없게 설계하기 위해서 90 [deg]에 가깝게 설정하여 제어기를 설계하였다. 표 1은 SISO TOOL에 사용되는 파라미터 값들이다.

#### 3.1 d-축 Two-loop 시스템 제어기 설계

SISO TOOL은 3상 부스트 컨버터의 Two-loop 시스템을 설계할 때 매우 유용하게 사용할 수 있다. 기존에는 전류제어기와 전압제어기를 독립적으로 설계하였다. 즉 전류제어기의 이득 변화가 전압제어기에 영향을 미치지 않는다고 가정을 하여 이득을 선정하였다. 하지만 실제로는 두 시스템은 서로 closely couple 되어 있어서 전류제어기 응답특성이 전압 제어기를 선정한 후에 변화가 생기게 된다. 이런 단점을 없애기 위해서는 각 제어기의 응답을 계속해서 관찰하면서 반복적으로 이득 조정을 해야 하는 단점이 존재하였다. SISO TOOL은 이런 단점을 극복할 수 있는 쉬운 설계 방식을 제공해 줄 수 있다.

그림 3은 MATLAB SISO TOOL에서 설계한 제어기에 맞게 선택할 수 있는 제어기 다이어그램이다. 본 논문에서 설계한 Single-loop 시스템, Two-loop 시스템과 같은 ①과 ②으로 선택한다. F는 제어기 기준치 값, C는 제어기, G는 전달함수이고 H는 센서 이득이다.

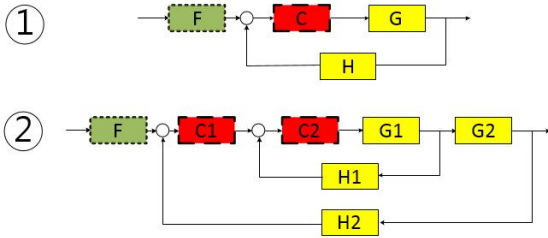


Fig. 3. Select control architecture.

d축 제어기는 Two-loop 시스템이기에 그림 3의 ②와 같이 설계한다. F는 기준치 전압인 650, H1과 H2는 1, C1과 C2는 식 (14)와 같고, G1은 d축 제어기의 control-to-input current 전달함수와 Pulse-Width Modulator 이득( $1/V_{DClink}$ )의 곱이고 G2는 d-축 제어기의 current-to-output 전달함수가 된다.

MATLAB SISO TOOL은 Sample Time Conversion의 기능을 통해 s-domain뿐만 아니라 z-domain에서도 제어기 설계가 가능하다. 위의 과정을 통한 3상 부스트 컨버터의 GUI 화면을 보면서 설계된 내용들이 그림 4와 그림 5에 나타나 있다.

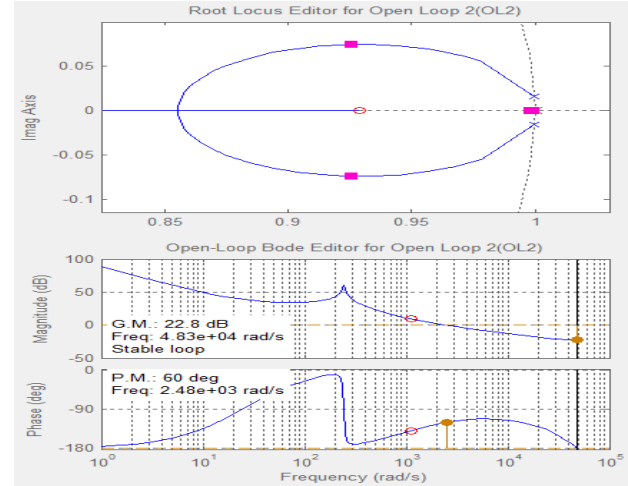
d-축 전류제어기의 Root-locus를 보면 개루프 극점이  $1, 0.9257 \pm j0.0738$ 에 존재하고 0.9291에 영점이 존재함을 알 수 있다 (그림 4 (a)). 극점의 모든 제곱들이 단위 원 안에 존재하기 때문에 항상 안정(stable)함을 알 수 있다. 전류제어기가 다음의 이득을 가질 때 보드선도로 부터 표 1의 설계사항과 같이 차단주파수  $f_c = 2.48$  [krad/s], 위상여유 = 60 [deg] 로 설계 목표를 만족함을 알 수 있다. 식 (15)는 식 (14)를 z-변환하고 게인 값을 얻어 표현된 식이다. 본 논문에서는 모두 z-변환을 통해 계인을 얻기 때문에 모든 계인은 식 (15)와 같이 z-domain으로 표현된다.

$$T_{C2} = \frac{11.129(z - 0.92752)}{z - 1} \quad (15)$$

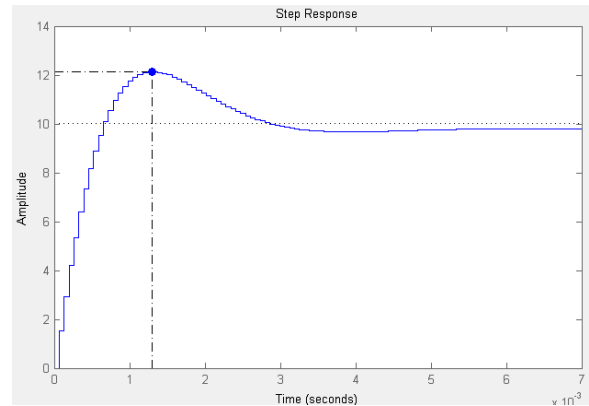
d-축 전류제어기의 폐루프 방정식은 다음과 같이 계산된다.

$$T_{i_{closed}}(s) = \frac{T_{C2}(s) * T_{P1}(s) * T_m(s)}{1 + T_{C2}(s) * T_{P1}(s) * T_m(s) * H_1(s)} \quad (16)$$

폐루프 극점은 0.9993,  $0.927 \pm j0.071$ 에 위치한 3차 시스템으로 세 개의 극점이 근접하여 3개의 지배극점을 형성하므로 일반적으로 계산되는 2차 시스템의 응답특성을 계산하기는 어렵고 시뮬레이션을 이용한 step응답 특성으로 그 특성을 확인할 수 있다. 그림 4 (b)에 d-축 전류제어기의 단위 응답특성이 나타나 있다. 안정시간은 2.8 [ms]정도이고, 스텝응답 특성은 기준 입력 10A를 주었을 때 21.3%의 오버슈트를 보여주고 있다. 이것은 0.9257에 위치한 극점이 응답속도를 증가시켜 오버슈트



(a) Root Locus and Open loop Bode of current controller



(b) Step Response current controller

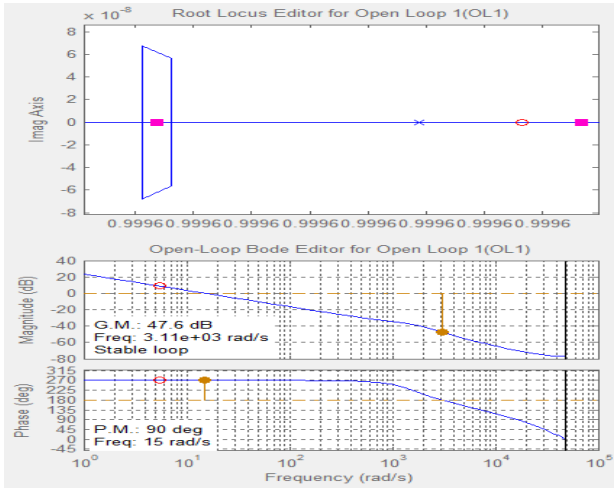
Fig. 4. The characteristics of current controller(d-axis)

를 증가시킨 것으로 해석할 수 있다. 정상상태에서 9.8 [A]인 이유는 식(4)의 입력 feed-forward 항인  $wL\hat{i}_q$ 이 PI 제어 출력에 더해지지 않았기 때문이다. 그림 3에서 알 수 있듯이 전향성분을 고려한 제어구조는 아직까지는 SISO TOOL에서 수행이 가능하지 않다. 하지만 소신호 해석에서는 정상 상태 성분은 고려하지 않기 때문에 feed-forward 항으로 인한 PI 제어기의 이득 차이는 없다.

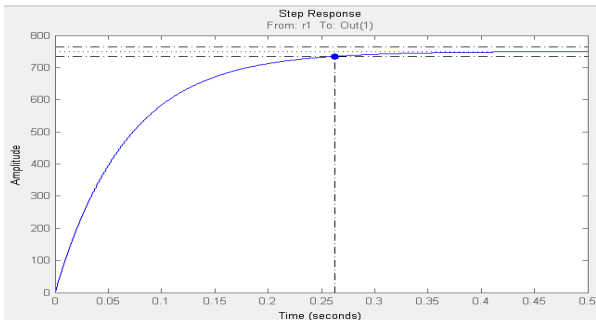
전압제어기는 설계목표가 오버슈트가 없는 응답을 갖기 위해서 표 1을 참고하여 차단주파수  $f_c = 15$  [rad/s]과 위상여유 90 [deg]로 선정하였다. 이 시스템은 영점이 단위 원 외부에 존재하는 non-minimum 시스템이기 때문에 안정하기 위한 제어기 이득에 제한이 가해지게 된다.

그림 5 (a)에 PI 제어기를 이용한 전압 제어기 root-locus와 보데선도가 나타나 있다. 설계목표를 만족하도록 선정된 전압제어기 이득은 다음과 같다.

$$T_{C1} = \frac{0.068731(z - 0.99964)}{z - 1} \quad (17)$$



(a) Root Locus and Open loop Bode of voltage controller



(b) Step Response voltage controller

Fig. 5. The characteristics of voltage controller.

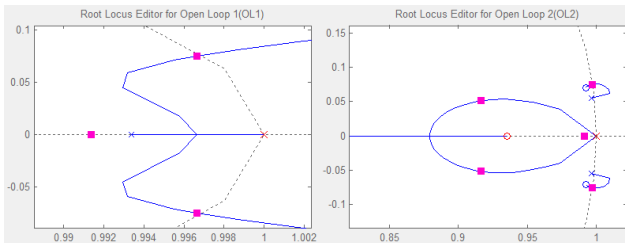


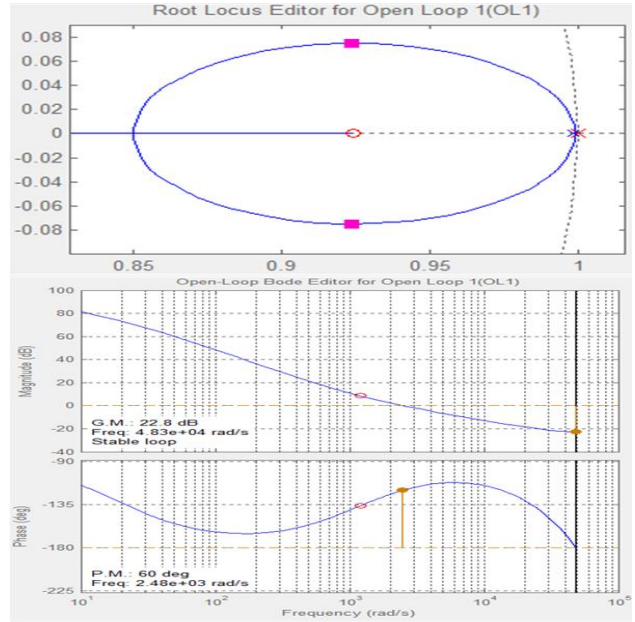
Fig. 6. Voltage controller stable region.

그림 5 (b)를 보면 오버슈트가 없는 것과 안정시간이 0.262 [s]임을 확인할 수 있다. 전압제어기의 폐루프 전달함수는 다음과 같이 계산된다.

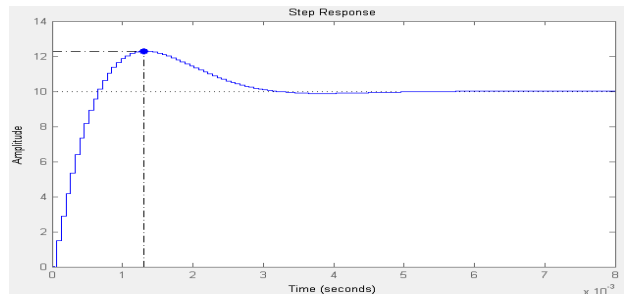
$$T_{vi\_dosed}(s) = \frac{T_{C1}(s) * T_{P2}(s) * T_{i\_dosed}(s)}{1 + T_{C1}(s) * T_{P2}(s) * T_{i\_dosed}(s) * H_2(s)} \quad (18)$$

전류제어기의 이득을 1로 단순화시켜 계산하면 폐루프 전달함수 극점은 0.9986에 존재하고 영점이 1.37에 존재하는 non-minimum phase system이 된다. 따라서 step 응답은 지수 함수적으로 증가하는 형태로 오버슈트가 없는 시스템이 된다.

전압제어기가 안정하기 위한 조건은 그림 6에 보인



(a) Root Locus and Open loop Bode of q axis Current controller



(b) Step Response current controller

Fig. 7. The characteristics of q axis current controller.

것처럼 극점의 이동이 단위원에 근접할 때이며 이 경우 위상여유가 0이 된다. 따라서 안정하기 위한 제어기의 최대 이득은 11.3이 됨을 알 수 있다.

### 3.2 q-축 Single-loop 시스템 제어기 설계

소신호 모델로 변환한 q-축의 제어기 루프는 그림 1에서 보이는 것과 같이 Single-loop 시스템으로 구성되며 시스템 전달함수는 식 (13)으로 표현된다.

q-축 전류제어기의 Root-locus를 보면 개루프 극점이 1, 0.924 ± j0.0748에 존재하고 0.9134에 영점이 존재함을 알 수 있다 (그림 7 (a)). 극점의 모든 궤적들이 단위 원 안에 존재하기 때문에 항상 안정(stable)함을 알 수 있다. q-축 전류제어기는 d-축 전류제어기와 동일하게 PI로 구성되며 제어기 이득은 Single-loop SISO TOOL로부터 계산된다. 응답 특성은 d-축과 유사하게 25%이하의 오버슈트를 갖도록 설계하였다. 이 경우 주파수응답 특성은 차단주파수 2.48 [krad/s], 위상 여유 60 [deg]를 갖는다. 설계된 PI 제어기의 이득은 다음과 같다.



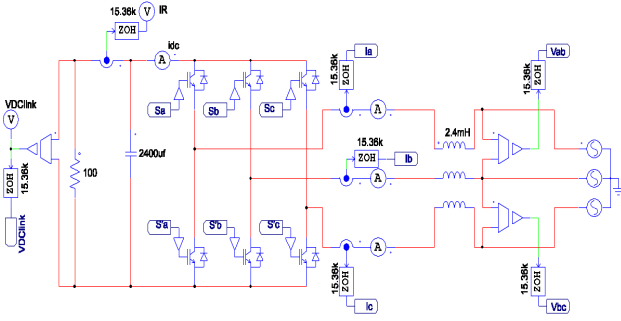


Fig. 8. PSIM structure of 3-phase boost converter.

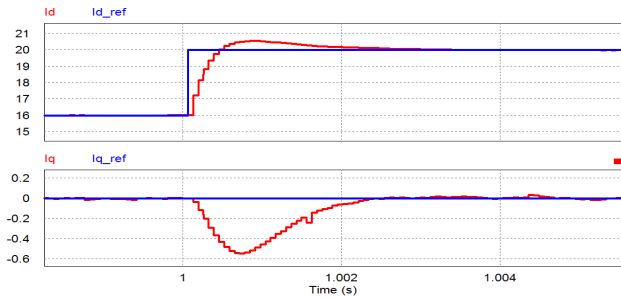


Fig. 9. Id and Iq waveform by current control.

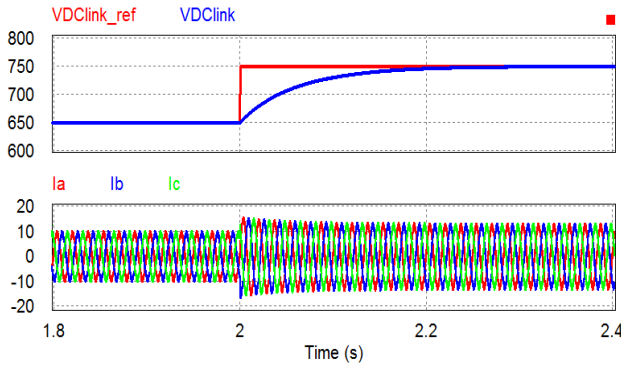


Fig. 10. DcLink voltage and 3-phase inductor current by voltage control.

$$T_C = \frac{11.121(z - 0.92455)}{z - 1} \quad (19)$$

q-축 전류제어 시스템의 단위계단 응답 특성은 그림 7과 같이 22.9%의 오버슈트와 2.7 [ms]의 안정시간을 가지는 것을 알 수 있다.

#### 4. 시뮬레이션

표 1의 파라미터들을 이용하여 PSIM으로 시뮬레이션을 수행하였다(그림 8).

그림 9는 Single-loop인 전류 제어기만을 사용하여  $i_d$ 의 기준치 값을 16 [A]에서 20 [A]으로  $i_d$ 의 기준치 값은 0 [A]로 제어했을 때의 파형이다. 제어기 이득은 식

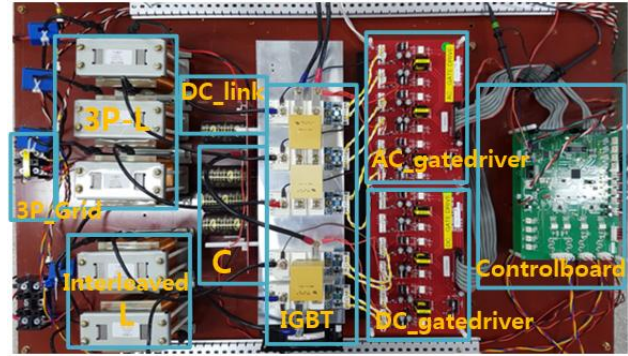
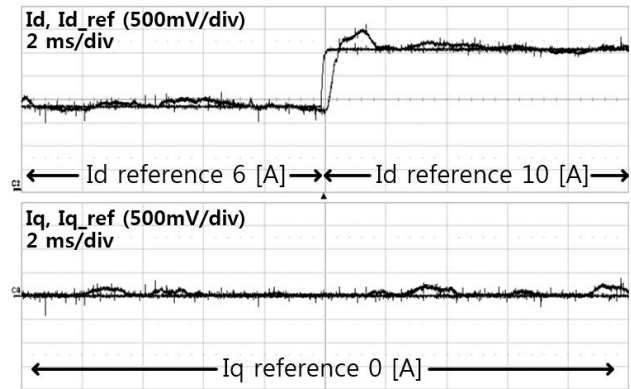
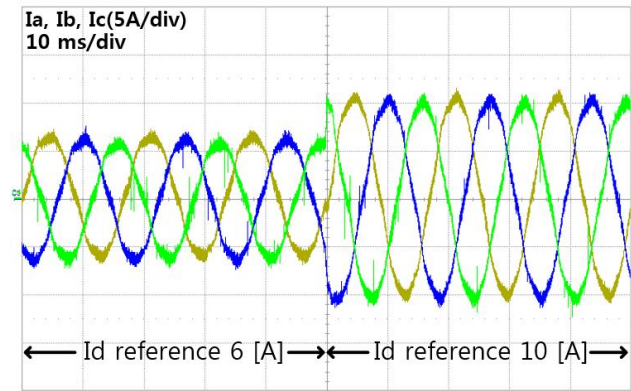


Fig. 11. Experiment board.



(a)



(b)

Fig. 12. Current waveform.

(15)과 (19)을 사용했다. 설계한 오버슈트가 25%이하와 안정시간 2 [ms]와 유사하게 전류파형이 나오는 것을 확인할 수 있다.

그림 11은 Two-loop 제어기를 사용한 시뮬레이션 파형이다. 기준치 전압을 650 [V]에서 750[V]로 전압을 상승시켰을 때 전압이 오버슈트가 없고 안정시간이 0.18 [s]임을 확인할 수 있다. 전압제어기 이득은 식 (17)을 사용했고 전류제어기 d-축 이득은 식 (15), q-축 이득은 식 (19)을 사용하여 실험했다.

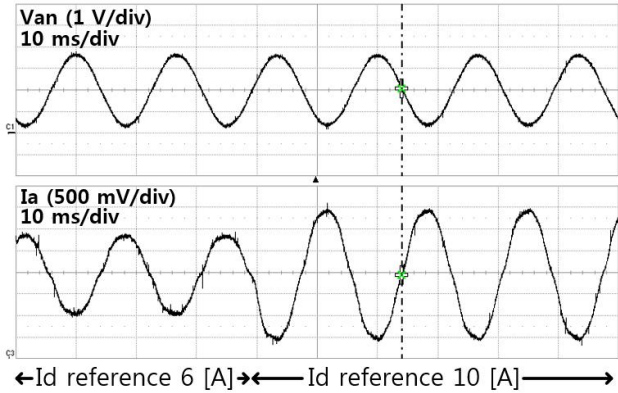


Fig. 13. Control performance for unit power factor.

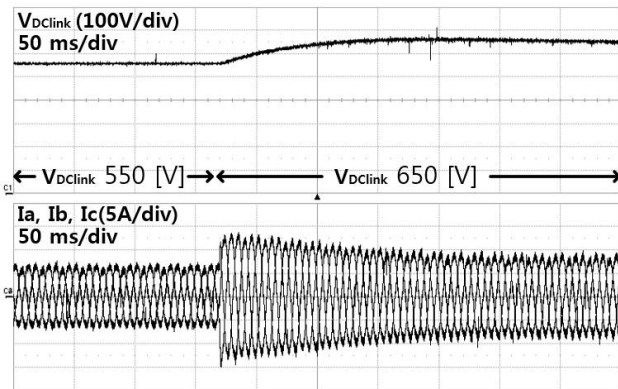


Fig. 14. Voltage waveform of DCLink and inductor current waveform.

### 5. 실험

제안한 제어기 설계기법을 적용한 제어기의 성능을 입증하기 위해 그림 10와 같이 3상 부스트 컨버터를 제작하여 실험을 수행하였다. 회로 상수인 인덕턴스와 DCLink 커패시터 값은 표 1과 같고 제어기는 320F28069 DSP를 사용하여 제어기 보드를 구성하였다.

제어기 이득은 식 (15)과 (19)을 사용하고 시뮬레이션과 동일하게 d-축 전류와 d-축 기준치 전류, q-축 전류와 q-축 기준치 전류를 비교하였다. 그림 12에 d-축 기준치 전류를 6 [A]에서 10 [A]로 증가시켰을 때, d-축, q-축 전류의 변화를 나타내었다. d-축, q-축 전류는 측정된 전류를 DSP에서 d-q 변환하여 12-bit DAC(Digital to Analog Conversion)로 출력한 값이다.

그림 12 (a)에서 d-축 기준치 전류가 6 [A]에서 10 [A]로 증가할 때 d-축 전류가 under damping으로 1.7 [ms]의 안정시간을 가지면서 d-축 기준치 전류 값을 따라가는 것을 확인할 수 있다. (b)는 인덕터 전류를 측정 한 파형이다.

기준 전류 변동에 따른 단위 역률 제어 성능을 알아보기 위해 그림 13에 상전압(Van)과 상전류(Ia)를 표시하였다. 상전압은 선간 전압을 계산하여 변환된 값을

DAC로 출력하였고, 상전류도 DAC로 출력한 값을 표시하였다. 그림에서 보면 전류변동에 상관없이 단위 역률을 제어되고 있음을 알 수 있다.

전압제어기 성능실험 결과를 그림 14에 나타내었다. 전압, 전류 제어기 이득은 각각 식 (15), (17), (19)을 사용하였다.

그림 14에 전압 기준치를 550 [V]에서 650 [V]로 승압하였을 때 DCLink전압과 3상 전류파형을 나타내었다. DCLink 전압의 안정시간은 0.12 [s]이고 오버슈트 없이 기준치전압에 도달하는 것을 확인하였다. PSIM 시뮬레이션인 그림 10과 매우 유사하며 설계조건을 만족시키는 것을 알 수 있다.

### 6. 결론

일반적으로 Two-loop 시스템으로 구성된 제어기는 Outer loop와 Inner loop를 각각 설계하여 이득을 얻는다. 하지만 본 논문에서는 3상 부스트 컨버터를 s-domain으로 모델링한 후 z-domain으로 변환하여 Matlab SISO TOOL을 통해 위상여유와  $f_c$ 를 설정하여 Two-loop 시스템의 Outer loop와 Inner loop의 이득을 쉽고 동시에 얻을 수 있는 제어기 이득 설계기법을 제안하였다. 이 제어기 이득은 PSIM 시뮬레이션과 실험을 통해 성능을 입증하였고 Two-loop 시스템인 제어기를 구성하는 다른 여러 토폴로지에서 제어기를 설계하는데 있어서 많은 도움이 될 것으로 기대된다.

본 논문은 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 연구한 기초연구과제 성과입니다.  
(2014R1A1A2056443)

### References

- [1] J. S. Kim, "Design of filter and controller for UPS inverter", Ph.D. Thesis, Chungbuk National University, 2001.
- [2] S. C. Kim, H. C. Kim, J. H. Choi, and G. B. Chung, "CRA based robust controller design for PWM converter," *The Transactions of the Korean Institute of Power Electronics*, Vol. 12, No. 2, pp. 183-190, Apr. 2007.
- [3] H. C. Park and I. S. Kim, "Bi-directional buck-boost converter controller design method for ESS using matlab SISO TOOL," *The Transactions of the Korean Institute of Power Electronics*, Vol. 21, No. 6, pp. 457-464, Dec. 2016.
- [4] J. W. Choi and S. K. Sul, "New current control concept-minimum time current control in the

three-phase PWM converter,” *IEEE Transactions on Power Electronics*, Vol. 12, issue. 1, pp. 124-131, Jan. 1997.

- [5] Y. Bo, “High performance control of a three-phase PWM rectifier,” *For the Degree of Doctor of Philosophy Department of National University of Singapore*, 2008.
- [6] G. Esfandiari, H. Aran, and M. Ebrahimi, “Comprehensive design of a 100 kW/400 V high performance AC-DC converter,” *Power Engineering and Electrical Engineering*, Vol. 13, No. 5, pp. 417-429, Dec. 2015.
- [7] D. Boroyevich, “Modeling and control of three-phase PWM converters,” *The 2<sup>nd</sup> IEEE International Power and Energy Conference*, 30 Nov. 2008.
- [8] D. K. Ku, J. K. Ji, G. S. Cha, and J. H. Moon, “Design of robust voltage controller for single-phase UPS inverter,” *The Transactions of the Korean Institute of Power Electronics*, Vol. 16, No. 4, pp. 317-325, Aug. 2011.
- [9] C. H. Kwak and G. H. Choe, “Design of single loop output voltage controller for 3 phase PWM inverter,” *The Transactions of the Korean Institute of Power Electronics*, Vol. 8, No. 6, pp. 561-568, Dec. 2003.



### **박해찬(朴海 燦)**

1990년 7월 23일생. 2015년 한국교통대 전기공학과 졸업. 2017년 동 대학원 전기공학과 졸업(석사). 2017년 ~ 현재 (주)그린파워 연구원.



### **김일송(金一松)**

1968년 7월 3일생. 1991년 연세대 공대 전자공학과 졸업. 1994년 한국과학기술원 전기 및 전자공학과 졸업(석사). 2005년 동 대학원 졸업(공학). 1994년 ~ 1999년 현대전자 위성사업단. 2005년 ~ 2007년 LG화학 배터리 연구소 책임연구원. 2007년 3월 ~ 현재 한국교통대 전기공학과 정교수. 2013년 North Carolina State University, FREEDM Center 방문교수.