JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 21, No. 4 : 767~773 Apr. 2017

HEVC 부호기를 위한 효율적인 화면내 예측 Angular 모드 결정 하드웨어 설계

박승용 · 최주용 · 류광기*

A Hardware Design of Effective Intra Prediction Angular Mode Decision for HEVC Encoder

Seungyong Park · Juyong Choi · Kwangki Ryoo*

Department of Information Communication Engineering, Hanbat National University, Daejeon 34158, Korea

요 약

본 논문에서는 HEVC 부호기를 위한 효율적인 Intra Prediction Angular 모드 결정 하드웨어 설계를 제안한다. HEVC의 Intra Prediction은 현재 블록 주변의 재구성된 샘플들을 참조하여 현재 블록을 예측하는 방법이다. Intra Prediction에서는 1개의 DC 모드, 1개의 Planar 모드, 33개의 Angular 모드로 총 35개의 모드를 지원한다. HEVC의 Intra Prediction은 35개의 모드 중에서 최적의 모드를 결정한 후 예측하여 부호화 성능을 향상 시킨다. 그러나 35가지의 모드를 모두 처리하기 위해서는 많은 연산 복잡도와 처리시간이 요구된다. 그러므로 본 논문에서는 원본 영상 픽셀의 차이 값을 비교하여 Angular 모드를 효율적으로 결정하는 알고리즘을 적용한 하드웨어 설계를 제안하였다. 또한 효율적인 알고리즘의 사용을 통해 하드웨어 면적을 감소시켰다. 제안된 하드웨어 구조는 Verilog HDL로 설계하였으며, 65nm 공정으로 합성하였다. 합성 결과 14.9K개의 게이트로 구현되었고, 최대 동작 주파수는 2GHz이다.

ABSTRACT

In this paper, we propose a design of Intra prediction angular mode decision for HEVC encoder. Intra prediction coding of HEVC is a method for predicting a current block by referring to samples reconstructed around a current block. Intra prediction supports a total of 35 modes with 1 DC mode, 1 Planar mode, and 33 Angular modes. Intra prediction coding of HEVC works by performing all 35 modes for efficient encoding. However, in order to process all of the 35 modes, the computational complexity and operational time required are high. Therefore, this paper proposes comparing the difference in the value of the original pixel, using an algorithm that determines angular mode efficiently. This new algorithm reduces the Hardware size. The hardware which is proposed was designed using Verilog HDL and was implemented in 65nm technology. Its gate count is 14.9K and operating speed is 2GHz.

키워드 : HEVC, 화면내 예측, 하드웨어 설계, Angular 모드

Key word : HEVC, Intra prediction, Hardware design, Angular mode

Received 16 January 2017, **Revised** 01 February 2017, **Accepted** 11 February 2017

* **Corresponding Author** Kwangki Ryoo(E-mail:kkryoo@gmail.com, Tel:+82-42-821-1710)
Department of Information Communication Engineering, Hanbat National University, Daejeon 34158, Korea

Open Access https://doi.org/10.6109/jkiice.2017.21.4.767 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/ by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

최근 UHD(Ultra High Definition) 급의 초고해상도 영상을 지원하는 다양한 영상기기들의 발전으로 인해 사용자의 고해상도 영상에 대한 관심과 수요가 증가하였다. 이러한 이유로 UHD급 영상과 같은 고해상도 영상을 지원하기 위해 새로운 비디오 압축 기술 표준의 개발이 필요하게 되었다. HEVC(High Efficiency Video Coding)는 ISO/IEC의 MPEC과 ITU-T의 VCEG가 2010년 1월에 공동으로 JCT-VC를 결성하여 개발한 새로운 차세대 비디오 압축 표준이다. 기존의 비디오 압축 표준인 H.264/AVC와 비교해 부호화 효율이 두 배 이상 향상을 목표로 비디오 코덱 전반에 걸쳐 새로운 부호화 기술들이 제안되었다[1,2]. HEVC의 화면내 예측은 64×64 블록 크기부터 4×4 블록 크기의 PU에 대한 예측을 수행하여 현재 프레임과 가장 유사한 예측 프레임을 생성하며 총 35개의 예측 모드를 갖는다. 화면내 예측 모드는 1개의 DC 모드, 1개의 Planar 모드, 33개의 Angular 모드로 구성되어 있으며 35개의 모드 중에서 최적의 모드를 결정한 후 예측하여 부호화 성능을 향상시킨다. 하지만 35가지의 모드를 모두 처리하기 위해서는 많은 연산 복잡도와 처리시간을 요구 한다[3]. 본 논문에서는 연산 복잡도와 처리시간을 감소시키기 위해 원본 픽셀 데이터의 차이와 위치를 이용해 방향성을 선정하고 33가지의 Angular 모드 중 가로 방향과 세로방향에 대해 각각 1개의 모드를 효율적으로 선택하는 알고리즘을 이용한 하드웨어 설계를 하였다.

본 논문의 구성은 다음과 같다. 2장에서는 HEVC의 화면내 예측 기술에 대해 기술하고, 3장에서는 제안하는 효율적인 Angular 모드 선택 알고리즘에 대해 기술한다. 4장에서는 효율적인 Angular 모드 결정 알고리즘을 이용한 하드웨어 구조에 대해 설명 하고 5장에서는 제안한 하드웨어의 성능 비교를 기술한다. 마지막으로 6장에서는 결론을 도출한다.

Ⅱ. HEVC 화면내 예측

HEVC의 화면내 예측은 현재 블록의 주변에 이미 재구성된 샘플들을 참조하여 현재 블록을 예측하는 방법이며 공간적 참조만을 이용해 공간적 중복을 제거하는 기술이다. HEVC의 전체 블록도는 그림 1과 같으며 화면내 예측 후 변환 및 양자화를 통해 영상이 처리되는 원리이다. 화면내 예측 순서는 참조샘플 준비, 화면내 예측 영상 생성, 예측 모드 부호화 순으로 진행된다. 참조샘플 준비 단계에서는 참조 샘플 패딩과 참조 샘플 필터링이 포함되어 있다.

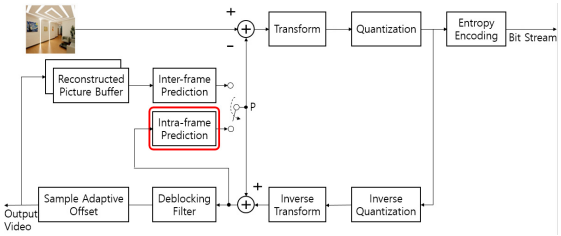

Fig. 1 Block diagram of HEVC encoder block diagram

먼저 화면내 예측에서는 주변의 이미 재구성된 샘플들을 사용하여 예측을 수행하는데 이러한 샘플을 참조샘플이라고 한다. 모드에 따라 참조 샘플을 패딩 및 필터링을 진행하고 화면내 예측을 수행하게 된다. 참조샘플 패딩이란 참조 샘플들이 존재하지 않는 경우에 대해 패딩을 수행하여, 참조 샘플을 준비하는 단계이고 필터링은 강한 필터링과 약한 필터링이 있다. 그 후 원본 영상과 예측 영상의 차분신호에 대해 변환 및 양자화를 진행하고 블록 재구성 및 율-왜곡 비용을 측정해 최적의 모드를 선정하게 된다.

기존의 표준인 H.264/AVC는 4x4부터 16x16의 크기의 화면내 부호화 예측 블록에서 총 9개의 예측 모드를 지원하는 반면 HEVC에서는 4×4부터 64×64의 크기의 화면내 부호화 예측 블록에서 총 35개의 예측 모드를 지원한다. 그렇기 때문에 HEVC는 H.264/AVC 보다 높은 화면내 예측 성능을 가진다[4-6]. 하지만 최적의 예측 모드를 선정하기 위해서 모든 예측 모드에 대한 율-왜곡 비용을 계산해야하기 때문에 높은 연산량과 연산시간을 갖는다[7]. 화면내 예측에서 모드 0은 참조 픽셀의 값과 위치를 이용하는 Intra_Planar 모드, 모드 1은 참조 픽셀의 평균값을 이용하는 Intra_DC 모드, 모드 2부터 34까지는 참조 픽셀의 방향성을 이용하는 Intra_Angular 모드를 나타내고 그림 2와 같다. 그림 2에서 알 수 있는 바와 같이 우측 상단방향 부터 좌측 하단방향까지 다양한 방향을 지원한다[8].

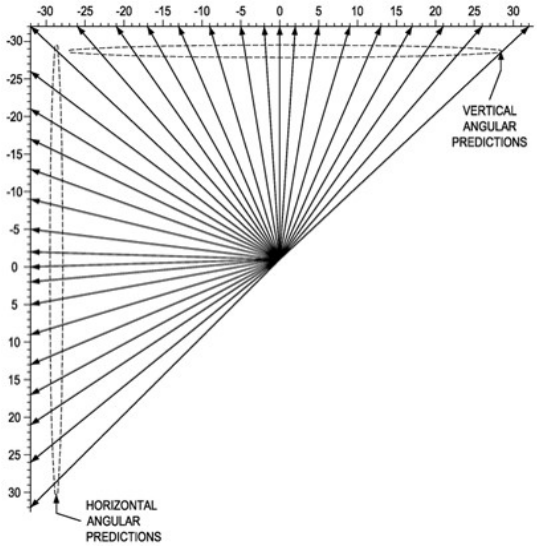

Fig. 2 Directionality of the angular mode

Ⅲ. 제안하는 효율적 Angular 모드 선택 알고리즘

기존의 화면내 예측은 화면내 예측 모드를 결정할 때 35가지의 모든 모드를 고려해야하기 때문에 높은 연산량과 연산 시간이 문제가 되었다. 본 논문에서는 높은 연산량과 연산 시간을 줄이기 위해 원본 픽셀 데이터의 차이와 위치를 이용해 방향성을 선정하고 33가지 Angular 모드 중 1개의 모드를 효율적으로 선택하는 알고리즘을 적용해 하드웨어 설계를 하였다. 기존의 알고리즘은 64×64부터 4×4까지 크기의 PU에서 각 1개의 DC 모드와 Planar 모드와 33개의 Angular 모드를 전부 고려해 예측을 하였지만 높은 연산량과 처리시간이 문제가 되었다. 적용된 효율적인 화면내 예측 모드 선택 알고리즘은 가로(Horizontal)방향과 세로(Vertical)방향에서 픽셀의 차이를 통해 가장 차이가 많이 나는 위치를 도출한 뒤 방향성을 예측하여 Angular 모드를 효율적으로 선택하여 연산량과 처리시간을 감소 시켰다.

적용된 알고리즘에서 가로방향과 세로방향의 연산은 동일하며 그림 3은 5×5 블록 크기의 세로방향의 연산 방법을 나타낸다. 먼저 5×5 크기 픽셀에서 세로 방향으로의 라인을 나눈다고 가정한다. 그림 3에서 (1)~(5)로 나뉜 세로 라인에서 각 라인별로 픽셀의 차이를 구하는 연산을 하여 가장 높은 차이 값을 가지는 위치를 구한다. 화살표로 가장 높은 차이 값을 가지는 위치를 나타냈으며 화살표의 차이를 통해 나오는 값의 위치에 +1을 하게 된다. 그림 3과 같은 과정을 통해 가로방향과 세로방향에 대한 Angular 모드를 결정하여 기존의 알고리즘보다 적은 연산량과 처리시간을 갖는 것이 본 하드웨어 설계에 적용한 알고리즘의 목적이다.

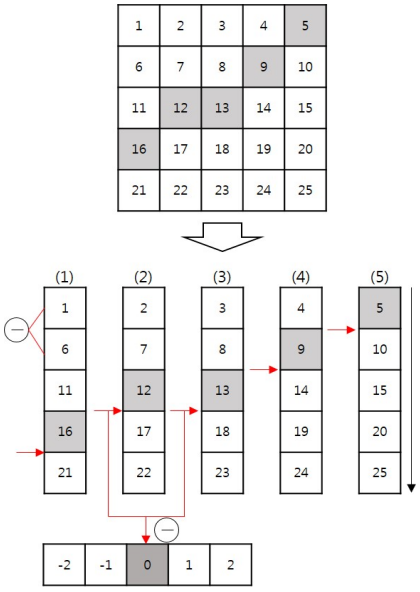

Fig. 3 Directional estimation of the vertical line

Ⅳ. 제안하는 Angular 모드 결정 하드웨어 구조

본 논문에서는 HEVC의 화면내 예측 모드 결정을 수행할 때 발생하는 높은 연산량과 연산 시간, 하드웨어 설계 시 면적을 최소화하기 위해 효율적인 화면내 예측 모드 결정 알고리즘을 적용한 하드웨어 설계를 제안하였다. 그림 4는 제안하는 화면내 예측 모드 결정 하드웨어 구조이다. 제안하는 화면내 예측 하드웨어의 동작은 먼저 가로방향과 세로방향에 대한 원본 픽셀이 저장된 메모리로부터 원본 픽셀 데이터를 받아온다. W_mem_ctrl은 가로방향에 대한 블록메모리이며 H_mem_ctrl은 세로방향에 대한 블록메모리이다. 메모리를 따로 사용한 이유는 하나의 메모리를 사용하게 되면 세로 방향의 모드 결정 연산을 위해 원본 픽셀을 저장하는 다수의

레지스터를 사용해야하기 때문이다. 원본 픽셀을 저장하는 레지스터를 다수 사용할 경우 하드웨어 면적이 급격히 증가시키는 단점이 있다. 분리된 메모리의 사용은 메모리에 대한 하드웨어의 중복이 필요하지만 하나의 메모리를 쓰는 경우보다 효율적이기 때문에 각 방향에 대한 메모리를 따로 사용하였다. 각 메모리로부터 받아온 원본 픽셀 값들은 W_ctrl 모듈과 H_ctrl 모듈의 입력으로 사용된다.

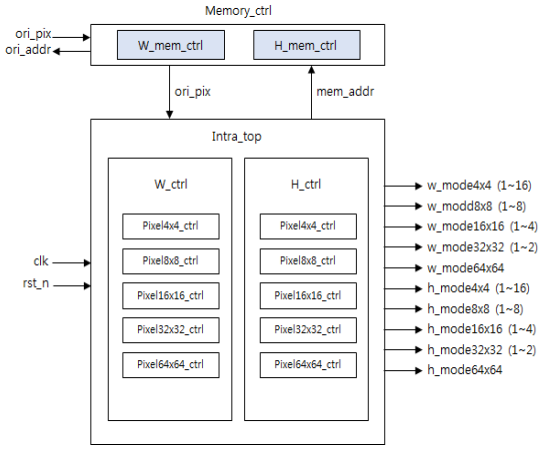

Fig. 4 Proposed hardware architecture

W_ctrl은 가로방향에 대한 Angular 모드 선택 모듈이며 H_ctrl은 세로방향에 대한 Angular 모드 선택 모듈이다. W_ctrl 모듈과 H_ctrl 모듈은 메모리로부터 받아온 원본 픽셀 데이터를 사용하고 앞서 설명한 본 하드웨어 설계에 적용된 효율적인 알고리즘을 통해 가로방향과 세로방향에 대한 Angular 모드를 결정하게 된다.

그림 5는 원본 픽셀 데이터의 연산과정을 나타낸다. 각 방향에 대한 메모리로부터 원본 픽셀 데이터가 입력으로 사용하게 되고 입력된 원본 픽셀 데이터는 특정 레지스터에 저장하게 된다. 레지스터에 저장된 이전 원본 픽셀 데이터와 새로 입력되는 원본 픽셀 데이터를 이용하여 뺄셈 연산을 진행하고 차이 값과 그 위치를 Value와 Position 레지스터에 저장한다. 최소화된 레지스터의 사용을 위해 비교기를 이용하여 하나의 레지스터만 사용하였다. 저장된 차이 값과 새로 구해진 차이 값을 비교하여 큰 값을 레지스터에 업데이트하게 되며 연산이 끝나게 되면 가장 큰 차이 값과 그 위치가 저장되게 된다. 이러한 간단한 연산과 최소화된 레지스터의 사용으로 하드웨어 면적을 감소시켰다.

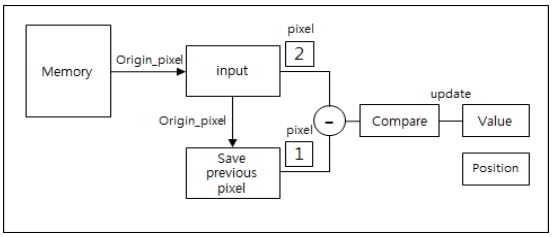

Fig. 5 Original pixel operation processing

그림 6은 원본 픽셀 데이터의 병렬 처리를 나타낸 그림이다. 제안하는 화면내 예측 Angular 모드 결정 하드웨어는 4×4블록 크기부터 64×64블록 크기까지 병렬적으로 처리가능하다. 우선 64×4 크기까지 원본 픽셀 데이터가 처리되면 한 라인의 4×4 블록의 모드가 출력된다. 그리고 64×8블록 크기까지 진행이 되면 4×4, 8×8 블록의 모드가 병렬적으로 결정된다. 이러한 방식으로 마지막 원본 픽셀 데이터가 입력이 되고 모드가 결정되면 4×4 블록 크기부터 64×64 블록 크기까지 병렬적으로 모드 결정이 진행된다.

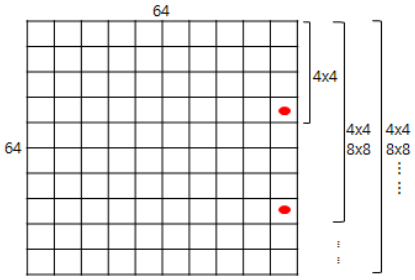

Fig. 6 Original pixel parallel processing

표 1은 블록 크기에 따른 모드의 수를 나타내며 가로방향과 세로방향의 출력 모드 수는 동일하다. 4×4 블록을 예로 들면 64×4 블록에서 한 라인에 대한 모드 출력 개수는 16개이다. 64×64 블록을 모두 처리하게 되면 4×4 블록 크기에 대한 총 모드의 수는 256개가 된다. 나머지 블록 크기에 대한 모드의 수는 표 1과 같다.

그림 7은 제안하는 하드웨어 구조의 전체 동작 과정을 나타낸다. 적용된 효율적 Angular 모드 결정 알고리즘과 동일하며 간단한 연산을 통해 방향성을 예측하여 Angular 모드를 효율적으로 결정하였다. 기존의 화면내

예측 모드 결정 알고리즘은 35가지 화면내 예측 모드를 모두 고려하여 모드를 결정하는 반면 제안하는 화면내 예측 Angular 모드 결정 하드웨어는 간단한 연산을 통해 방향성을 예측하여 모드를 결정하기 때문에 좀 더 빠른 모드 결정이 가능하고 하드웨어 면적을 감소시켰다. 또한 효율적인 메모리 관리를 위하여 가로방향과 세로방향에 대한 메모리를 따로 만들어 각 방향에 대한 원본 픽셀을 저장하였다. 그리고 4×4 블록 크기부터 64×64 블록 크기까지 병렬적으로 진행되며 마지막 원본 픽셀 데이터가 처리되었을 때 모든 블록 크기에 대한 모드 결정이 진행된다.

Table. 1 Number of modes by block size

Block size	Number of modes in one line	Total
4x4	16	256
8x8	8	64
16x16	4	16
32x32	2	4
64x64	1	1

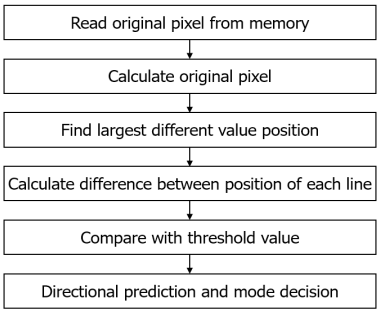

Fig. 7 Operation process

Ⅴ. 성능 비교

표 2는 HM-16.9 표준 소프트웨어와 제안하는 하드웨어에 적용된 알고리즘의 성능 비교이다. 적용된 알고리즘과 HM-16.9와의 비교 결과 평균적으로 BDPSNR은 0.035 증가하였고, BDBitrate는 0.623 감소, 인코딩 타임은 최대 11.389% 감소로 좋은 결과를 보였다.

본 논문에서는 표준 소프트웨어와 비교했을 때 좋은 결과를 보인 효율적 Angular 모드 결정 알고리즘을 하드웨어 설계에 적용하였다. 기존의 화면내 예측 알고리즘이 아닌 간단한 연산을 통해 방향성을 예측하여 Angular 모드를 결정하는 알고리즘을 하드웨어에 적용함으로써 최소화된 연산기를 사용하였다. 결과적으로 최소화된 연산기의 사용으로 하드웨어 면적을 최소화시켰다. 제안하는 하드웨어 구조는 Verilog HDL로 설계되었으며, 65nm 공정을 사용하였다. Synopsys 사의 Design Compiler로 합성하였으며 표 3은 제안하는 하드웨어 구조의 합성 결과 및 비교를 나타낸다. 합성 결과 게이트 수는 14.9K이고 최대 동작 주파수는 2GHz이다. 본 논문의 하드웨어 구조는 비교 논문 중 게이트 수와 최대동작 주파수 면에서 가장 좋은 결과를 갖는 Lu[9]와 비교하였다. 비교결과 게이트 수는 75% 감소했고 최대 동작 주파수는 622MHz에서 2GHz로 증가하였다.

Ⅵ. 결 론

본 논문에서는 HEVC 부호기를 위한 화면내 예측 Angular 모드 결정 하드웨어 설계에 대해 기술하였다.

Table. 2 Comparison of HM-16.9 standard software and algorithms applied to hardware

Class	Resolution	Proposed algorithm				
		BDPSNR	BDBitrate	△Bitrate(%)	△PSNR(%)	△TS(%)
4k	3840x2160	0.016	-0.613	-0.663	0.007	7.181
Class A	2560x1600	0.031	-0.518	-0.366	0.023	6.714
Class B	1920x1080	0.027	-0.642	-0.543	0.013	6.112
Class C	832x480	0.039	-0.620	-0.469	0.023	6.043
Class D	416x240	0.042	-0.672	-0.678	0.012	11.389
Class E	1280x720	0.046	-0.848	-0.726	0.019	5.829
Class F	832x480	0.047	-0.449	-0.391	0.016	5.064
Average	-	0.035	-0.623	-0.548	0.016	6.905

Table. 3 Comparison with synthesis results of intra prediction hardware proposed

	Proposed	Lu[9]	Zhu[10]
Technology (nm)	65	65	90
Gate Count (Nand gate)	14.9K	59.5K	214.1K
Blocks supported	all blocks	all blocks	without 64x64
cycles/64x64	4,100	2,539	15,908
Max. Frequency (MHz)	2,000	622	357
Throughout	8K@60fps	8K@30fps	1K@44fps

제안하는 효율적으로 Angular 모드를 선택하는 알고리즘이 적용된 화면내 예측 Angular 모드 결정 하드웨어 설계는 가로방향과 세로방향에 대한 원본 픽셀 데이터를 저장하는 효율적인 메모리 구조의 사용과 4×4 크기의 블록부터 64×64 크기의 블록까지 모두 지원하며 분할된 블록 각각에 대한 모드를 병렬적으로 처리함으로써 하드웨어 면적과 연산 시간을 최소화 하였다.

제안하는 화면내 예측 Angular 모드 결정 하드웨어는 Verilog HDL로 설계하였으며 Modelsim SE-64 10.1c 시뮬레이터를 이용해 검증하였다. 설계된 하드웨어 결과와 HEVC 표준 참조 소프트웨어 HM-16.9에서 추출한 모드 결정 알고리즘의 결과를 비교하여 정상적으로 동작하는 것을 확인했다. 제안하는 화면내 예측 하드웨어는 Verlog HDL로 설계되었으며, IDEC에서 지원하는 Synopsys사의 Design Compiler를 사용하였다. 65nm 공정을 사용하여 합성한 결과 게이트 수는 14.9K이고 최대 동작 주파수는 2GHz이다. 최종적으로 기존의 구조 중 더욱 성능이 뛰어난 Lu[9]와 비교 시 면적은 75% 감소하였고, 최대 동작 주파수는 622MHz에서 2GHz로 증가되는 것을 확인하였다.

ACKNOWLEDGMENTS

This research was supported by the MSIP (Ministry of Science, ICT and Future Planning), Korea, under the Human Resource Development Project for Brain scouting program(IITP-2017-R2418-17-0007) supervised by the IITP(Institute for Information and Communication Technology Promotion.

REFERENCES

[1] Y. Zhang, S. Kwong, G. Zhang, Z. Pan, H. Yuan, and G. Jiang, “Low Complexity HEVC INTRA Coding for High-Quality Mobile Video Communication,” *IEEE Transactions on Industrial Informatics*, vol. 11, no. 6, pp. 1492-1504, Dec. 2015.

[2] Y. Seo, B. Kim, and D. Kim, “Analysis of Intra Prediction for Digital Watermarking based on HEVC,” *Journal of the Korea Institute of Information and Communication Engineering*, vol. 19, no. 5, pp. 1189-1198, May 2015.

[3] H. Jung, and K. Ryoo, “An Intra Prediction Hardware Architecture Design for Computational Complexity Reduction of HEVC Decoder,” *Journal of the Korea Institute of Information and Communication Engineering*, vol. 17, no. 5, pp. 1203-1212, May 2013.

[4] H. Zhang, and Z. Ma, “Fast Intra Mode Decision for High Efficiency Video Coding (HEVC),” *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 24, no. 4, pp. 660- 668, Apr. 2014.

[5] A. Vetro, T. Wiegand, and G. Sullivan, “Overview of the Stereo and Multiview Video Coding Extensions of the H.264/MPEG-4 AVC Standard,” *Proceedings of IEEE, Special Issue on 3D media and Displays*, vol.99, no. 4, pp.626-642, Apr. 2011.

[6] G. Sullivan, J. Ohm, and W. Han, “Overview of the high efficiency video coding (HEVC) standard,” *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 22, no. 12 pp. 1649-1668, Dec. 2012.

[7] N. Hu, and E. Yang, “Fast Mode Selection for HEVC Intra-Frame Coding With Entropy Coding Refinement Based on a Transparent Composite Model,” *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 25, no. 9 pp. 1521-1532, Sep. 2015.

[8] Y. Zhang, S. Kwong, G. Zhang, Z. Pan, H. Yuan, and G.

Jiang, “Low Complexity HEVC INTRA Coding for High-Quality Mobile Video Communication,” *EEE Transaction on Industrial Informatics*, vol. 11, no. 6, pp. 1492-1504, Dec. 2015.

[9] Y. Lu, W. Cheng, L. Huang, X. Zeng, and Y. Fan, “A Flexible HEVC Intra Mode Decision Hardware for 8kx4k Real Time Encoder,” *2015 IEEE 11th International Conference on ASIC*, 10.1109/ASICON.2015.7517190, pp. 1-4, Nov. 2015.

[10] J. Zhu, Z. Liu, D. Wang, Q. Han, and Yang Song, “HDTV1080p HEVC Intra encoder with source texture based CU/PU mode pre-decision,” *2014 19th Asia and South Pacific Design Automation Conference*, pp.367-372, Jan. 2014.

박승용(Seungyong Park)

2010년 한밭대학교 정보기술대학 정보통신공학과 공학사
2012년 한밭대학교 정보통신전문대학원 정보통신공학과 공학석사
2012년 ~ 현재 한밭대학교 정보통신전문대학원 정보통신공학과 박사과정
※ 관심분야 : SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계

최주용 (Juyong Choi)

2015년 한밭대학교 정보기술대학 정보통신공학과 공학사
2017년 한밭대학교 정보통신전문대학원 공학석사
2017년 ~ 현재 ㈜실리콘웍스 연구원
※ 관심분야 : SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계

류광기(Kwangki Ryoo)

1986년 한양대학교 공과대학 전자공학과 공학사
1988년 한양대학교 대학원 전자공학과 공학석사
2000년 한양대학교 대학원 전자공학과 공학박사
1991년 ~ 1994년 육군사관학교 교수부 전자공학과 전임강사
2000년 ~ 2002년 ETRI 시스템IC설계팀 선임연구원
2010년 ~ 2011년 Univ of Texas at Dallas 방문교수
2003년 ~ 현재 한밭대학교 공과대학 정보통신공학과 교수
※ 관심분야 : 공학교육, SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계