



CORDIC을 이용한 저면적, 저전력 신호처리 VLSI 설계 기술 및 그 응용

1. 서론

최근 사물 인터넷(Internet of Everything, IoE)시대의 본격화에 앞서 저면적, 저전력 IoE 기기를 위한 전용 프로세서(Dedicated Processor) 개발이 주목받고 있다. 데이터 센터와 IoE 기기 간에 주고받는 엄청난 양의 데이터를 통신 트래픽, 고전력 소모 문제를 해소하며 효율적으로 처리하기 위해서는 전용 프로세서가 기존 범용 프로세서(General Purpose Processor)보다 효율적이다<그림 1>. 따라서 미래의 IoE 기기에 탑재될 통신 프로세서(Communication Processor), 영상 프로세서(Image Processor) 등 다양한 전용 프로세서의 저면적, 저전력 구현 요구가 크게 증가할 것으로 예상된다. 이 논문에서는 통신 프로세서와 영상 프로세서의 저면적, 저전력 구현을 위해서 Digital Signal Processing (DSP)에서 가장 자주 쓰이는 모듈 중에 하나인 Coordinate rotation digital computer (CORDIC)에 대해서 논의해 보고자 한다.

Jack E. Volder에 의해 1959년 처음 제안^[1]된 CORDIC은 이후 John Walther 등에 의해 개선^[2]되면서 삼각함수, 쌍곡선함수, 로그 및 지수함수, 나눗셈 등 여러 복잡한 함수 연산의 저면적 하드웨어 구현에 사용되어 왔다. 복잡한 함수 연산의 구현은 큰 하드웨어 면적을 요구하



신동엽
고려대학교



박종선
고려대학교



<그림 1> 저면적/저전력 사물 인터넷 프로세서를 위한 전용 프로세서(Dedicated Processor)의 중요성



는데, CORDIC은 이러한 복잡한 연산을 좌표계에서 미리 정해진 각도의 조합에 의한 회전으로 나타내어 구현에 필요한 하드웨어 면적 및 그에 따른 전력 소모를 크게 줄이는 것이 가능하다.

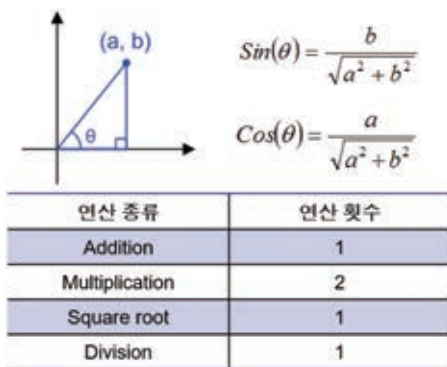
본 논문에서는 CORDIC을 이용한 저면적, 저전력 설계 기술을 살펴보고, 통신 및 영상 프로세서의 QR 분해와 DCT에 적용한 사례들을 간단히 소개하고자 한다.

II. CORDIC 기본 구조 및 동작

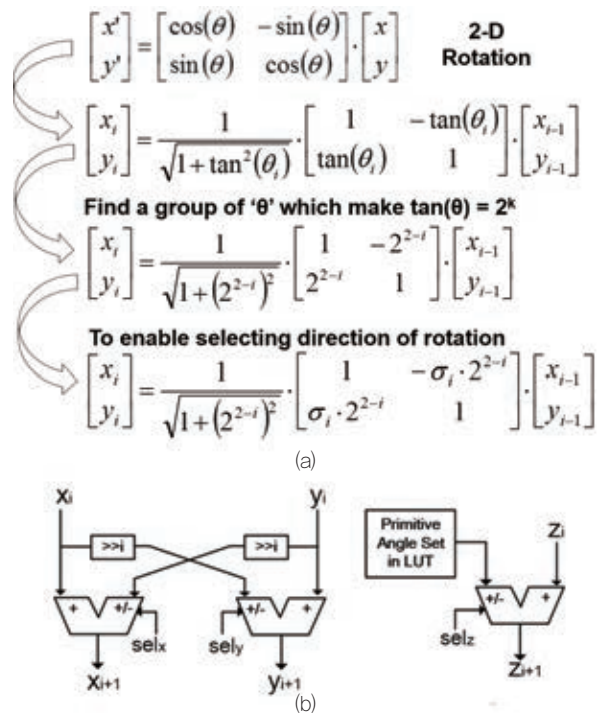
통신, 영상 프로세서의 동작에는 삼각함수와 같은 여러 가지 복잡한 연산이 수반된다. 삼각함수의 경우, 덧셈, 곱셈 뿐 아니라 훨씬 하드웨어 복잡도가 큰 제곱근과 나눗셈 연산으로 구성되어 있다(그림 2). CORDIC을 이용하면 동일한 삼각함수의 연산을 간단한 Shift와 덧셈 연산의 반복만으로 구현이 가능하다. 이러한 CORDIC의 기본 구조 및 동작에 대해서 먼저 알아보하고자 한다.

1. CORDIC 알고리즘 및 기본 구조

2차원 좌표계에서 벡터를 회전시키는 회전 행렬은 cos 및 sin 함수로 구성되어 있다(그림 3(a)). 여기서 cos 을 행렬식의 바깥으로 factoring out하면 tan 로 이루어진 회전 행렬로 변형할 수 있다. 이 때, 회전 각도를 90도, 45도, 26.565도, 14.036도 등과 같이 tan 값이 2의 지수 승이 되는 각도들의 조합으로 나타내는 것이 가능하다. 2의 지수 승과의 곱셈 연산은 Shift 동작에 해당하므로, 변형된 회전 행렬의 곱셈 연산은 Shift와 덧셈(뺄



〈그림 2〉 삼각함수의 구현에 필요한 연산



〈그림 3〉 (a) CORDIC 단위 회전 행렬의 유도 (b) CORDIC 단위 회전 행렬 연산의 하드웨어 구조.

셈) 반복 연산으로 구현된다. 〈그림 3(a)〉의 마지막 행렬식이 CORDIC 연산의 단위 회전 행렬(pseudo-rotation matrix) 연산 식으로, 처음에는 90도의 회전 각도로 회전하고 i 값이 커짐에 따라 점점 작은 각도로 회전하여 목표하는 회전 각도로 수렴한다. 단위 회전 행렬 연산의 하드웨어 구조는 〈그림 3(b)〉와 같다.

i를 0부터 n-1까지 증가시키면서 Shift와 덧셈으로 구성된 단위 회전 행렬 연산을 n번 반복하면 한 번의 CORDIC 연산이 완료된다. 여기서 알 수 있듯이, CORDIC은 기본적으로 근사(Approximate)값을 구하는 연산이며 연산의 반복 횟수인 n에 따라 근사 값의 정확도를 조절할 수 있다. 즉, 연산의 레이턴시(Latency)와 결과의 정확도 사이에 트레이드-오프(trade-off) 관계가 있다. n이 커지면 근사 값의 정확도가 증가하지만, 그만큼 단위 CORDIC 연산의 반복횟수가 증가하여 최종적인 연산의 레이턴시는 증가하게 된다.

단위 회전 행렬을 구하는 과정에서 행렬의 바깥으로 뽑아냈던 cos 값을 scale-factor라고 하며, n번의 단위 회전 행렬 연산이 완료되면 그 결과 값에 scale-factor를

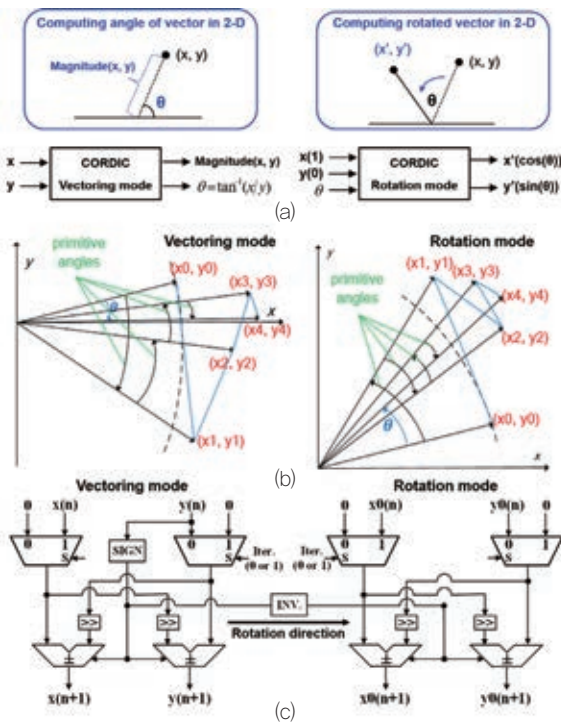
곱해야 최종 CORDIC 연산 결과를 얻을 수 있다. scale-factor는 다음 식과 같이 나타난다.

$$K_n = \prod_{i=1}^n \frac{1}{\sqrt{1+(2^{-i})^2}}$$

n이 커짐에 따라 scale-factor는 약 0.6073에 수렴하는 값이 된다. CORDIC 연산이 Shift와 덧셈으로 이루어진 반복 연산으로 단위 연산이 차지하는 면적이 매우 작기 때문에<그림 3(b)> scale-factor의 곱셈 역시 Shift와 덧셈으로 이루어진 상수 곱셈(constant multiplication) 연산임에도 CORDIC의 면적 측면에서 큰 부분을 차지한다. 특히, 정확한 연산 결과를 얻기 위해 보다 정밀한 scale-factor를 곱해줘야 하는 경우 면적 오버헤드는 더욱 증가할 수 있다.

2. CORDIC 기본 동작

CORDIC 연산은 크게 Vectoring 모드와 Rotation 모드의 두 가지 동작 모드로 나눌 수 있다. 먼저 Vectoring 모드에서 CORDIC 모듈은 2차원 벡터를 입력으로 하여 벡



<그림 4> (a) Vectoring 모드와 Rotation 모드의 입/출력 (b) Vectoring 모드와 Rotation 모드 동작 (c) Vectoring 모드 CORDIC과 Rotation 모드 CORDIC의 회전 방향 공유

m	Rotation mode	Vectoring mode
1	$x_{n+1} = K(x_1 \cos \theta - y_1 \sin \theta)$	$x_{n+1} = K \sqrt{x_1^2 + y_1^2}$
	$y_{n+1} = K(x_1 \cos \theta + y_1 \sin \theta)$	$y_{n+1} = 0$
	$z_{n+1} = 0$	$z_{n+1} = \tan^{-1}(y_1/x_1)$
0	$x_{n+1} = x_1$	$x_{n+1} = x_1$
	$y_{n+1} = y_1 + x_1 \theta$	$y_{n+1} = 0$
	$z_{n+1} = 0$	$z_{n+1} = (y_1/x_1)$
-1	$x_{n+1} = K_h(x_1 \cosh \theta - y_1 \sinh \theta)$	$x_{n+1} = K_h \sqrt{x_1^2 - y_1^2}$
	$y_{n+1} = K_h(x_1 \cosh \theta + y_1 \sinh \theta)$	$y_{n+1} = 0$
	$z_{n+1} = 0$	$z_{n+1} = \tanh^{-1}(y_1/x_1)$

<그림 5> CORDIC 알고리즘의 일반화

터의 크기와 각도(x축과 이루는 각도)를 출력으로 한다 <그림 4(a)>. <그림 4(b)>와 같이 Vectoring 모드 동작은 y좌표의 값을 0으로 만드는 방향으로 단위 회전 행렬 연산이 이루어진다. 따라서 Vectoring 모드에서는 y 좌표의 부호에 따라 단위 회전 행렬의 덧셈(뺄셈) 부호가 달라진다.

Rotation 모드에서 CORDIC 모듈은 2차원 벡터와 목표 회전 각도를 입력으로 받아 목표 회전 각도 만큼 회전된 2차원 벡터를 출력으로 한다<그림 4(a)>. Rotation 모드 동작은 목표 회전 각도와 단위 회전 각도 누적의 차를 0으로 만드는 방향으로 단위 회전 행렬 연산이 이루어진다. 즉, Rotation 모드에서는 <그림 3(b)>의 z의 부호에 따라 단위 회전 행렬의 덧셈(뺄셈) 부호가 달라진다.

어플리케이션에 따라 Vectoring 모드의 출력 회전 각도가 Rotation 모드의 입력으로 들어가는 경우가 있다. 이 경우 <그림 5(a)>와 같이 단위 회전 행렬 연산의 부호를 inverting을 거쳐 즉각적으로 공유함으로써 Vectoring 및 Rotation 모드 CORDIC 모두에서 <그림 3(b)>의 z 연산 관련 부분을 생략할 수 있게 된다. 이렇게 Vectoring 모드 CORDIC(각도 생성)과 Rotation 모드 CORDIC(생성된 각도로 회전)으로 구성된 CORDIC을 Compact CORDIC이라고 하며 저면적 구현에 용이하다. 생성된 각도를 받아 사용하는 Rotation 모드 CORDIC의 수가 늘어날수록 효율이 증대된다.

3. CORDIC 알고리즘의 일반화

지금까지 살펴본 CORDIC 동작은 Circular rotation에 기반하고 있다. 앞서 살펴본 CORDIC의 개념은



Hyperbolic rotation과 Linear rotation으로도 확장될 수 있다. 이 때 연산 식은 다음과 같다.

$$\begin{aligned} x_{i+1} &= x_i - m\sigma_i \cdot 2^{-i} \cdot y_i \\ y_{i+1} &= y_i + \sigma_i \cdot 2^{-i} \cdot x_i \end{aligned}$$

기존 살펴본 CORDIC 연산에 m이라는 변수가 추가되어 m 값에 따라 Circular(m=1)/ Hyperbolic(m=-1)/ Linear(m=0) 모드로 동작한다. 각 모드에서 Rotation 및 Vectoring 모드 동작의 연산 식은 <그림 5>와 같다. Hyperbolic 모드를 이용하여 쌍곡선 함수의 연산이 가능하고, Linear 모드를 이용하여 나눗셈 연산이 가능하다. 이와 같이 기본 연산에 큰 변화가 없는 간단한 확장을 통해 보다 다양한 신호 및 영상 프로세서의 저면적, 저전력 구현에 적용이 가능해진다.

III. CORDIC 설계 기술

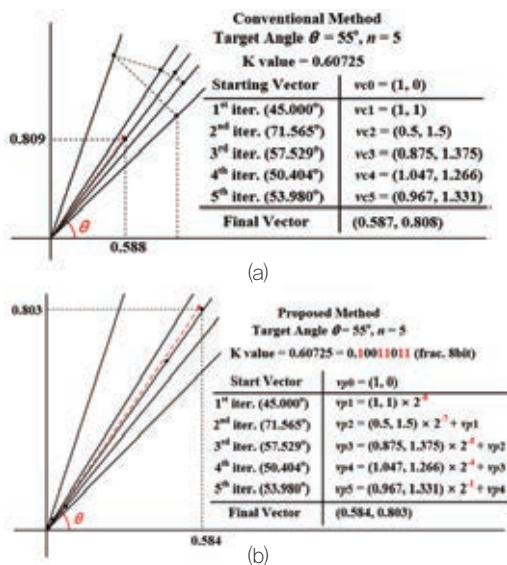
CORDIC은 자체적으로 저면적, 저전력의 설계 기술이지만 scale-factor와 연산의 반복에 따른 레이턴시 등 보다 효율적인 구현을 위해 고려해야 할 부분들이 있다. scale-factor의 경우 단위 연산 하드웨어와 별도의 하드웨어가 추가적으로 필요하기 때문에 낮은 복잡도의 구현이 필요하다. 또한, 단위 연산의 반복으로 최종 결과값을

구하는 구조 때문에 항상 긴 레이턴시를 가질 수 밖에 없다. 높은 처리량(throughput)을 갖기 위해서는 CORDIC의 레이턴시를 줄이는 기술에 대한 연구도 필요하다.

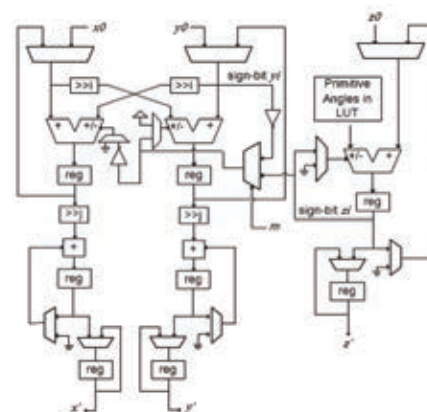
1. 저복잡도 scale-factor 연산

앞서 살펴본 바와 같이 CORDIC 반복(iteratin) 횟수는 정확도와 트레이드-오프 관계를 갖는다. 따라서 어플리케이션의 적용 환경에 따라 정확도 조절이 가능한 CORDIC이 반드시 필요하다. 이러한 멀티-모드(multi-mode) CORDIC에서 scale-factor 곱셈 연산은 다양한 반복 횟수에 대해 각각 다른 scale-factor를 곱해주어야 하기 때문에 이에 따른 하드웨어 오버헤드가 발생한다. 여기서 scale-factor의 구현은 상수 곱셈과 추가적인 배럴 시프터(barrel shifter)로 구성된다.

기존 CORDIC에서 scale-factor의 연산은 CORDIC의 단위 회전 행렬 연산 반복이 끝난 후, 마지막에 수행되었다<그림 6(a)>. 이 경우, 단위 회전 행렬과 scale-factor 연산에 두 개의 다른 배럴 시프터가 사용되어 면적의 오버헤드가 크다. 기존 마지막에 한 번 수행되던 scale-factor 연산을 단위 회전 행렬과 같이 여러 반복 횟수로 나누어 단위 회전 행렬 연산 안에 포함시키면, 단위 회전 행렬과 scale-factor 연산에 필요한 배럴 시프터를 공유하는 것이 가능하다<그림 6(b)>. <그림 7>과 같이 개선된 scale-factor 연산을 포함하는 저면적 CORDIC 구조를 사용하면 기존 구조 대비 42%의 면적 감소 효과를 얻을 수 있다^[4].



<그림 6> (a) 기존 CORDIC 동작 (b) 개선된 CORDIC 동작



<그림 7> 개선된 scale-factor 연산의 CORDIC 구조.

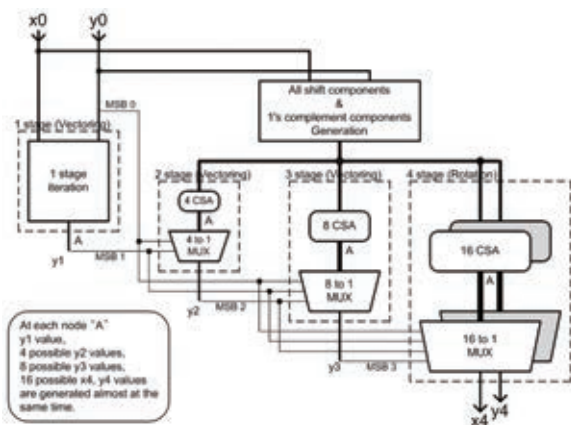


2. Lookahead CORDIC

Lookahead CORDIC^[5]은 CORDIC의 반복 횟수로 인한 레이턴시 증가를 줄이는 기술이다. 현재 i 번째 반복을 수행 중이라면, $i+1\sim i+3$ 번째 반복의 모든 회전 방향(Rotation direction)에 해당하는 연산을 전부 수행하여, i 번째 연산 수행이 끝난 후에 결정되는 회전 방향으로부터 MUX 선택만 연속적으로 수행하면 4번의 CORDIC 반복이 완료된다(그림 8). Lookahead CORDIC을 사용하면 기존 4번의 반복을 순차적으로 수행하는 CORDIC에 비하여 34.83%의 레이턴시 감소(속도 증가) 효과를 갖는다.

3. 다차원 CORDIC

다차원 CORDIC은 기존 2차원 좌표계에서 수행되던 CORDIC 연산을 3차원, 4차원으로 확장한 CORDIC이다. 다차원 CORDIC을 사용하면 기존에 연속적인 2차원 CORDIC 연산이 필요한 부분을 한 번의 다차원 CORDIC 연산으로 대체할 수 있다. 다차원 CORDIC 구조는 Householder 알고리즘을 이용한 구조와 Givens rotation 알고리즘을 이용한 구조의 두 가지로 나뉜다. Householder transformation을 이용한 구조와 Givens rotation을 이용한 구조 모두 Shift와 덧셈 연산으로 이루어진다는 것은 같으나, 2의 지수승 연산의 복잡도에 차이점이 있다. 3차원 CORDIC의 경우, <그림 9(a)>와 같이 Householder를 이용한 CORDIC의 복잡도가 더 낮고(저면적) 4차원 CORDIC의 경우 <그림 9(b)>와 같이 Givens rotation을 이용한 CORDIC의 복잡도가 더 낮다.



<그림 8> Sign-select lookahead CORDIC 구조

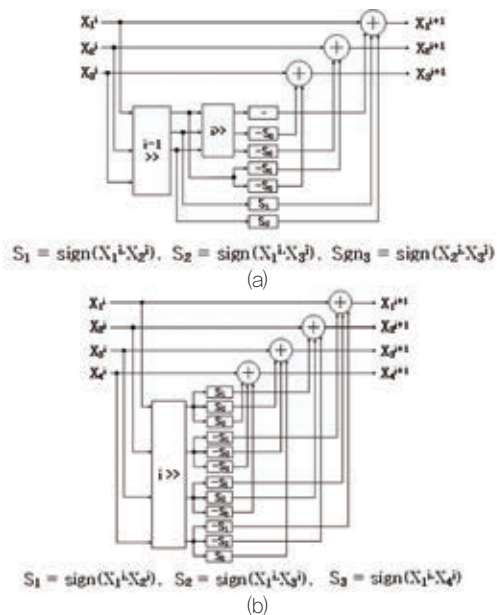
IV. CORDIC의 응용 예

서론에서 살펴본 것과 같이 사물 인터넷 용 저전력, 저면적 IoE 기기 구현을 위해서는 효율적인 전용 프로세서 개발이 필요하다. 이러한 전용 프로세서에는 대표적으로 통신 프로세서, 영상 프로세서 등이 있다.

여기에서는 통신 프로세서에서 널리 사용되는 QR 분해와 영상 프로세서에서 사용되는 Discrete Cosine Transform(DCT)의 설계에 CORDIC을 적용한 사례를 살펴보기로 한다.

1. CORDIC 기반 QR 분해(QR Decomposition)

QR 분해는 입력 행렬을 직교 행렬(Orthogonal matrix) Q와 상삼각 행렬(Upper triangular matrix) R로 분해하는 기술이다. 최근 통신 표준으로 채택되고 있는 Multiple-Input Multiple-Output(MIMO) 표준에서 QR 분해가 MIMO 신호 탐지기의 전처리 과정으로 널리 쓰이고 있다. QR 분해는 많은 cos 및 sin 함수를 포함하는 행렬 곱셈 연산을 필요로 하기 때문에, 최근의 QR 분해 연구들은 대부분 CORDIC을 기반으로 저면적, 저전력 QR 분해를 수행하고 있다.



<그림 9> (a) 3-D Householder CORDIC 구조 (b) 4-D Givens rotation CORDIC 구조

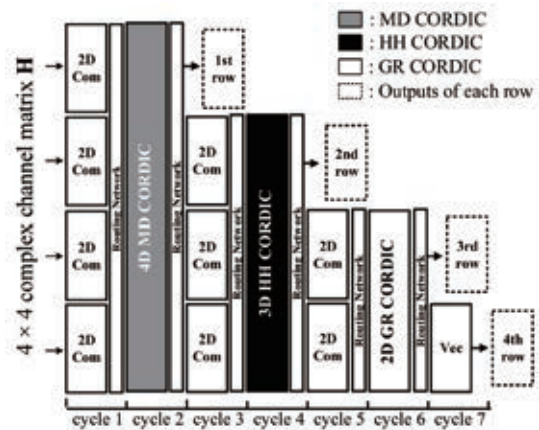


CORDIC 기반의 기존 QR 분해 순서는 <그림 10(a)>와 같다. 4x4 채널 행렬을 입력으로 했을 때, 행렬의 대각선 방향 성분을 pivot으로 하여 그림의 숫자 순서대로 Vectoring 모드 CORDIC 연산을 수행한다. 하나의 column에 대한 Vectoring 연산이 모두 수행되면, 그 후에 Vectoring 연산이 수행된 column 오른쪽의 모든 column들에 대해 Vectoring 연산에서 출력된 회전각도로 Rotation 모드 CORDIC 연산을 수행한다. Vectoring 모드와 Rotation 모드의 CORDIC 연산은 앞서 소개한 Compact CORDIC을 이용하여 동시에 연산 가능하나, Vectoring 모드 CORDIC 연산은 연속적으로 수행되기 때문에 전체 QR 분해의 레이턴시가 매우 증가하게 된다.

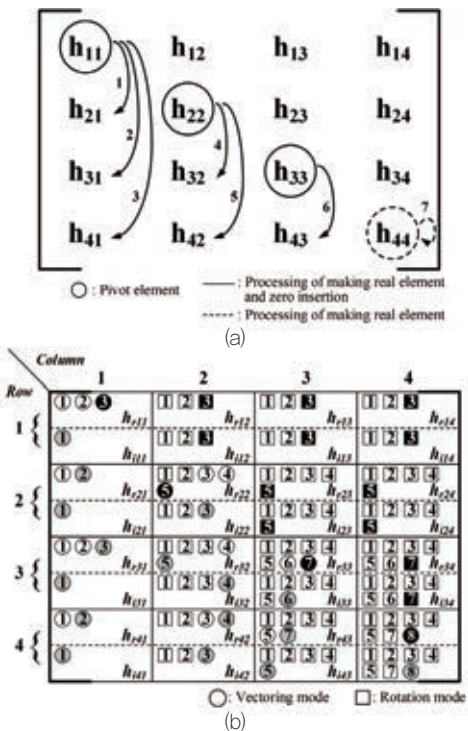
이러한 문제를 개선하기 위하여 동일한 QR 분해 결과를 얻으면서 Vectoring 모드 CORDIC 연산을 병렬 연산하는 구조가 제안되었다^[7]. [7]의 QR 분해는 기존 QR 분해 순서와 달리 한 column의 Vectoring 모드 CORDIC 연산에 대하여 2개씩 짝지어 병렬 연산이 가능하기 때문에 연산의 레이턴시가 줄어든다(처리 속도 향상). 이러한 QR 분해 기법은 4x4 행렬 뿐 아니라 6x6, 8x8 등 다양

한 행렬에 적용 가능한데 6x6 행렬에 적용할 경우 기존 QR 분해 기법 대비 73%의 처리 속도 향상을 얻는다.

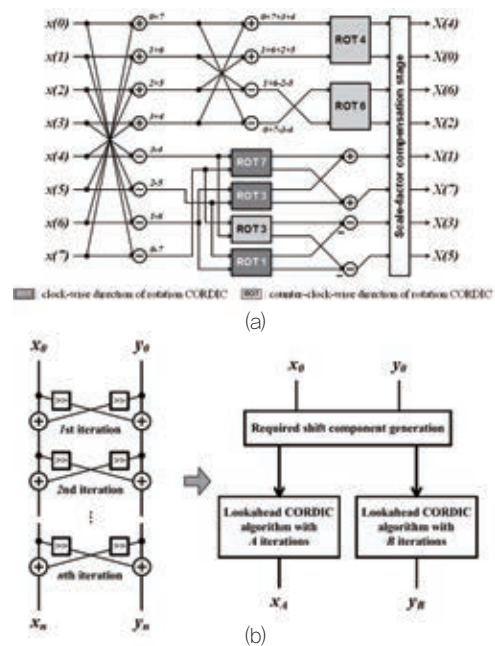
QR 분해 순서의 조정을 통한 개선 뿐 아니라, 다차원 CORDIC을 사용하여 처리 속도를 향상시키는 것도 가능하다^[9]. 다차원 CORDIC을 <그림 10(a)>의 4x4 행렬의 QR 분해에 적용했을 때 1, 2, 3, 4번째의 2차원 Vectoring 모드 CORDIC 연산이 1번의 4차원 CORDIC 연산으로 대체된다. 또한, [9]는 2차원, 3차원, 4차원 CORDIC을 구현하는 여러 알고리즘(Householder,



<그림 11> 다차원 CORDIC 기반 QRD 구조



<그림 10> CORDIC 기반 (a) 기존 QR 분해 순서 (b) 개선된 QR 분해 순서



<그림 12> (a) CORDIC 기반 1-D DCT 구조 (b) DCT의 주파수 대역에 따라 다른 반복 횟수를 갖는 Lookahead CORDIC 구조



Givens rotation) 중에 가장 낮은 복잡도로 구현 가능한 알고리즘으로 각 차원의 CORDIC을 구현하고 이를 QR 분해에 적용하여, 높은 처리 속도와 동시에 낮은 면적의 구현이 가능하게 하였다. 결과적으로 면적 당 처리 속도가 기존 대비 47% 증가한다.

2. CORDIC 기반 Discrete Cosine Transform

JPEG, H.264 등 많은 영상 처리 표준에서 채택되고 있는 Discrete Cosine Transform(DCT)은 비디오 및 영상 압축에서 가장 많은 연산량을 갖고 있다. DCT의 연산량을 줄이기 위해서는 cos 및 sin 곱셈 연산을 줄이는 것이 중요하기 때문에 이를 CORDIC으로 대체하여 저면적, 저전력 구현을 가능하게 하는 기술이 널리 사용되고 있다.

〈그림 12(a)〉는 cos 및 sin 곱셈 연산을 CORDIC 연산으로 대체한 1-D DCT 구조를 나타낸다. 그림에서 보듯이, CORDIC으로 대체되지 않은 덧셈과 뺄셈 연산량보다 cos 및 sin 곱셈 연산량이 훨씬 많기 때문에 이를 CORDIC으로 대체하는 효과가 매우 크게 나타난다.

또한 DCT는 낮은 주파수 영역의 연산이 높은 주파수 영역의 연산보다 최종 영상 결과에 미치는 영향이 큰 특성을 갖는다. 따라서 CORDIC 기반 DCT 구조를 사용할 경우, 낮은 주파수 영역에 대해서는 많은 CORDIC 반복 횟수를 사용하고 높은 주파수 영역에 대해서는 적은 CORDIC 반복 횟수를 사용하여 추가적인 전력 소모의 절감이 가능하다(그림 12(b))^[10]. 〈그림 13〉에서 CORDIC 연산의 반복횟수를 줄이는 MODE 1, 2로 바뀌면서 전력 소모와 PSNR이 감소하는 것을 확인할 수 있다. 그림 아래의 Lena 이미지에서 보듯이 눈으로 확인했을 때 화질의 감소가 매우 미미한 것을 알 수 있다.

	Normal	Mode 1	Mode 2
PSNR (dB)	31.45	30.09	26.97
Power (mW)	5.11	3.58	3.13
Percentage (%)	100	70.15	61.27

〈그림 13〉 CORDIC 기반 DCT의 결과

V. 앞으로의 연구 방향

이 논문은 CORDIC의 기본적인 구조 및 동작과 CORDIC을 이용한 저면적, 저전력 설계 기술에 대해 소개하였다. 또한 통신 프로세서의 QR 분해와 영상 프로세서의 DCT에 적용된 사례도 간단히 살펴보았다.

이전까지의 연구가 삼각함수 등의 복잡한 함수 연산을 CORDIC으로 대체하여 저면적, 저전력 구현을 가능하게 하되, CORDIC 구현에 있어서 정확도-레이턴시 트레이드-오프를 이용하고, scale-factor 연산 오버헤드 등을 줄이는 방향으로 진행되어 왔듯이 앞으로의 연구 방향도 어플리케이션의 특성을 파악하여 적절한 레이턴시 및 면적을 갖는 CORDIC 기반 어플리케이션을 구현하는 방향으로 진행될 것으로 예상된다. 또한, 사물인터넷 시대를 맞아 저전력, 저면적 IoE 기기의 개발이 어느 때보다 중요해진 만큼 앞으로는 최소한의 정확도를 만족하면서 낮은 레이턴시 및 면적, 전력 소모를 갖는 방향으로 연구가 진행될 것이다. 그리고 CORDIC 연산으로 효율적인 대체가 가능한 기술들은 대부분 행렬 연산과 관계되어 있는데, 이에 따라 효율적인 다차원 CORDIC 연산에 대한 연구 또한 계속될 것으로 보인다. 적용 가능한 어플리케이션 측면에서는 최근 각광받고 있는 머신 러닝 전용 프로세서의 구현에 활용하는 방향에 대한 연구도 크게 주목받을 것으로 예상된다.

참고 문헌

- [1] J. E. Volder, "The CORDIC trigonometric computing technique," IRE Trans. Electron. Computers, vol. EC-8, pp. 330-334, Sept. 1959.
- [2] J. S. Walther, "A unified algorithm for elementary functions," in Proc. 38th Spring Joint Computer Conf., Atlantic City, NJ, 1971, pp. 379-385.
- [3] P. K. Meher, et al, "50 Years of CORDIC: Algorithms, Architectures, and Applications," Circuit and systems I, Regular papers, IEEE Transactions on, Vol. 56, Issue 9, Sept. 2009, pp. 1893-1907.



- [4] Gihoon Jung, et al., "A compact multi-mode CORDIC with Global-Shifting-Sum (GSS) method," Circuits and Systems (APCCAS), 2016 IEEE Asia Pacific Conference on, Oct. 2016.
- [5] Min-Woo Lee, et al., "Sign-Select Lookahead CORDIC based High-Speed QR Decomposition Architecture for MIMO Receiver Applications", Journal of Semiconductor Technology and Science, vol. 11, no. 1, pp. 6-14, Mar. 2011.
- [6] Shen-Fu Hsiao, Jean-Marc Delosme, "The CORDIC Householder Algorithm," in Computer Arithmetic, 1991. Proceedings 10th IEEE Symposium on, Jun 1991
- [7] Min-Woo Lee, Ji-Hwan Yoon, and Jongsun Park, "High-Speed Tournament Givens Rotation-based QR Decomposition Architecture for MIMO Receiver," in Circuit and Systems (ISCAS), 2012 IEEE international Symposium on, May 2012.
- [8] Kurniawan, I. H., Ji-Hwan Yoon, and Jongsun Park, "Multidimensional Householder based high-speed QR decomposition architecture for MIMO receivers," in Circuit and Systems (ISCAS), 2013 IEEE international Symposium on, May 2013.
- [9] J.-H. Yoon, D. Shin, and J. Park, "A low-complexity composite QR decomposition architecture for MIMO detector," in Proc. IEEE ISCAS, Jun. 2014, pp. 1692 - 1695.
- [10] Min-Woo Lee, Ji-Hwan Yoon, and Jongsun Park, "Reconfigurable cordic-based low-power dct architecture based on data priority," IEEE Trans. Very Large Scale Integr. (VLSI) Syst, vol. 22, no. 5, pp. 1060-1068, May 2014.



신동엽

- 2013년 8월 고려대학교 전기전자전파공학 학사
- 2013년 9월~현재 고려대학교 전기전자공학 석박통합과정

〈관심분야〉

통신용 디지털 신호처리 프로세서, 머신 러닝 프로세서



박종선

- 1998년 2월 고려대학교 전자공학과 학사
- 2000년 8월 Purdue Univ., School of ECE 석사
- 2005년 12월 Purdue Univ., School of ECE 박사
- 2005년 5월~2008년 2월 미국 Marvell Semiconductors, Staff Design Engineer

2008년~현재 고려대학교 전기전자공학부 조교수, 부교수, 교수

〈관심분야〉

신뢰성 강한 저전력 통신 및 디지털 신호처리 프로세서 설계, 저전력 임베디드 메모리, 초저전력 sub-threshold 회로설계