

CMOS Class-E 전력증폭기의 Cascode 구조에 대한 게이트바이어스 효과 분석

Analysis of the Gate Bias Effects of the Cascode Structure for Class-E CMOS Power Amplifier

서 동 환

Donghwan Seo

요 약

본 논문에서는 cascode 구조가 적용된 Class-E 스위칭 모드 CMOS 전력증폭기의 common-gate 트랜지스터 게이트 바이어스 효과에 대해 분석하였다. 게이트 바이어스 효과를 확인하기 위해서 전력증폭기의 DC 전력소모, 효율을 분석하였다. 분석 결과를 통해서 전력증폭기의 최고 효율을 보여주는 common-gate 트랜지스터의 게이트 바이어스가 일반적으로 사용하는 전력증폭기 전원 전압보다 낮음을 확인하였다. 트랜지스터의 게이트 바이어스가 계속 감소함에 따라 on-저항을 확인하여 커지고, 이에 따라 출력, 효율이 감소하는 것도 확인하였다. 이 두 가지 현상을 통해 게이트 바이어스가 스위칭 모드 전력증폭기에 미치는 영향을 분석하였다. 이 분석을 증명하기 위해서 0.18 μm RF CMOS 공정으로 1.9 GHz 스위칭 모드 전력증폭기를 설계하였다. 앞에서 설명한 것처럼 전력증폭기의 최대 효율은 전력증폭기의 인가 전압(3.3 V)보다 낮은 2.5 V에서 확인할 수 있었다. 이 때 최고 출력은 29.1 dBm, 최고 효율은 31.5 %이다. 측정 결과를 통해서 스위칭 모드 전력증폭기 common-gate 트랜지스터의 게이트 바이어스 효과를 실험적으로 확인하였다.

Abstract

In this study, we analyzed the effects of the common-gate transistor bias of a switching mode CMOS power amplifier. Although the most earlier works occurred on the transistor sizes of the cascode structure, we showed that the gate bias of the common-gate transistor also influences the overall efficiency of the power amplifier. To investigate the effect of the gate bias, we analyzed the DC power consumption according to the gate bias and hence the efficiency of the power amplifier. From the analyzed results, the optimized gate bias for the maximum efficiency is lower than the supply voltage of the power amplifier. We also found that an excessively low gate bias may degrade the output power and efficiency owing to the effects of the on-resistance of the cascode structure. To verify the analyzed results, we designed a 1.9 GHz switching mode power amplifier using 0.18 μm RF CMOS technology. As predicted in the analysis, the maximum efficiency is obtained at 2.5 V, while the supply voltage of power amplifier is 3.3 V. The measured maximum efficiency is 31.5 % with an output power of 29.1 dBm. From the measured results, we successfully verified the analysis.

Key words : CMOS, RF Power Amplifier, Cascode, Common-gate, Gate Bias

국방과학연구소 제8기술연구본부(The 8th R&D Institute, Agency for Defense Development)

· Manuscript received March 29, 2017 ; Revised April 24, 2017 ; Accepted June 7, 2017. (ID No. 20170329-027)

· Corresponding Author: Donghwan Seo (e-mail: Donghwan_seo@add.re.kr)

I. 서 론

플라 트랜스미터, Envelope Elimination and Restoration (EER) 기법이 개발된 이후로, CMOS 공정을 적용한 RF CMOS 전력증폭기에 관한 연구가 지속적으로 이루어지고 있다^{[1]~[3]}. 이 스위칭 모드 전력증폭기는 장점은 선형 전력증폭기에 비해 높은 효율을 얻을 수 있다는 것이다. 이론적으로는 스위칭 모드 전력증폭기의 효율은 100 %에 이르지만, 이전의 연구에 따르면 35~45 %에 이른다^{[4][5]}. 이에 따라 전력증폭기의 효율을 높이기 위한 연구가 활발하게 이루어지고 있다. 이 연구들의 대부분은 출력부의 매칭 네트워크, power transistor의 on 저항을 최소화하는 기법이 대부분이다.

높은 출력, 높은 효율을 얻을 수 있는 전력증폭기 설계가 중요하다. 높은 출력을 얻기 위해서는 높은 전압을 인가해야 한다.

그러나 CMOS 트랜지스터에 높은 전압을 인가하면 트랜지스터의 안정성 문제를 일으킬 수 있다. 따라서 CMOS 공정을 사용 대부분의 와트(watt) 레벨 전력증폭기에서는 그림 1과 같이 cascode 구조를 사용한다^[6].

그러나 이전의 연구를 살펴보면, cascode 구조를 사용할 경우, 원하지 않는 전력소모가 발생한다^[7]. 이 전력소모는 효율 저하를 발생시킨다. 이러한 문제를 해결하기 위해 기존의 연구에서는 회로에 특정구조를 적용하는 방

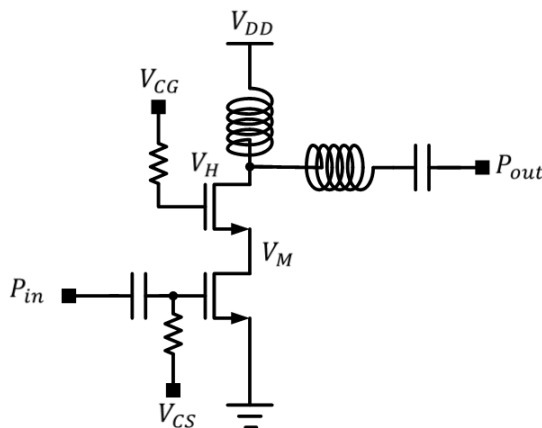


그림 1. Cascode 구조 스위칭 모드 전력증폭기 회로도
Fig. 1. The schematic of cascode structure of Class-E power amplifier.

법을 제안하였다^{[6][7]}. 그러나 본 연구에서는 회로가 완성된 상태에서 cascode 구조를 사용하는 Class-E CMOS 전력증폭기의 common-gate 트랜지스터의 게이트 바이어스를 최적화함에 따라 효율이 개선됨을 분석하였다.

따라서 본 논문에서는 cascode 구조를 사용하는 스위칭 모드 전력증폭기의 효율과 common-gate 트랜지스터의 게이트 바이어스 관계에 대해 분석하였다. 게이트 바이어스에 의해 cascode 구조의 on/off 변화 시간과 전력 소모에 대해 분석하였으며, 시뮬레이션 결과와 측정 결과를 통해서 본 분석을 증명하였다.

II. Cascode 구조의 트랜지스터 동작

기본적인 cascode 구조는 그림 1과 같다. Cascode 구조를 갖는 Class-E CMOS 전력증폭기는 일반적으로 common-gate 트랜지스터의 드레인 전압(V_H)은 인가 전압(V_{DD})에 약 3배에 이른다^{[6][7]}. 그러므로 트랜지스터의 안정성 문제를 해결하기 위해서 Micro 단위 아래의 CMOS IC에서 cascode 구조를 사용한다.

이상적인 스위칭 모드 cascode 전력증폭기의 common-source 트랜지스터(M_{CS}), common-gate 트랜지스터(M_{CG})는 동시에 켜지고 꺼진다. 그림 2에서는 이상적인 동작을 하는 cascode 구조의 ‘켜짐’, ‘꺼짐’ 상태의 등가회로를 보여준다. 그림 2(a)에서 볼 수 있듯이, cascode 구조가 ‘꺼짐’일 때, M_{CS} , M_{CG} 가 동시에 꺼진다. 이때 트랜지스터에 흐르는 전류는 없다. 기생 캐패시터(C_2)에 전하가 쌓이면

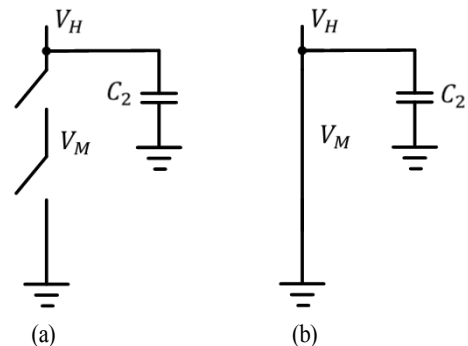


그림 2. (a) ‘꺼짐’ 상태 등가회로, (b) ‘켜짐’ 상태 등가회로
Fig. 2. (a) ‘off’ state equivalent circuit, (b) ‘on’ state equivalent circuit.

서, M_{CG} 의 드레인 전압은 높아진다. 그러므로 ‘꺼짐’ 상태에서는 직류 전력소모는 ‘0’이다.

반대로 그림 2(b)처럼 Cascode 구조가 ‘켜짐’일 때, M_{CS} , M_{CG} 가 동시에 켜진다. 이상적인 동작이라고 가정하면, M_{CG} 의 드레인, M_{CS} 의 소스 사이 전압 차이는 ‘0’이고, 전류는 흐른다. 따라서 이상적인 cascode 구조에서는 전류값과 전압값이 동시에 존재하는 구간이 없다. 이에 따라 트랜지스터에서 직류 전력 소모가 ‘0’이다. 이는 직류 전력이 모두 RF 전력으로 변환되는 것을 의미하며, 전력증폭기의 효율이 100%에 이르는 것이다.

그러나 실제 동작에서는 M_{CS} , M_{CG} 의 기생 캐패시터의 충전/방전 과정을 고려해야 한다. 기생 캐패시터를 포함하는 cascode 구조의 회로도에는 그림 3과 같다. M_{CS} 의 기생 캐패시터(C_1)로 인해 M_{CS} , M_{CG} 는 동시에 켜지고, 꺼지는 것은 불가능하다⁷⁾. M_{CS} 의 기생 캐패시터(C_1)의 충전/방전을 통해서 M_{CS} 의 드레인 전압이 변하고, 그로 인해 M_{CG} 가 켜지고, 꺼진다. 이때 cascode 구조의 ‘꺼짐’, ‘켜짐’ 변화시간이 이상적인 동작보다 길다. ‘꺼짐’, ‘켜짐’ 변화시간이 길어짐에 따라 트랜지스터의 직류전력 소모가 발생하고, 이에 따라 전력증폭기의 전체 효율이 감소한다.

III. Cascode 구조의 Common-Gate 트랜지스터 바이어스 분석

Cascode 구조의 Common-source 트랜지스터의 켜짐 꺼짐은 입력 신호에 의해 비교적 빠르게 결정된다. 그러나 cascode 구조의 Common-gate 트랜지스터(M_{CG})의 ‘켜짐’, ‘꺼짐’ 변화시간은 게이트 바이어스와 소스의 전압차이로 인해 결정된다. ‘켜짐’, ‘꺼짐’ 변화시간이 트랜지스터의 직류전력 소모에 영향을 미치므로, M_{CG} 의 게이트 바이어스를 통해서 cascode 구조의 전체적인 ‘켜짐’, ‘꺼짐’ 변화시간을 제어할 수 있고, 그로 인해 높은 효율을 얻을 수 있다.

3-1 스위칭 모드 Cascode 구조의 ‘꺼짐’ 상태

그림 4는 해당 구조의 ‘꺼짐’ 과정을 보여준다. 그림 4(a)와 같이 M_{CS} 가 열려 있더라도 M_{CG} 는 닫혀 있다.

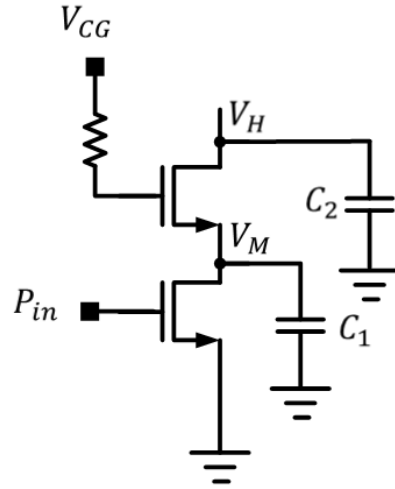


그림 3. 기생 캐패시터를 포함한 cascode 구조 회로도
Fig. 3. Cascode schematic with parasitic capacitors.

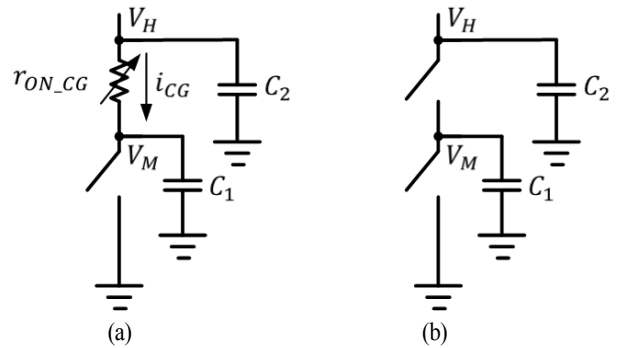


그림 4. (a) M_{CS} ‘꺼짐’, M_{CG} ‘켜짐’, (b) M_{CS} ‘꺼짐’, M_{CG} ‘꺼짐’
Fig. 4. (a) M_{CS} ‘off’, M_{CG} ‘on’, (b) M_{CS} ‘off’, M_{CG} ‘off’.

M_{CG} 를 통과하는 전류(i_{CG}), M_{CG} 의 드레인, 소스의 전압차이로 인해 직류전력소모가 발생한다. i_{CG} 로 인해 C_1 가 충전되고, 그에 따라 M_{CG} 의 소스 전압이 증가한다. M_{CG} 의 소스 전압이 증가함에 따라 M_{CG} 의 게이트 전압과의 차이가 점점 줄어들어 M_{CG} 의 Threshold 전압보다 작아지면 M_{CG} 는 열리고, cascode 구조는 ‘꺼짐’ 상태가 된다. M_{CG} 의 소스 전압의 증가속도가 일정하다고 가정하면, M_{CG} 의 게이트 바이어스를 통해서 변화시간을 조절할 수 있다.

M_{CG} 의 on 저항(r_{on-CG}), M_{CS} 의 기생 캐패시터(C_1)을 통해 ‘꺼짐’ 상태로 변할 때, 직류 전원 소모를 분석한다. 쉬운 이해를 위해서, r_{on-CG} , C_1 일정한 값을 갖는다고 가정한다. 캐패시터로 인해 전압과 전류의 변화는 지수함수와 같지만, 고주파수에서 동작하는 회로임을 감안하고, 직관적인 이해를 위해 짧은 시간동안 선형적으로 변화한다고 가정하였다. 그림 5에서 볼 수 있듯이, 높은 게이트 바이어스(V_{CG-H})인 경우, 낮은 게이트 바이어스(V_{CG-L})인 경우를 비교한다. 이때 직류 전력 소모는 식 (1)과 같다.

$$\begin{aligned}
 P_{L-L} &= \int_0^{t_1} v_{CG-DS}(t) \times i_{CG}(t) dt \\
 &= \int_0^{t_1} (3\alpha t - \alpha t)(-\beta t + I_L) dt \\
 &= -\frac{2}{3}\alpha\beta t_1^3 + I_L\alpha t_1^2 \\
 &= \frac{1}{3}\alpha\beta t_1^3
 \end{aligned} \tag{1}$$

이 식에서 $v_{CG-DS}(t)$ 는 $V_M(t)$ 와 $V_H(t)$ 의 전압차

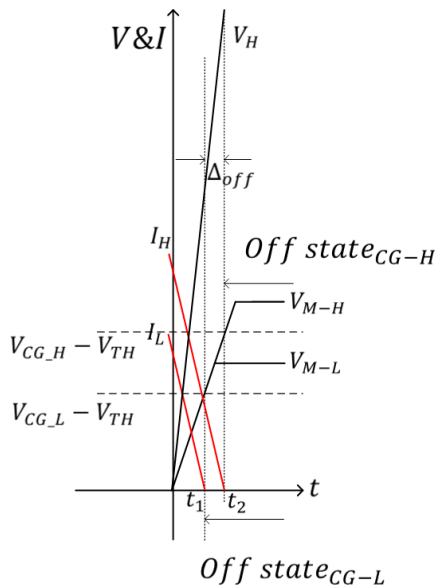


그림 5. Common-gate 트랜지스터의 꺼지는 과정의 전류, 전압

Fig. 5. Voltage and current during common-gate transistor ‘off’ process.

이다. Class-E 전력증폭기가 최대출력으로 최적화되었다면, $V_H(t)$ 의 최종 도달값이 $V_M(t)$ 보다 약 3배 크기 때문에 그림 5와 같이 $V_H(t)$ 는 $V_M(t)$ 보다 3배 빠르게 증가한다고 가정하였다^[7]. α 는 $V_M(t)$ 의 전압의 시간에 따른 변화율이고, $V_H(t)$ 의 기울기는 ‘ 3α ’이다. 그리고 β 는 $i_{CG}(t)$ 의 변화율로 정의하였다. I_L 은 βt_1 이므로 낮은 게이트 바이어스일 때, 변화구간에서의 전력소모는 식 (1)과 같다.

이제 V_{CG-H} 인 경우와 V_{CG-L} 인 경우의 소모전력을 비교하면 식 (2)와 같다.

$$\frac{P_{L-H}}{P_{L-L}} = \frac{t_2^3}{t_1^3} = \frac{(t_1 + \Delta_{off})^3}{t_1^3} > 1 \tag{2}$$

이때 P_{L-H} 는 V_{CG-H} 일 때 소모전력, P_{L-L} 은 V_{CG-L} 일 때 소모전력을 나타내며, t_1 은 I_L/β , t_2 는 I_H/β , Δ_{off} 는 t_1, t_2 의 시간 차이를 나타낸다. Gate-bias가 낮을수록 변화시간이 짧아지므로 본 수식을 통해서 V_{CG-H} 일 때 소모전력보다 V_{CG-L} 일 때 소모전력이 더 적음을 알 수 있다. 일반적인 모든 경우에 적용하기에는 무리가 있지만, 동일한 RF 출력이라고 가정했을 때 소모전력이 작으므로 효율이 좋다고 할 수 있다.

3-2 스위칭 모드 Cascode 구조의 ‘꺼짐’ 상태

그림 6은 ‘꺼짐’ 과정을 보여준다. ‘꺼짐’ 과정과 반대

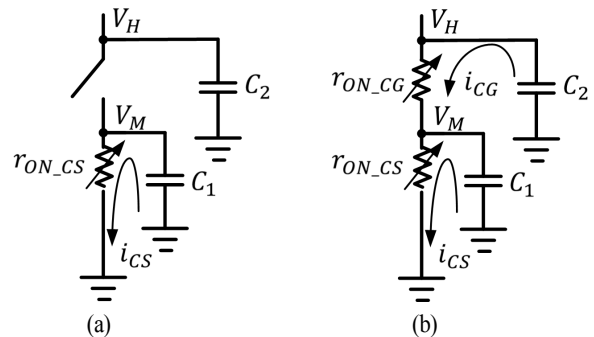


그림 6. (a) M_{CS} ‘꺼짐’, M_{CG} ‘꺼짐’, (b) M_{CS} ‘켜짐’, M_{CG} ‘켜짐’

Fig. 6. (a) M_{CS} ‘on’, M_{CG} ‘off’, (b) M_{CS} ‘on’, M_{CG} ‘on’.

로 M_{CS} 가 닫혀 트랜지스터가 켜지더라도 M_{CG} 는 꺼져 있다. 그림 6(a)와 같이 M_{CS} 의 기생 캐패시터 C_1 에 쌓여 있던 전하는 M_{CS} 를 통해서 빠져나간다. 이때 V_M 이 낮아진다. V_M 과 M_{CG} 의 게이트 바이어스 사이 전압 차이가 M_{CG} 의 Threshold 전압보다 커지면 M_{CG} 가 켜지면서 그림 6(b)와 같이 cascode 구조의 두 트랜지스터가 켜진다. ‘꺼짐’ 상태와 마찬가지로 M_{CG} 의 소스 전압의 감소 속도가 일정하다고 가정하면, M_{CG} 의 게이트 바이어스를 통해서 변화시간을 조절할 수 있다.

M_{CG} 의 on 저항(r_{on-CG}), M_{CS} 의 기생 캐패시터(C_1)을 통해 ‘꺼짐’상태로 변할 때, 직류 전원 소모를 분석한다. 쉬운 이해를 위해서, r_{on-CG} , C_1 일정한 값을 갖는다고 가정한다. 그림 7에서 볼 수 있듯이, 높은 게이트 바이어스(V_{CG-H})인 경우, 낮은 게이트 바이어스(V_{CG-L})인 경우를 비교한다. 먼저 높은 게이트 바이어스의 경우 소모 전력은 식 (3)과 같다.

$$\begin{aligned} P_{L-H} &= \int_0^{t_2} v_{CG-DS}(t) \times i_{CG}(t) dt \\ &= \int_0^{t_2} (-2\alpha t + C_H)(\beta t) dt \\ &= \beta t_2^3 \left(-\frac{2}{3}\alpha + \frac{C_L}{2t_2} \right) \end{aligned} \quad (3)$$

이 식에서 α , β 의 정의는 식 (1)과 같다. t_2 는 I_H/β , C_H 는 $V_{H-H} - (V_{CG-H} - V_{TH})$ 이다. 그리고 $v_{CG-DS}(t)$ 는 $V_M(t)$ 와 $V_H(t)$ 의 전압차이다. ‘꺼짐’ 과정과 같은 이유로 그림 7과 같이 $V_H(t)$ 는 $V_M(t)$ 보다 3배 빠르게 감소한다고 가정하였다.

그리고 낮은 게이트 바이어스일 때 소모 전력은 식 (4)와 같다.

$$P_{L-L} = \beta t_1^3 \left(-\frac{2}{3}\alpha + \frac{C_L}{2t_1} \right) \quad (4)$$

이 수식에서 α, β 의 정의는 식 (1)과 같다. t_1 은 I_L/β , C_L 은 $V_{H-L} - (V_{CG-L} - V_{TH})$ 이다. 높은 게이트 바이어스의 소모전력과 낮은 게이트 바이어스의 소모 전력을 비교하기 위해서 $\frac{C_L}{2t_1} \cong \frac{C_H}{2t_2}$ 라고 가정한다. 비교 결

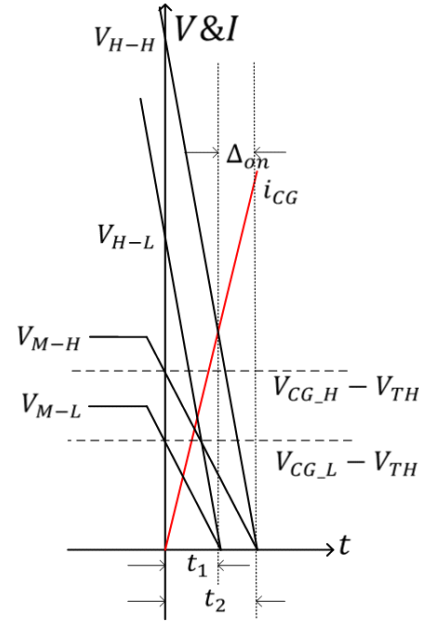


그림 7. Common-gate 트랜지스터의 켜지는 과정의 전류, 전압

Fig. 7. Voltage and current during common-gate transistor ‘on’ process.

과는 식 (5)와 같다.

$$\frac{P_{L-H}}{P_{L-L}} = \frac{t_2^3}{t_1^3} = \frac{(t_1 + \Delta_{on})^3}{t_1^3} > 1 \quad (5)$$

이 식에서 Δ_{on} 은 t_1 과 t_2 의 차이 값이다. Gate-bias가 낮을수록 변화시간이 짧아지므로 본 수식을 통해서 V_{CG-H} 일 때 소모전력보다 V_{CG-L} 일 때 소모전력이 더 적음을 알 수 있다.

3-3 Common-Gate 트랜지스터의 저항

이전 두 챕터에서는 트랜지스터 on 저항의 변화는 무시하였다. Common-gate 트랜지스터의 on 저항은 게이트 바이어스에 따라서 변한다. 그리고 결국 낮은 Gate-bias가 과도하게 낮아지면 common-gate 트랜지스터가 꺼져 급격히 저항값이 커진다. 일반적으로 전력증폭기의 트랜지스터의 on 저항은 load 저항의 1/10보다 작게 설계한다. 이때, on 저항이 변화없다고 하면 무시할 수 있다. 그러나 과도하게 낮은 gate-bias를 인가할 경우, 트랜지스터가 off

에 가까워져 drain- source 저항($r_{Drain-Source}$)이 load 저항의 1/10보다 크다고 하면 출력과 효율이 손실된다.

$$\eta_{PA} \propto \frac{r_{load}}{r_{load} + r_{Drain-Source}} \quad (6)$$

$$P_{out} \propto \frac{r_{load} V_{DD}^2}{(r_{load} + r_{Drain-Source})^2} \quad (7)$$

이를 증명하기 위해서, 그림 8 cascode 구조의 스위칭 모드 전력증폭기를 시뮬레이션하였다. 여기서 M_{CG} 의 폭은 M_{CS} 보다 2배 넓다. 그리고 M_{CG} 는 Thick Oxide 트랜지스터이다. 그림 9의 결과에서 볼 수 있듯이, common-gate 바이어스가 1.5 V 이하일 때, M_{CG} 의 on 저항이 급격하게 커지고, 이에 따라 출력이 급격하게 낮아지는 것도 확인할 수 있다.

그리고 common-gate 트랜지스터의 gate-bias를 과도하게 낮은 값을 인가할 경우, on-저항, 트랜지스터의 off에 따른 저항이 커질 뿐만 아니라, common-gate 트랜지스터의 gate와 drain 사이의 전압이 차이가 커지므로 안정성에도 문제를 발생시킬 수 있다.

3-4 Cascode 구조 전력증폭기의 효율

이전의 챕터에서 common-gate 트랜지스터의 게이트 바이어스를 낮게 인가하면 DC 전력소모가 낮아지는 것을 확인했다. 그러나 그림 10의 결과와 같이 낮은 게이트 바

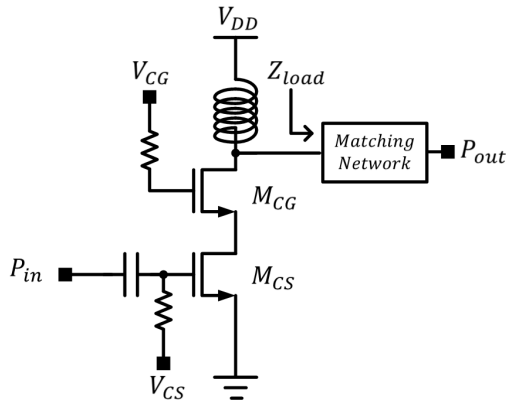


그림 8. 시뮬레이션을 수행한 회로도
Fig. 8. The schematic of simulation.

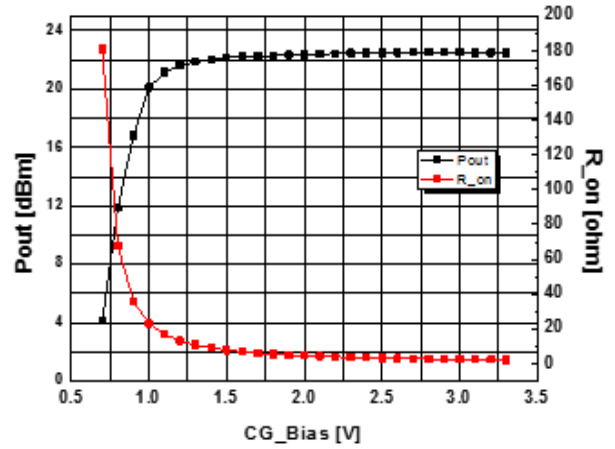


그림 9. 시뮬레이션된 cascode 구조의 on 저항과 전력증폭기의 출력전력
Fig. 9. Simulated output power of cascode structure with on resistor.

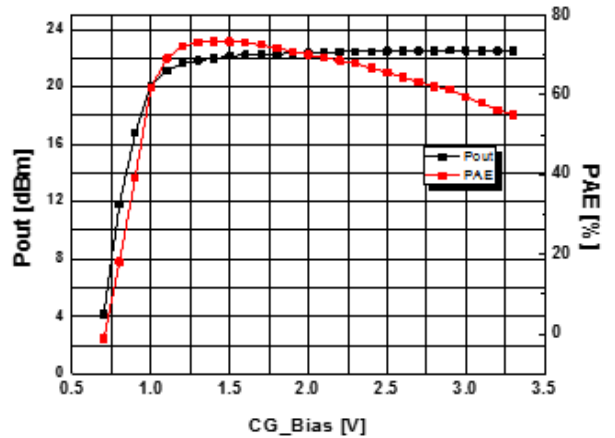


그림 10. 시뮬레이션 결과의 PAE 출력전력
Fig. 10. Simulated output power of cascode structure with PAE.

이어서로 인해 common-gate 트랜지스터의 on 저항이 load 저항의 1/10보다 같거나 커진다면, 효율과 출력이 낮아지는 것도 확인하였다. 그림 10의 시뮬레이션 결과를 확인하면, common-gate 트랜지스터의 게이트 바이어스가 1.5~3.3 V 영역에서는 DC 전력소모의 감소로 낮아질수록 효율이 증가하고, on-저항이 급격히 커지는 1.5 V 이하의 영역에서는 효율이 급격하게 감소하는 것을 확인할 수 있다.

그림 8의 cascode 구조를 갖는 전력증폭기의 시뮬레이

선 상 최대 효율은 common-gate 트랜지스터의 게이트 바이어스가 1.5 V일 때, 73.27 %이다. 그러나 만약 전력증폭기의 load 임피던스가 달라지면, 최적의 게이트 바이어스값은 달라질 수 있다. 일반적으로 비슷한 출력을 가질 경우, differential 구조는 single-ended 구조보다 load 저항이 작다. 따라서 differential 구조를 사용하는 전력증폭기가 single-ended 구조를 사용하는 전력증폭기의 최적 common-gate 트랜지스터 게이트 바이어스 보다 높은 전압에서 최적의 게이트 바이어스를 형성할 것이다.

결과적으로, common-gate 트랜지스터의 게이트 바이어스의 변화에 따른 전력증폭기의 DC 전력소모, on 저항의 변화를 통해 최고의 효율을 갖는 바이어스값을 선택할 수 있다.

IV. 실험 결과

이 연구에 대한 가능성을 증명하기 위해서, 0.18 μm RF CMOS 공정을 이용하여 1.9 GHz 전력증폭기를 설계하였다.

4-1 전력증폭기 설계

Cascode 구조의 스위칭 동작을 위해서, Class-D 구동단 (drive stage)을 이용하였다^{[8],[9]}. Wire-bonding의 기생 인덕턴스에 의한 이득감소를 피하기 위해서 전력단(power stage)을 차동구조로 설계하였다. 입력 트랜스포머, 출력 트랜스포머도 전력증폭기와 함께 하나의 칩으로 만들었다. 전력증폭기의 전체 회로도에는 그림 11과 같다.

와트급 출력을 얻기 위해서 두 개의 병렬 전력단으로 구성된다. 간결한 표현을 위해서 common-source 트랜지스터의 바이어스 전압은 생략하였다. 그리고 DAT(Distributed Active Transformer)를 매칭네트워크, 출력 트랜스포머, 파워 콤파이너로 사용하였다^{[10],[11]}. Common-source 트랜지스터의 크기는 2,048 μm , common-gate 트랜지스터의 크기는 3,072 μm 이다. 그림 12는 전력증폭기의 실제 사진이다. 측정을 위한 패드를 포함한 전력증폭기의 크기는 1.3×1.7 mm이다.

본 논문에서 설계한 전력증폭기는 차동증폭기의 가상 접지에 전류원을 배치되어 분석할 때 보여준 회로와 차이가 있으나, common-gate 트랜지스터의 gate-bias의 변화

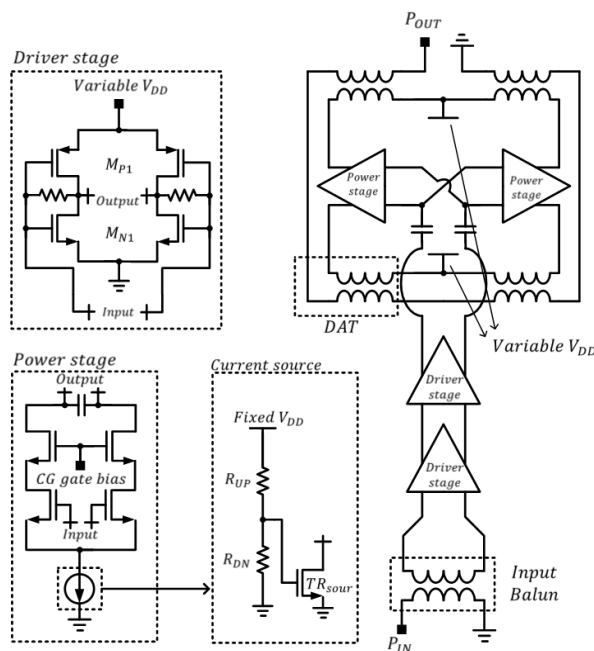


그림 11. 설계한 전력증폭기의 회로도
Fig. 11. The schematic of a designed power amplifier.

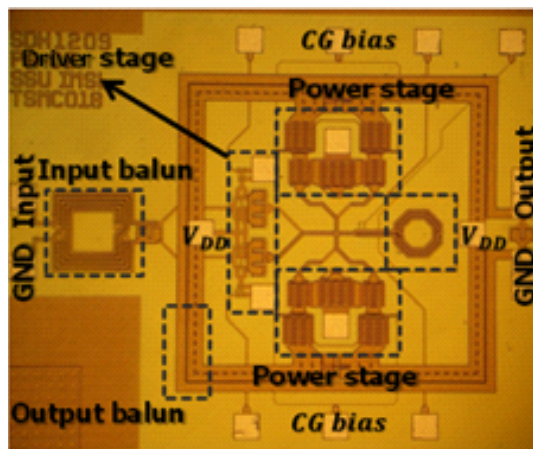


그림 12. 전력증폭기 사진
Fig. 12. The photograph of a power amplifier.

에 따른 출력과 효율변화는 비슷한 경향을 보이고 있다.

4-2 측정결과

Common-gate 트랜지스터의 게이트 바이어스에 따른 출력 전력과 PAE를 측정하였다. 그 결과는 그림 13과 같

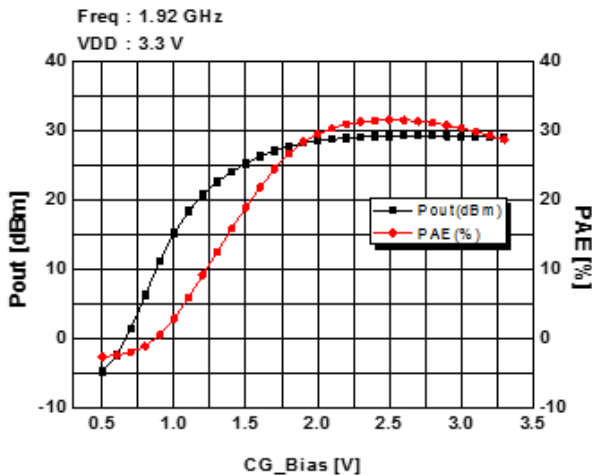


그림 13. 실험 결과
Fig. 13. Measurement results.

다. 동작 주파수는 1.9 GHz이고, 최대 출력 전력은 29.1 dBm, 최고 PAE는 common-gate 트랜지스터의 게이트 바이어스가 2.5 V일 때 31.5 %이다.

Common-gate 트랜지스터의 게이트 바이어스가 2.5~3.3 V구간에 전력효율은 전압이 낮을수록 증가하고, 출력 전력은 거의 동일한 출력값을 보이고 있다. 그러나 common-gate 트랜지스터의 게이트 바이어스가 2 V 이하 구간에서는 출력이 급격하게 감소한다. 그에 따라 효율도 급격하게 감소한다. 본 시험결과를 통해서 최적의 common-gate 트랜지스터의 게이트 바이어스는 2.5 V임을 확인하였고, 그 값은 앞서 설명한 분석의 결과와 동일하게 일반적으로 사용하는 전원 전압 3.3 V보다 낮은 값이다.

V. 결 론

본 논문에서는 cascode 구조를 갖는 Class-E CMOS 전력증폭기의 common-gate 트랜지스터의 게이트바이어스에 따른 효율을 분석하였다. 만약 전력증폭기의 전원 전압보다 낮은 게이트 바이어스를 인가할 경우, cascode 구조의 ‘켜짐’, ‘꺼짐’의 변화시간이 짧아진다. 이에 따라 유실되는 전류가 줄어들고, DC 전력소모가 감소하여 전력증폭기의 효율이 증가한다. 그러나 게이트 바이어스를 과도하게 낮은 값을 사용하여, 트랜지스터의 on 저항이 load 저항과 비교할 만큼 커지면 출력 전력과 효율은 감소한

다. 이러한 조건을 고려하여, common-gate 트랜지스터의 on 저항이 과도하게 커지지 않으면서, 전원전압보다 낮은 게이트바이어스를 사용할 때, 전력증폭기의 효율이 높다는 것을 확인하였다. 따라서 실험결과를 통해서 본 분석이 적절하다는 것을 증명하였다.

References

- [1] C. Park, Y. Kim, and S. Hong, "A 1.9- GHz CMOS power amplifier using three-port asymmetric transmission line transformer for a polar transmitter", *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 2, pp. 230-238, Feb. 2007.
- [2] A. Kavousian, D. K. Su, M. Hekmat, A. Shirvani, and D. A. Wooley, "A digitally modulated polar CMOS power amplifier with a 20-MHz channel bandwidth", *IEEE J. Solid-State Circuits*, vol. 43, no. 10, pp. 2251-2258, Oct. 2008.
- [3] P. Reynaert, M. Steyaert, "A 1.75 GHz polar modulated CMOS RF power amplifier for GSM-EDGE", *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2598-2608, Dec. 2005.
- [4] F. H. Raab, N. O. Sokal, "Transistor power losses in the class-E tuned power amplifier", *IEEE J. Solid-State Circuits*, vol. 13, no. 6, pp. 912-914, Dec. 1978.
- [5] H. Hwang, D. Seo, J. Park, and C. Park, "Investigation of the power transistor size related to the efficiency of switching-mode RF CMOS power amplifier", *Microw. Opt. Technol. Lett.*, vol. 56, no. 1, pp. 110-117, Jan. 2014.
- [6] A. Mazzanti, L. Larcher, R. Brama, and F. Svelto, "Analysis of reliability and power efficiency in cascode class-E Pas", *IEEE J. Solid-State Circuits*, vol. 41, no. 5, pp. 1222-1229, May 2006.
- [7] O. Lee, J. Han, K. An, D. Lee, K. Lee, S. Hong, and C. Lee, "A charging acceleration technique for highly efficiency cascode class-E CMOS power amplifiers", *IEEE J. Solid-State Circuits*, vol. 45, no. 10, pp. 2184-2197, Oct. 2010.
- [8] J. Jang, H. Lee, C. Park, and S. Hong, "A class-E CMOS

RF power amplifier with cascaded class-D driver amplifier", *Microw. Opt. Technol. Lett.*, vol. 50, no. 2, pp. 470-473, Feb. 2008.

[9] J. Jang, C. Park, H. Kim, and S. Hong, "A CMOS RF power amplifier using an off-chip transmission line transformer with 62 % PAE", *IEEE Microw. Wirel. Componen. Lett.*, vol. 17, no. 5, pp. 385-387, May 2007.

[10] I. Aoki, S. D. Kee, D. B. Rutledge, and Hajimiri, "Dis-

tributed active transformer-A new power-combining and impedance-transformation technique", *IEEE Trans. Microw. Theory Tech.*, vol. 50, no. 1, pp. 316-331, Jan. 2002.

[11] I. Aoki, S. D. Kee, D. B. Rutledge, and Hajimiri, "Fully integrated CMOS power amplifier design using the distributed active-transformer architecture", *IEEE J. Solid-State Circuits*, vol. 37, no. 3, pp. 371-383, Mar. 2002.

서 동 환



2012년 2월: 숭실대학교 정보통신전자공학부 (공학사)

2014년 2월: 숭실대학교 정보통신공학과 (공학석사)

2014년 2월 ~ 현재: 국방과학연구소 연구원

[주 관심분야] 초고주파 회로설계, 무선통

신 시스템