

論文

J. of The Korean Society for Aeronautical and Space Sciences 45(11), 998-1005(2017)

DOI:https://doi.org/10.5139/JKSAS.2017.45.11.998

ISSN 1225-1348(print), 2287-6871(online)

다중모드 통합시험환경을 이용한 계층구조 항공전자시스템의 검증

장우혁*, 박재성**, 조영우**, 변진구**

Verification of Hierarchically Structured Avionics System
Utilizing Multi-Mode System Integration Laboratory

Woohyuk Chang*, Jae Seong Park**, Young Wo Jo** and Jinku Byun**

The 7th R&D Institute, Agency for Defense Development* ,**

ABSTRACT

In this paper, we first introduce a systematic verification procedure for hierarchically structured avionics system. By making use of equipment models, it can perform individual verifications of each subsystem, integrated verifications of multiple subsystems, and an integrated verification of a whole system. A multi-mode system integration laboratory is then proposed to make it possible to execute various individual or integrated verification tests at the same time. By mathematically proving that the proposed multi-mode system integration laboratory needs less verification time than the conventional verification methodology, it is expected to enhance the efficiency of the systematic verification procedure and as a result, reduce the overall verification period and costs.

초 록

본 논문에서는 계층구조로 설계된 항공전자시스템의 체계적 검증을 위해 장비 모델을 활용하여 각 서브시스템 별 개별 검증, 다수 서브시스템들 간 통합 검증, 전체 시스템의 통합 검증 등으로 이루어진 단계적 검증 절차를 소개하였으며, 이를 기반으로 여러 단계의 시험이 1대의 통합시험환경으로 동시에 수행 가능한 다중모드 통합시험환경 개발 방안을 제안하여 기존의 순차적 시험 방식에 비해 시험 시간을 줄일 수 있음을 수학적으로 증명함으로써, 시험 효율성을 향상에 따른 검증 기간 단축과 비용 절감 효과를 입증하였다.

Key Words : Avionics(항공전자), Hierarchical Structure(계층구조), Multi-Mode(다중모드), System Integration Laboratory(SIL, 통합시험환경), Verification(검증)

1. 서 론

최근 항공기에서 각종 전자장비들이 차지하고 있는 비중이 증가함에 따라 탑재된 전자장비들의 내장 SW 신뢰성을 확보하기 위한 시험의 중요성

이 강조되고 있다. 일반적으로 항공기의 항공전자장비들에 내장된 SW 성능 시험은 시험대상 장비(UUT, Unit under Test)가 다른 장비들과 연동하기 위해 주고받는 입출력 신호를 통해 내장된 SW의 기능 검증이 이루어진다. 이를 위해

† Received : July 10, 2017 Revised : September 26, 2017 Accepted : October 3, 2017

* Corresponding author, E-mail : whchang@ieee.org

UUT와 연동하는 다른 전자장비들의 신호를 모사하여 UUT의 입력 신호를 제공하고 이에 대한 UUT의 반응 출력 신호를 확인하는 시험환경 (Test Bench)을 구성하게 된다. 이러한 시험환경은 항공기를 구성하는 다수의 UUT를 동시에 연동하여 통합시험이 가능한 통합시험환경 (SIL, System Integration Laboratory)으로 확장되어 항공전자시스템 설계를 검증하기 위해 사용된다 [1-5]. 통합시험환경은 일반적으로 항공기에 탑재되는 실제 장비들이 항공기 내부의 연동 구조와 동일하게 연결되도록 구성하며, 장비 고장 등과 같이 실제 장비로는 시험이 어려운 상황을 모의할 수 있는 소프트웨어 모델을 활용하여 다양한 단계별 검증 시험을 수행한다.

항공기에 탑재된 여러 장비들 간의 연동 구조로 정의되는 항공전자시스템의 설계를 위해서 일반적으로 MIL-STD-1553B, ARINC 653, AFDX 등과 같은 데이터 버스를 이용한다. 이 가운데 MIL-STD-1553B [6]과 같이 Bus Controller (BC)와 Remote Terminal (RT)의 상하 관계로 구성된 데이터 버스의 경우, 다수 버스들 간의 연동 구조를 Fig. 1과 같이 하위 버스의 BC가 상위 버스의 RT로 구성되는 계층구조 (Hierarchical Structure)를 가지도록 설계할 수 있다.

이러한 계층구조로 설계된 항공전자시스템을 체계적으로 검증하기 위해서는 각 서브시스템 별 개별 검증, 다수 서브시스템들 간 통합 검증, 전체 시스템의 통합 검증 등으로 이루어진 단계적 검증 절차가 수행되어야 한다[7]. 하지만 이러한 단계적 검증 절차를 순차적으로 수행하기에는 많은 시간이 요구되므로, 이를 극복하기 위하여 [7]에서는 각 서브시스템 별 개별 혹은 다수 서브시스템들 간 통합 검증 시험을 동시에 수행 가능한 다중모드 통합시험환경의 개념을 제안하였다. 본 논문에서는 [7]에서 개념적으로 소개된 다중모드 통합시험환경에 대하여 구체적인 설계 방안을 제안하였으며, 기존의 순차적 시험 방식과 비교하여 버스 개수에 비례하여 시험 시간을 줄일 수 있음을 수학적으로 증명함으로써, 시험 효율성 향상에 따른 검증 기간 단축과 비용 절감 효과를 입증하였다.

II. 본 론

2.1 계층구조 항공전자시스템의 검증

본 절에서는 [7]에서 제안된 계층구조 항공전자시스템의 단계적 검증 절차와 장비 모델을 활

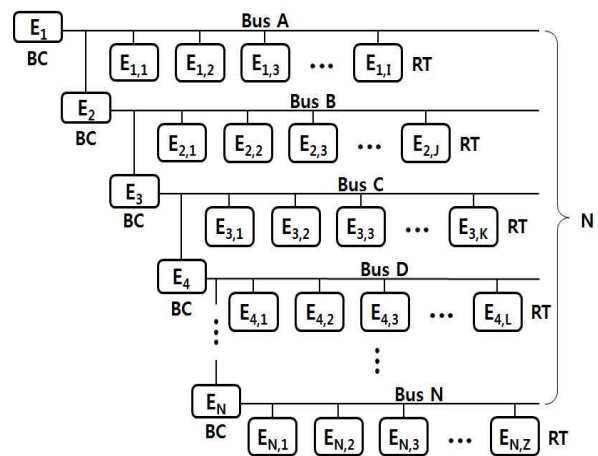


Fig. 1. Avionics System with N-Level Hierarchical Structure

용한 단계적 검증 방안을 소개한다.

2.1.1 단계적 검증 절차

본 논문에서는 일반적으로 Fig. 1과 같이 N개 버스의 계층구조로 설계된 항공전자시스템을 다루며, 일례로서 4개 버스의 계층구조를 가진 시스템에 대하여 구체적인 검증 방안을 소개한다. Fig. 1에서 각 버스 별로 장비 (E₁), (E₂), (E₃), (E₄), ..., (E_N)이 각각 BC 역할을 하며, 동시에 각 BC 장비는 상위 버스의 RT로 동작한다. 예를 들면, 장비 (E₂)는 B 버스의 BC임과 동시에 A 버스의 RT로, 장비 (E₃)는 C 버스의 BC임과 동시에 B 버스의 RT로 동작한다.

이때 전체 시스템은 다음과 같이 N단계의 단계적 검증 시험을 통해 체계적인 검증이 이루어진다.

- 1단계 : 각 버스 (A, B, C, D, ...) 별 개별 검증
- 2단계 : 2개 버스들 (AB, BC, CD, ...) 간 통합 검증
- 3단계 : 3개 버스들 (ABC, BCD, ...) 간 통합 검증
- k단계 : k개 버스들 간 통합 검증
- N단계 : 전체 시스템 (ABCD...) 통합 검증

따라서 Fig. 1과 같은 N단계의 계층구조를 가진 시스템을 검증하기 위해서는 총 $N+(N-1)+\dots+1=N(N+1)/2$ 개 종류의 개별 혹은 통합 검증 시험이 수행되어야 하며, 일례로서 4개 버스의 계층구조를 가진 시스템의 경우, 총 $4+3+2+1=4 \times 5 / 2 = 10$ 개 종류의 검증 시험이 수행되어야 한다.

2.1.2 장비 모델을 활용한 단계적 검증

4개 버스의 계층구조를 가진 항공전자시스템의 통합시험환경은 다음과 같이 각 장비 별 모델

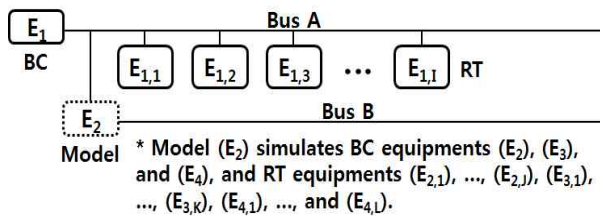


Fig. 2. Utilization of Equipment Models for Verification of Bus A and Its Connected Equipments

을 활용하여 단계적 검증 절차를 수행할 수 있다.

* 1단계 : 각 버스별 개별 검증

- 최상위의 A 버스 개별 검증 시, Fig. 2와 같이 (E₁) 장비는 실장비를 사용하고 (E₂) 장비 모델을 활용한다. (E₂) 장비 모델은 하위 버스인 B, C, D 버스에 연결된 장비들을 모사하며, 이 장비들의 기능 중 (E₁) 장비와 연동하는 기능만을 모사한다. 이때 A 버스의 RT인 (E_{1,1}), ..., (E_{1,I}) 장비들에 대한 다양한 실장비/모델 조합으로 A 버스 개별 검증이 이루어진다.

- B 버스 개별 검증 시, (E₂) 장비는 실장비를 사용하고 (E₁), (E₃) 장비 모델을 활용한다. (E₁) 장비 모델은 A 버스 장비들을 모사하며, 이 장비들의 기능 중 (E₂) 장비와 연동하는 기능만 모사한다. (E₃) 장비 모델은 하위 버스인 C, D 버스 장비들을 모사하며, 이 장비들의 기능 중 (E₂) 장비와 연동하는 기능만을 모사한다. 이때 B 버스의 RT인 (E_{2,1}), ..., (E_{2,I}) 장비들에 대한 다양한 실장비/모델 조합으로 B 버스 개별 검증이 이루어진다.

- C 버스 개별 검증 시, Fig. 3과 같이 (E₃) 장비는 실장비를 사용하고 (E₂), (E₄) 장비 모델을 활용한다. (E₂) 장비 모델은 상위 버스인 A, B 버스 장비들을 모사하며, 이 장비들의 기능 중 (E₃) 장비와 연동하는 기능만 모사한다. (E₄) 장비 모델은 하위 버스인 D 버스 장비들을 모사하며, 이 장비들의 기능 중 (E₃) 장비와 연동하는 기능만 모사한다. 이때 C 버스의 RT인 (E_{3,1}), ..., (E_{3,K}) 장비들에 대한 다양한 실장비/모델 조합으로 C 버스 개별 검증이 이루어진다.

- D 버스 개별 검증 시, (E₄) 장비는 실장비를 사용하고 (E₃) 장비 모델을 활용한다. (E₃) 장비 모델은 상위 버스인 A, B, C 버스 장비들을 모사하며, 이 장비들의 기능 중 (E₄) 장비와 연동하는 기능만을 모사한다. 이때 D 버스의 RT인 (E_{4,1}), ..., (E_{4,I}) 장비들에 대한 다양한 실장비/모델 조합으로 D 버스 개별 검증이 이루어진다.

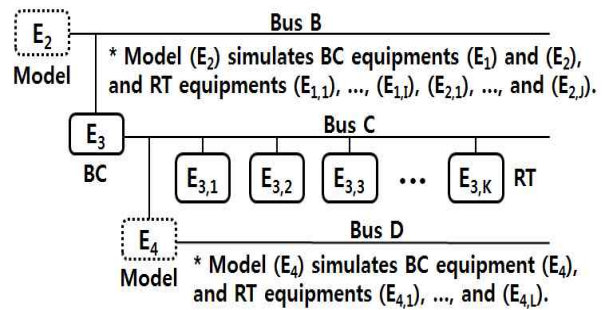


Fig. 3. Utilization of Equipment Models for Verification of Bus C and Its Connected Equipments

* 2단계 : 2개 버스들 간 통합 검증

- AB 버스 통합 검증 시, (E₁), (E₂) 장비는 실장비를 사용하고 (E₃) 장비 모델을 활용한다. (E₃) 장비 모델은 하위 버스인 C, D 버스 장비들을 모사하며, 이 장비들의 기능 중 (E₂) 장비와 연동하는 기능만을 모사한다. 이때 AB 버스의 RT 장비들에 대한 다양한 실장비/모델 조합으로 AB 버스 통합 검증이 이루어진다.

- BC 버스 통합 검증 시, (E₂), (E₃) 장비는 실장비를 사용하고 (E₁), (E₄) 장비 모델을 활용한다. (E₁) 장비 모델은 A 버스 장비들을 모사하며, 이 장비들의 기능 중 (E₂) 장비와 연동하는 기능만 모사한다. (E₄) 장비 모델은 하위 버스인 D 버스 장비들의 기능 중 (E₃) 장비와 연동하는 기능만을 모사한다. 이때 BC 버스의 RT 장비들에 대한 다양한 실장비/모델 조합으로 BC 버스 통합 검증이 이루어진다.

- CD 버스 통합 검증 시, (E₃), (E₄) 장비는 실장비를 사용하고 (E₂) 장비 모델을 활용한다. (E₂) 장비 모델은 상위 버스인 A, B 버스 장비들을 모사하며, 이 장비들의 기능 중 (E₃) 장비와 연동하는 기능만을 모사한다. 이때 CD 버스의 RT 장비들에 대한 다양한 실장비/모델 조합으로 CD 버스 통합 검증이 이루어진다.

* 3단계 : 3개 버스들 간 통합 검증

- ABC 버스 통합 검증 시, (E₁), (E₂), (E₃) 장비는 실장비를 사용하고 (E₄) 장비 모델을 활용한다. (E₄) 장비 모델은 하위 버스인 D 버스 장비들을 모사하며, 이 장비들의 기능 중 (E₃) 장비와 연동하는 기능만을 모사한다. 이때 ABC 버스의 RT 장비들에 대한 다양한 실장비/모델 조합으로 ABC 버스 통합 검증이 이루어진다.

- BCD 버스 통합 검증 시, (E₂), (E₃), (E₄) 장비는 실장비를 사용하고 (E₁) 장비 모델을 활용한다. (E₁) 장비 모델은 A 버스 장비들을 모사하

며, 이 장비들의 기능 중 (E₂) 장비와 연동하는 기능만을 모사한다. 이때 BCD 버스의 RT 장비들에 대한 다양한 실장비/모델 조합으로 BCD 버스 통합 검증이 이루어진다.

* 4단계 : 전체 시스템 통합 검증

- ABCD 버스 통합 검증 시, (E₁), (E₂), (E₃), (E₄) 장비는 모두 실장비로 시험하며, 이때 모든 RT 장비들에 대한 다양한 실장비/모델 조합으로 ABCD 버스 통합 검증이 이루어진다.

지금까지 MIL-STD-1553B와 같이 계층구조의 버스로 설계된 항공전자시스템에 대하여 장비 모델을 활용한 단계적 검증 절차를 설명하였으나, 실제 항공전자시스템은 메인 버스인 MIL-STD-1553B 이외에도 다양한 통신 인터페이스들로 이루어진 경우가 많이 있다. 이 경우, 장비 모델들에는 이러한 통신 인터페이스들을 포함하여 구현될 수 있다. 예를 들어, Fig. 3의 C 버스 개별 검증 시 (E_{3,2}) 장비와 (E_{2,1}) 장비 간에 Discrete 신호가 추가적으로 연동되어 있을 경우, (E₂) 장비 모델에 이러한 Discrete 신호가 포함되어 구현될 수 있다.

2.2 다중모드 통합시험환경

N개 버스의 계층구조를 가진 항공전자시스템의 검증을 위해 N단계 총 N(N+1)/2개 종류의 검증 시험을 순차적으로 1개씩 수행하는 것은 요구되는 검증 기간 측면에서 비효율적이다. 한편 동시에 모든 시험을 한 번에 수행하려고 각각의 시험에 대하여 통합시험환경을 별도로 구축하는 것은 비용 측면에서 낭비다. 본 논문에서는 검증 기간과 비용 측면에서 합리적인 절충 방안으로서, 통합시험환경 1대만을 구축하여 동시에 여러 단계의 시험이 가능하도록 [7]에서 개념적으로 제안된 다중모드 (Multi-Mode) 통합시험환경을 소개하고, 이를 구현하기 위한 구체적인 설계 방안을 제안한다. 또한 제안된 다중모드 통합시험환경의 시험 효율성을 수학적으로 증명한다.

2.2.1 일반적인 시험환경의 구성

1대의 UUT를 검증하기 위해 사용하는 일반적인 시험환경의 구성은 Fig. 4와 같이 UUT와 실제 연동하여 입출력 신호를 주고받는 실시간 모사장치와 이를 제어하는 HOST PC로 구성된다. 실시간 모사장치는 UUT와 실제 연동하는 다른 전자장비들의 입출력 신호를 모사하는 장비 모델 SW가 실시간 컴퓨터 상에서 실행되며, 실시간 컴퓨터로부터 모사된 입출력 정보는 외부통신 모듈을 통해 실제 UUT와 통신 가능한 입출력 신호로 변환된다.

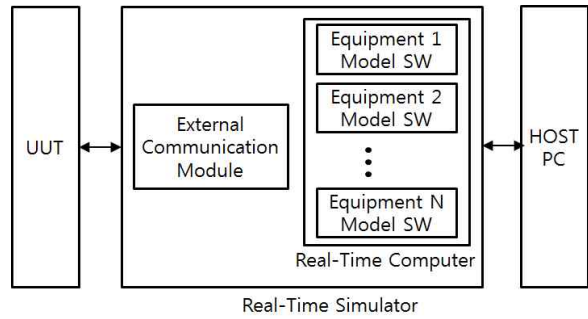


Fig. 4. Architecture of Test Bench

HOST PC에서는 시험자가 실시간 모사장치를 제어하기 위한 기능들이 구현되며, 이때 UUT와 연동하는 다른 장비 모델 SW들의 출력 신호(UUT의 입력 신호)를 GUI를 통해 사용자의 터치나 마우스 조작으로 입력하는 기능과 이에 대한 UUT의 반응 출력 신호(다른 장비 모델 SW들의 입력 신호)를 확인하는 기능을 포함한다.

2.2.2 다중모드 통합시험환경의 구성

다수의 UUT들로 이루어진 시스템의 검증을 위해 사용하는 통합시험환경의 구성은 Fig. 5와 같이 UUT들과 실제 연동하는 입출력 신호들을 모사하는 실시간 모사장치와 이를 제어하는 HOST PC들로 구성된다. 실시간 모사장치는 각 UUT 장비가 실장비로 연동을 수행할 것인지, 또는 해당 UUT 장비 모델 SW로 시험을 수행할 것인지 여부를 선택할 수 있는 기능을 제공하며, 선택된 UUT 장비 모델 SW는 실시간 컴퓨터 상에서 실행되어 해당 장비의 입출력 신호들을 모사하고, 실시간 컴퓨터로부터 모사된 입출력 정보는 외부통신 모듈을 통해 실제 UUT와 통신 가능한 입출력 신호로 변환된다. 각각의 HOST PC에서는 해당 시험에 대해 시험자가 실시간 모사장치를 제어하고 이에 대한 UUT 장비들의 반응들을 확인하기 위한 기능들이 GUI 형태로 구현된다. Fig. 5에서는 4개의 HOST PC들로 구성되어 있으므로, 동시에 4개의 시험 수행이 가능하다.

2.2.3 다중모드의 생성

4개 버스의 계층구조를 가진 항공전자시스템 검증의 경우, Fig. 6과 같이 8개 모드로 구성된 다중모드 통합시험환경을 구축할 수 있다. 각 모드를 생성하는 방법은 Fig. 6의 좌측 표에서 0으로 표시된 부분은 해당 두 개 버스 간 개별 검증을 생성하고, 1로 표시된 부분은 해당 두 개 버스 간 통합 검증을 생성한다. 예를 들어, Mode 3의 경우, B, C 버스 간에만 1로 표시되었으므로

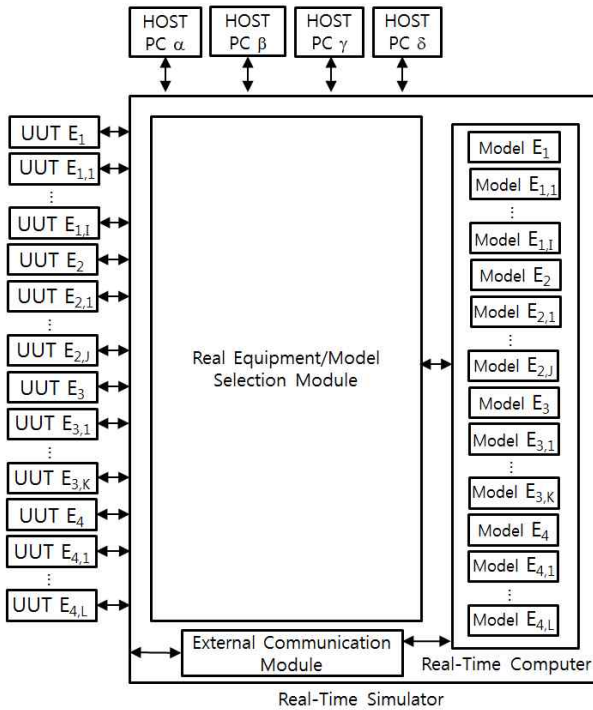


Fig. 5. Architecture of Multi-Mode SIL

BC 버스는 통합 검증을 수행하며, 나머지 A, D 버스에 대해서는 각각 개별 검증을 수행한다. 이렇게 생성된 각 모드에서는 동시에 다수의 개별 혹은 통합 시험이 수행될 수 있다.

각 모드를 생성하는 방법은 Fig. 6의 좌측 표에서 0으로 표시된 부분은 해당 두 개 버스 간 개별 검증을 생성하고, 1로 표시된 부분은 해당 두 개 버스 간 통합 검증을 생성한다. 예를 들어, Mode 3의 경우, B, C 버스 간에만 1로 표시되었으므로 BC 버스는 통합 검증을 수행하며, 나머지 A, D 버스에 대해서는 각각 개별 검증을 수행한다. 이렇게 생성된 각 모드에서는 동시에 다수의 개별 혹은 통합 시험이 수행될 수 있다.

예를 들어, 모드 3에서는 3가지의 시험이 통합 시험환경에서 다음과 같이 동시에 수행된다.

- 시험 1 : A 버스 개별 검증. (E₁) 장비는 실장비로 시험. (E₂) 장비 모델로 나머지 B, C, D 버스들의 장비들 모사. 이때 (E_{1,1}), ..., (E_{1,i}) 장비들은 다양한 실장비/모델 조합으로 시험.

- 시험 2 : BC 버스 통합 검증. (E₂), (E₃) 장비는 실장비로 시험. (E₁) 장비 모델로 A 버스의 장비들을 모사. (E₄) 장비 모델로 D 버스의 장비들을 모사. 이때 (E_{2,1}), ..., (E_{2,j}), (E_{3,1}), ..., (E_{3,k}) 장비들은 다양한 실장비/모델 조합으로 시험.

- 시험 3 : D 버스 개별 검증. (E₄) 장비는 실장비로 시험. (E₃) 장비 모델로 나머지 A, B, C

A	B	C	D	Test 1	Test 2	Test 3	Test 4	
0	0	0		Mode 1	A	B	C	D
0	0	1		Mode 2	A	B	CD	
0	1	0		Mode 3	A	BC	D	
0	1	1		Mode 4	A	BCD		
1	0	0		Mode 5	AB	C	D	
1	0	1		Mode 6	AB	CD		
1	1	0		Mode 7	ABC	D		
1	1	1		Mode 8	ABCD			

Fig. 6. Mode Generation for Multi-Mode SIL

버스들의 장비들 모사. 이때 (E_{4,1}), ..., (E_{4,L}) 장비들은 다양한 실장비/모델 조합으로 시험.

일반적으로 Fig. 1의 N개 버스를 가진 계층구조에 대해 2^{N-1}개의 다중모드 구성이 가능하며, 일례로서 Fig. 6의 4개 버스, 4단계 검증 절차가 필요한 항공전자시스템에 대해서는 2⁴⁻¹=8개의 다중모드 구성이 가능하다.

2.2.4 다중모드 통합시험환경의 설계

다중모드 통합시험환경은 Fig. 5의 실장비/모델 선택 모듈을 스위칭 소자를 통해 가변적으로 변경함으로써 Fig. 7, Fig. 8, Fig. 9, Fig. 10과 같이 다양한 모드 변환을 수행할 수 있다.

Figure 7에서는 Fig. 6의 모드 1에 대한 다중모드 통합시험환경의 구체적인 설계 방안을 도시하고 있다. Fig. 7에서 실장비/모델 선택 모듈에서 흑색 점으로 표시된 부분은 각 HOST PC와 UUT 실장비 혹은 UUT 모델이 연결됨을 의미한다. 특히 큰 흑점으로 표시된 부분은 BC 장비들의 실장비/모델 조합을 나타내며, 이를 통해 현재 실시간 모사장치의 실행 모드가 Fig. 6의 모드 1로 결정되고, HOST PC α, β, γ, δ가 각각 A, B, C, D 버스의 개별 검증 시험을 수행하게 된다. 또한 작은 흑점으로 표시된 부분은 RT 장비들의 실장비/모델 조합을 나타내며, 이를 통해 해당 UUT 장비들의 다양한 실장비/모델 조합으로 검증이 가능하게 된다.

Figure 7의 경우 모드 1에서 각 HOST PC 별로 다음과 같이 시험이 수행된다.

- HOST PC α : (E₁) 장비는 실장비로 시험, (E₂) 장비는 모델로 시험. Fig. 6의 모드 1의 시험 1 수행. 이때 (E_{1,1}) 장비는 실장비, ..., (E_{1,i}) 장비는 모델로 시험.

- HOST PC β : (E₂) 장비는 실장비로 시험, (E₁), (E₃) 장비는 모델로 시험. Fig. 6의 모드 1의 시험 2 수행. 이때 (E_{2,1}) 장비는 실장비, ..., (E_{2,j}) 장비는 실장비로 시험.

- HOST PC γ : (E₃) 장비는 실장비로 시험,

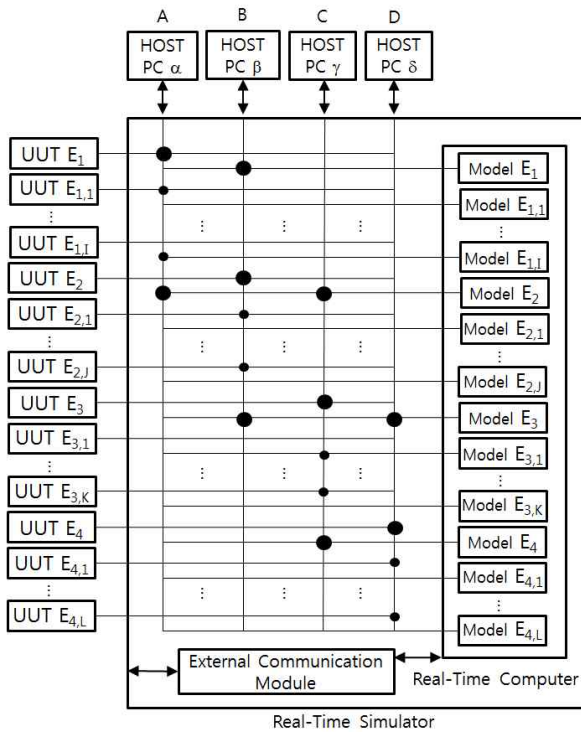


Fig. 7. Design Example of Multi-Mode SIL: Mode 1 in Fig. 6

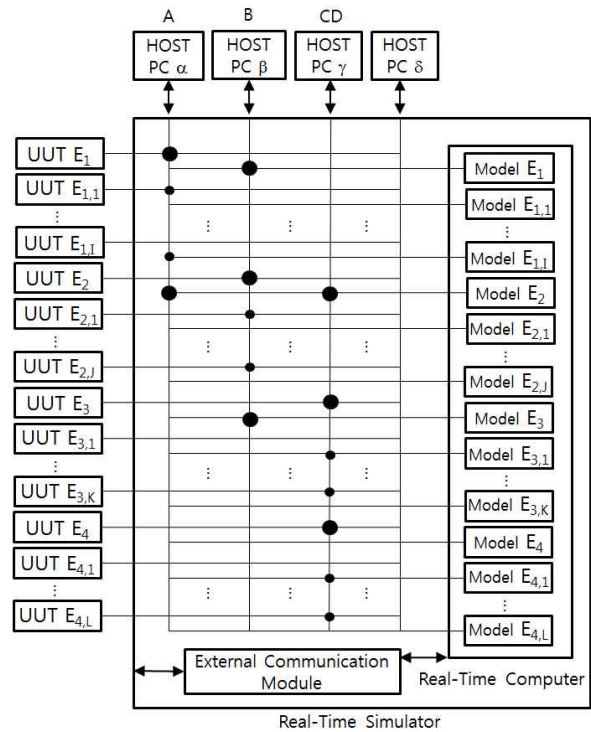


Fig. 8. Design Example of Multi-Mode SIL: Mode 2 in Fig. 6

(E₂), (E₄) 장비는 모델로 시험. Fig. 6의 모드 1의 시험 3 수행. 이때 (E_{3,1}) 장비는 모델, ..., (E_{3,K}) 장비는 실장비로 시험.

- HOST PC δ : (E₄) 장비는 실장비로 시험, (E₃) 장비는 모델로 시험. Fig. 6의 모드 1의 시험 4 수행. 이때 (E_{4,1}) 장비는 실장비, ..., (E_{4,L}) 장비는 실장비로 시험.

Fig. 8의 경우 Fig. 6의 모드 2로 동작하며, 각 HOST PC 별로 다음과 같이 시험이 수행된다.

- HOST PC α : (E₁) 장비는 실장비로 시험, (E₂) 장비는 모델로 시험. Fig. 6의 모드 2의 시험 1 수행. 이때 (E_{1,1}) 장비는 실장비, ..., (E_{1,I}) 장비는 모델로 시험.

- HOST PC β : (E₂) 장비는 실장비로 시험, (E₁), (E₃) 장비는 모델로 시험. Fig. 6의 모드 2의 시험 2 수행. 이때 (E_{2,1}) 장비는 실장비, ..., (E_{2,J}) 장비는 실장비로 시험.

- HOST PC γ : (E₃), (E₄) 장비는 실장비로 시험, (E₂) 장비는 모델로 시험. Fig. 6의 모드 2의 시험 3 수행. 이때 (E_{3,1}) 장비는 모델, ..., (E_{3,K}) 장비는 실장비, (E_{4,1}) 장비는 모델, ..., (E_{4,L}) 장비는 실장비로 시험.

같은 방식으로, Fig. 9의 경우 Fig. 6의 모드 6으로 동작하며, Fig. 10의 경우 Fig. 6의 모드 8로 동작한다.

2.2.5 다중모드 통합시험환경의 효율성

다중모드 통합시험환경의 각 모드에서는 다수의 HOST PC들을 이용하여 서로 상이한 단계의 시험들이 동시에 수행 가능하므로, 시험 스케줄 작성 시 각 단계 별 시험이 모두 수행되고 나서 다음 단계로 진입하는 순차적인 시험 순서를 굳이 따를 필요가 없다. 예를 들면, 모드 1을 통해 각 버스별 개별 검증 시험 후 C, D 버스 검증이 먼저 완료된 경우, 모드 2로 변환하여 CD 버스 통합 검증과 아직 완료되지 않은 A, B 버스 개별 검증을 동시에 수행할 수 있으며, 이후 A, B 버스 개별 검증 완료 후에는 모드 6으로 변환하여 AB 버스 통합 검증과 아직 완료되지 않은 CD 버스 통합 검증을 동시에 수행할 수 있다. 따라서 순차적인 시험 순서를 벗어나 보다 탄력적인 시험 스케줄 작성을 통해 검증 기간을 효율적으로 단축할 수 있다.

탄력적인 시험 스케줄을 고려하지 않더라도, 다중모드 통합시험환경은 순차적인 시험 수행 방식에 비해 다음의 Lemma 1과 같이 그 효율성을 수학적으로 입증할 수 있다.

Lemma 1: N개 버스의 계층 구조에서 각 시험을 수행하는 데 소요되는 시간이 모두 T로 동일하다고 가정할 경우, 다중모드 통합시험환경은 순차적인 시험 수행 방식에 비해 적어도 N×T

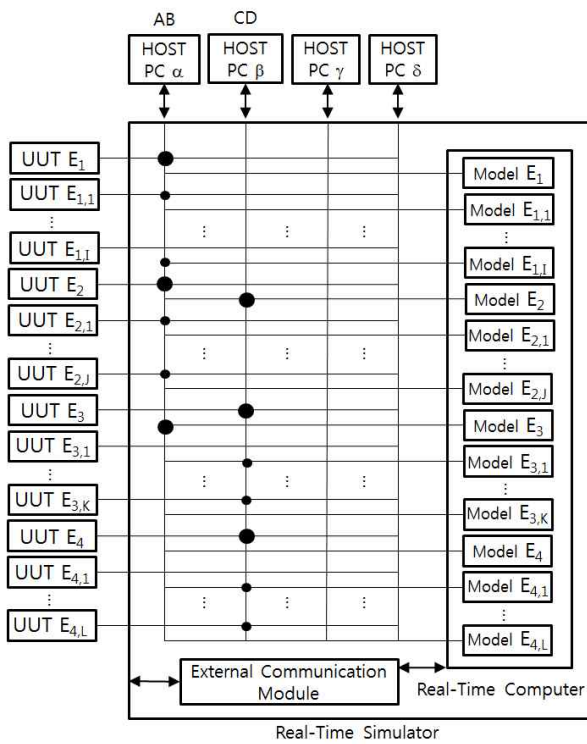


Fig. 9. Design Example of Multi-Mode SIL: Mode 6 in Fig. 6.

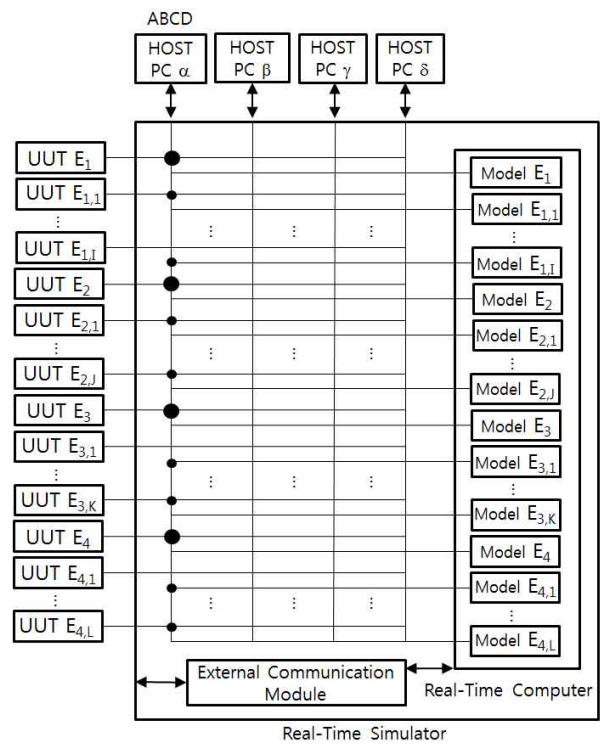


Fig. 10. Design Example of Multi-Mode SIL: Mode 8 in Fig. 6.

시간만큼 시험 시간을 줄일 수 있다.

Proof: 총 $N(N+1)/2$ 개의 시험이 존재하므로, 순차적인 시험 수행 방식은 $N(N+1)T/2$ 시간이 소요된다.

다중모드 통합시험환경은 각 모드 별 T시간만큼 소요되므로, $N(N+1)/2$ 개의 시험을 수행하는데 필요한 최대 모드 수를 구하면 된다. 다수 버스들 간의 통합 검증에 필요한 모드 수는 다음과 같이 구할 수 있다.

1) 전체 N개 버스들 간 통합 검증 : 1개 모드 필요함. Fig. 6의 왼쪽 표에서 (N-1)개의 연속된 1로 구성된 모드, 즉 모드 8이 필요함.

2) N-1개 버스들 간 통합 검증 : 2개 모드 필요함. Fig. 6의 왼쪽 표에서 (N-2)개의 연속된 1로 구성된 모드, 즉 모드 4와 모드 7이 필요함. Fig. 6의 모드 6과 같이, 연속되지 않은 (N-2)개의 1로 구성된 모드는 N-1개 버스들 간 통합 검증에 해당되지 않음.

3) N-2개 버스들 간 통합 검증 : 3개 모드 필요함. Fig. 6의 왼쪽 표에서 (N-3)개의 연속된 1 (하나의 1도 연속된 1로 간주)로 구성된 모드, 즉 모드 2와 모드 3, 모드 5가 필요함.

4) 위의 과정을 N-2=2가 될 때까지 반복 수행함.
즉, 다수 버스들 간의 통합 검증에 필요한 모

드 수는 Fig. 6의 왼쪽 표에서 연속된 1(하나의 1도 연속된 1로 간주)로 구성된 모드들의 수를 더하면 되며, 즉 $1+2+\dots+(N-1)=N(N-1)/2$ 개 모드가 필요하다.

다중모드 통합시험환경에서 각 버스 별 개별 검증 시험은 2개 버스들 간 통합 검증을 수행하는 N-1개 모드를 통해서 이미 검증이 가능하다. 즉, Fig. 6의 모드 2와 모드 3, 모드 5를 통해서 A, B, C, D 버스 각각에 대한 개별 검증이 가능하다.

따라서 다중모드 통합시험환경은 $N(N+1)/2$ 개의 시험을 수행하기 위해 최대 $N(N-1)/2$ 개 모드가 필요하므로, 순차적인 시험 수행 방식에 비해 $N(N+1)T/2 - N(N-1)T/2 = N \times T$ 시간만큼 시험 시간을 줄일 수 있다.

따라서 다중모드 통합시험 환경에서 탄력적인 시험 스케줄과 더불어 Lemma 1에서는 배제한 모드 6과 같이 Fig. 6의 왼쪽 표에서 연속되지 않은 1로 구성된 모드들도 활용할 경우, 시험 시간 절감에 따른 효과는 더욱 뚜렷하게 나타날 것이다.

III. 결 론

본 논문에서는 계층구조로 설계된 항공전자 시스템의 체계적 검증을 위해 장비 모델을 활용

한 단계적 검증 절차를 소개하였으며, 이를 기반으로 1대의 통합시험환경으로 여러 시험이 동시에 수행 가능한 다중모드 통합시험환경의 구체적인 설계 방안을 제안하였다. 또한 다중모드 통합시험환경을 사용할 경우, 기존의 순차적인 시험 수행 방식에 비해 버스 개수 N에 비례한 일정시간만큼 시험 시간을 줄일 수 있음을 수학적으로 증명함으로써 시험 효율성 향상에 따른 검증 시간 단축과 비용 절감 효과를 입증하였다. 특히 다중모드 통합시험환경의 장점인 탄력적인 시험 스케줄을 적용할 경우, 실제로는 더욱 많은 시험 시간 절감 효과가 나타날 것으로 기대된다.

References

- 1) Kim, J., Lee, S., and Ryu, K.-S., "Development of Avionics Hot Bench for Avionics System Integration Test," *Journal of the Korean Society for Aeronautical and Space Sciences*, Vol. 36, No. 5, 2008, pp. 507-513.
- 2) Kim, Y., Kim, M., Choi, W., and Oh, W., "Development of the MEP Integration Test Environment for Surion," *Journal of the Korean Society for Aeronautical and Space Sciences*, Vol. 39, No. 7, 2011, pp. 666-673.
- 3) Jo, Y.-W., Kim, B.-G., Park, J.-S., and Lee, J.-U., "Development of System Integration Laboratory for the Verification of UAV Avionics System Requirements," *Journal of the Korean Society for Aeronautical and Space Sciences*, Vol. 40, No. 5, 2012, pp. 446-453.
- 4) Lee, S. H., Chang, W., Ham, H. B., Park, J. S., Park, Y. S., "DB-based Automatic Code Generation for Improving the Reliability of the UAV Avionics System Integration Laboratory," *Proceedings of The Korean Society for Aeronautical and Space Sciences Fall Conference*, November 2014, pp. 1200-1203.
- 5) Seo, M.-G., Chang, W., Park, J. S., Seung, D. B., Kim, S., "Development and Verification of Models in System Integration Laboratory for the Avionics System," *Proceedings of The Korean Society for Aeronautical and Space Sciences Fall Conference*, November 2015, pp. 2074-2077.
- 6) United States Department of Defense, *MIL-STD-1553B: Aircraft Internal Time Division Command/Response Multiplex Data Bus*, Sep. 1978.
- 7) Chang, W., Park, J. S., Jo, Y. W., and Byun, J., "Development of Multi-Mode System Integration Laboratory for the Effective Verification of a Avionics System with Hierarchical Architecture," *Proceedings of The Korean Society for Aeronautical and Space Sciences Fall Conference*, November 2016, pp. 1230-1231.