

## 뉴로모픽 시스템을 위한 실리콘 기반의 STDP 펄스 발생 회로

임정훈<sup>1</sup>·김경기<sup>2,+</sup>

### Silicon Based STDP Pulse Generator for Neuromorphic Systems

Jung Hoon Lim<sup>1</sup> and Kyung Ki Kim<sup>2,+</sup>

#### Abstract

A new CMOS neuron circuit for implementing bistable synapses with spike-timing-dependent plasticity (STDP) properties has been proposed. In neuromorphic systems using STDP properties, the short-term dynamics of the synaptic efficacies are governed by the relative timing of the pre- and post-synaptic spikes, and the efficacies tend asymptotically to either a potentiated state or to a depressed one on long time scales. The proposed circuit consists of a negative shifter, a current starved inverter and a schmitt trigger designed using 0.18um CMOS technology. The simulation result shows that the proposed circuit can reduce the total size of neurons, and the spike energy of the proposed circuit is much less compared to the conventional circuits.

**Keywords:** Neuromorphic Systems, Neuron, Synapse, STDP

#### 1. 서 론

집적 회로 (IC) 성능, 비용 및 에너지 효율의 향상으로 인해 반도체 제조 기술 발전으로 인해 더 많은 기능을 갖춘 전자 장치를 사용할 수 있게 되었으나 기존의 CMOS (complementary metal-oxide-semiconductor) 디지털 논리 회로의 에너지 효율의 근본적인 한계로 인하여 결국 폰 노이만 아키텍처 이외의 다른 컴퓨터 아키텍처의 연구가 활발히 진행되고 있다. 그 중에서 유망한 후보자는 인공 신경 네트워크 및 관련 뉴로모픽 컴퓨팅 (Neuromorphic Computing)이다. 뉴로모픽 컴퓨팅 시스템을 개발하려는 동기는 인간의 두뇌가 ~20 W의 전력만을 소비하면서 정보를 처리하고 다양한 기능을 수행 할 수 있다는 것이다[2]. 특히 노이즈 감소, 패턴 인식 및 이미지 검출 응용 분야에서 뉴

로모픽 컴퓨팅이 성능면에서 뛰어난 것으로 알려져 있다[3]. 따라서, 최근에는 신경 계산의 물리적 과정의 유사체를 구현하는 정보 처리 시스템의 개발이 활발히 진행되어 지고있다.

인간의 뇌는 ~  $10^{15}$  개의 시냅스(Synapse)로 연결된 ~  $10^{11}$  개의 뉴런(Neuron)을 포함한다. 뉴런은 신호 처리 단위로 기능하며 시냅스는 신호 전송 단위로 작용하고 정보를 저장한다. 각 뉴런은 활동 잠재력을 통해 ~  $10^4$  개의 다른 뉴런과 통신하는데, 이것은 뇌가 병렬 계산에 가능하도록 한다. 이러한 특성을 나타내는 뉴로모픽 시스템을 개발하기 위해서 뉴런의 행동을 구현하는 아날로그 CMOS 회로와 시냅스를 구현하는 여러가지 메모리 구조가 소개 되었다[4]. Neuromorphic chip은 SNN (Spiking Neural Network)으로 구성되어 있으며 STDP (Spike Timing Dependent Plasticity) 등의 알고리즘을 사용하여 시냅스 (synapse)의 가중치 (weight)를 학습할 수 있다. SNN은 뉴런 (neuron)의 막전위 (membrane potential)가 문턱 전압 (threshold voltage) 보다 높을 때만 발화 (fire)하고, 발화된 스파이크 (spike)를 통해 시냅스 간의 정보를 전달 하기 때문에 다른 인공 신경망에 비해 저 전력 동작이 가능하다. SNN의 학습 방법으로 가장 널리 알려진 방법이 STDP 이다. STDP는 상대적 스파이크 타이밍을 기반으로 뉴런 사이의 시냅스 가중치를 조정하는 프로세스이며, 인풋 스파이크와 아웃풋 스파이크 간의 관계를 통해 시냅틱 가중치를 학습하는 방법이다. 따라서, 사용하는 스파이크의 수와 스파이크 간의 시간적 상호 작용 (temporal interaction)이 SNN의 학습에 영향을 미치게 된다[5]. 현재의 SNN의 뉴런들은 대부분 아날로그 뉴런으로 모방되고, 신경회로망에서 뉴런들은 시냅스를 통해서 자극 신호를 받으면 스파이크 신호를 생성하고,

<sup>1</sup> 대구대학교 전자공학과(Department of Electronic Engineering, Daegu University)

Engineering B.D. #5-5307, Daegu University, Daegudae-ro 201, Jillyang, Gyeongsan, 38453, Korea

<sup>2</sup> 대구대학교 전자공학과(Department of Electronic Engineering, Daegu University)

Engineering B.D. #5-5307, Daegu University, Daegudae-ro 201, Jillyang, Gyeongsan, 38453, Korea

<sup>+</sup>Corresponding author: kkkim@daegu.ac.kr

(Received: Jan. 25, 2018, Accepted: Jan. 30, 2018)

This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

다시 스냅스를 통해서 다른 뉴런들과 스파이크 신호를 주고받으며 스냅스를 학습을 시켜서 스냅스의 가중치를 조정하게 된다. 여기에서 사용되는 아날로그 뉴런들은 아날로그 연산 증폭기를 사용하여 면적 및 에너지 면에서 한계를 보여왔고, 최근에는 아날로그 뉴런을 대체할 수 있는 디지털 뉴런의 연구가 이루어지고 있다. 하지만, 디지털회로들만으로 뉴런을 구성하기 위해서는 신호처리 기법을 사용하기 때문에 하드웨어가 자체가 복잡해지고, 양의 전압과 음의 전압으로 구성되는 STDP 펄스를 구성하기가 쉽지 않다.

따라서, 본 논문에서는 전체회로의 크기를 작게 하면서 낮은 에너지 소모를 가지는 아날로그와 디지털회로의 혼용 STDP 펄스 발생 회로를 제안하고자 한다. 설계된 실리콘 기반의 STDP 펄스 발생 회로는 0.18um CMOS 공정을 사용하여 구현되었으며, 스파이크 생성시에 소모되는 에너지가 다른 뉴런 회로보다 줄어든 결과를 보여주었다.

## 2. STDP

Fig. 1은 임의의 신경망, 즉 사전 시냅스 뉴런 (PRE-neuron)과 시냅스 후 뉴런 (POST-neuron)에 연결된 시냅스에 기초한 개별 빌딩 블록을 보여줍니다. 시냅스 가중치는 PRE-neuron 스파이크시 POST-neuron에 효과적으로 도달하는 신호의 양을 결정하므로 신경 네트워크의 학습 기능을 담당합니다. 시냅스 연결의 강화 및 약화는 각각 long-term potentiation (LTP) 및 long-term depression (LTD)으로 알려져 있습니다. 두 개의 뉴런 사이의 더 강한 시냅스 연결은 fire할 Post-neuron을 유도할 Pre-Neuron의 가능성을 증가 시킨다.

Ref. [5]에서 Presynaptic 스파이크가 postsynaptic firing을 유도할 때 LTP가 발생하는 반면, LTD는 postsynaptic firing이 presynaptic spike를 유도할 때 발생하는 것을 증명하였다. 더욱이, 가까운 지점에서 발사된 활동 전위의 쌍은 멀리 떨어져서 발생하는 것보다 시냅스 강도에 훨씬 더 많은 영향을 미쳤다. Fig. 2는 Post-neuron과 Pre-neuron 스파이크의 시간 차이에 따른 Synaptic Strength의 곡선을 보여주고 있다. 이런 특성이 STDP (spike timing dependent plasticity)로 알려져 있습니다. STDP를 나타낼 수 있는 뉴로모픽 시스템을 설계하는 것은 인공 지능의 미래 발전의 열쇠가 되고 있다.

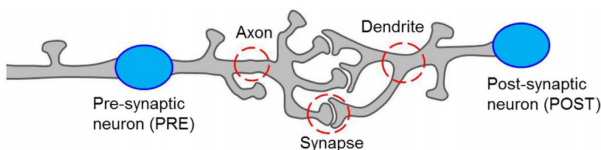


Fig. 1. Schematic structure of biological PRE, POST and synaptic connection between axon terminal and dendrite.

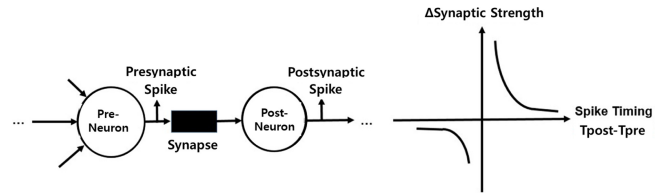


Fig. 2. Spike timing dependent plasticity (STDP).

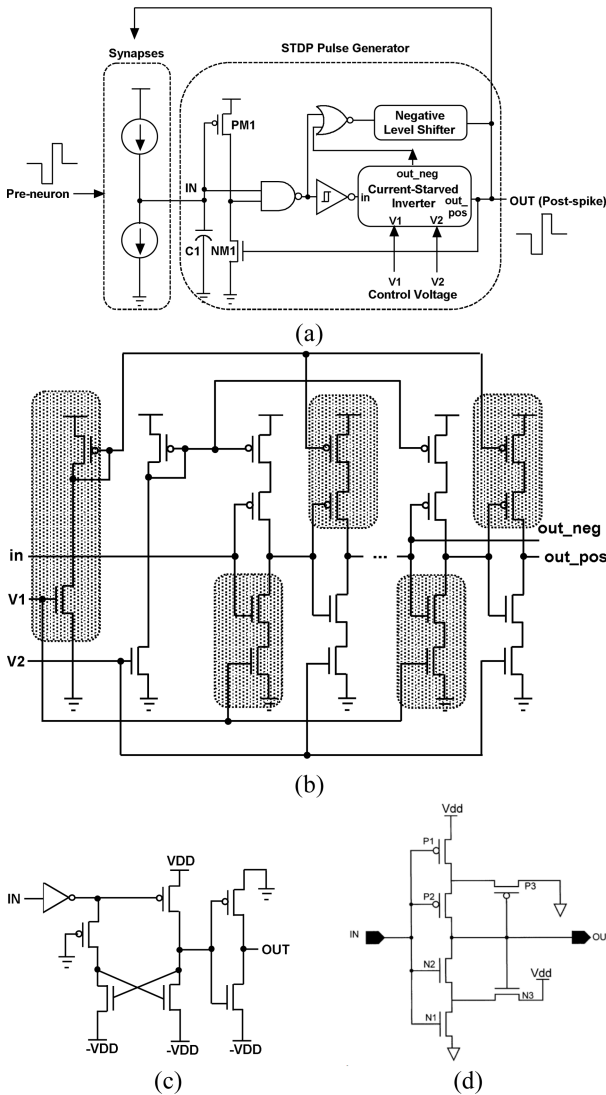
## 3. Si-based Neuron Circuit

실리콘 뉴런은 실제 뉴런의 전기-생리학적 행동을 모방한다. 실리콘 뉴런은 단순한 모델에서부터 다중 이온 채널과 상세한 형태를 모방한 모델까지 다양한 형태의 실리콘 뉴런 모델이 있다. 뉴런 모델의 하드웨어 구현하는 여러 가지 유형은 1940년대 초에 제안되었으며, 하드웨어 구현은 빠른 디지털 컴퓨터를 사용할 수 있게 될 때까지 뉴런 및 신경 연산을 모델링 하는 유일한 수단이었다. 연산 처리 능력을 저렴하게 구현할 수 있게 된 것과 효과적인 뉴런 모델링 툴의 등장으로 소프트웨어 기반의 뉴런 시뮬레이션이 인기를 얻었다. 하드웨어 모방은 맞춤 설계된 실리콘 칩에서 생물학적 뉴런과 물리적 유추를 통하여 얻을 수 있는 높은 효율과 높은 집적도의 구현으로 적극적으로 추진되고 있다.

Fig. 3은 전체 뉴로모픽 시스템의 개략도를 보여준다. Fig. 3 (a)에서 synapse는 메모리를 사용한 일반적인 뉴로모픽 크로스바 배열 (crossbar array)을 전류원으로 모델화 한 것이고, 커패시터 C1은 synapse에 의해서 충전이 이루어지고, C1에 충전된 전압이 PM1과 NAND게이트의 스위칭을 위한 기준 전압을 넘어서면 negative level shifter와 current-starved inverter를 거치는 feedback에 의해서 최종 스파이크가 출력된다. 최종 출력 스파이크는 synapse로 다시 입력으로 피드백이 되어서 Pre-neuron spike와 Post-neuron spike의 시간 차에 따라서 synapse의 가중치를 조정하게 된다.

Fig. 3 (b)의 current-starved inverter는 제어부에서 발생하는 제어 신호 V1와 V2를 current-starved inverter의 current mirror의 입력 전압으로 사용한다. V1에 의해서 발생하는 Current Mirror 전류는 Fig. 3 (b)에서 빗금 친 MOSFET의 충전 전 시간을 조절하여 출력에서의 negative pulse의 폭을 결정한다. 반면 V2에 의해서 발생하는 Current Mirror 전류는 빗금이 없는 MOSFET의 충전 전 시간을 조절하여 출력에서의 positive pulse의 폭을 결정한다. Fig. 3 (d)의 Schmitt Trigger는 노이즈 마진을 조정하여 noise를 제거하기 위한 목적으로 사용이 되었다.

회로에서 음의 전압을 발생시키기 위해서 Fig. 3 (c)에서의 negative voltage level shifter를 적용하였다. Level shifter의 앞단의 NOR 게이트의 입력단의 시간차에 따라서 출력에서의 음의 전압의 폭이 결정되게 된다. 음의 전압이 출력에서 발생이 된



**Fig. 3.** Neuromorphic system with a new Si-based neuron circuit: (a) Total system, (b) Current-starved inverter, (c) Negative voltage level shifter, (d) Schmitt trigger.

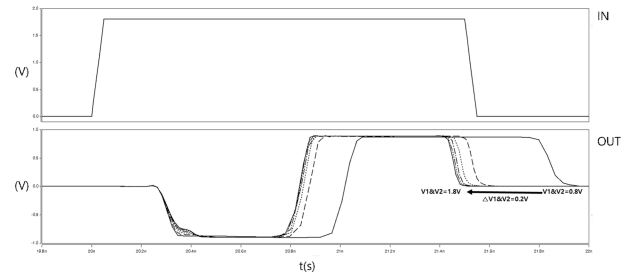
후에는 NM1의 MOSFET의 피드백 입력에 의해서 출력에 양의 펄스 전압이 생성되게 된다. 이렇게 발생된 음과 양의 spike는 synapse로 피드백이 되어서 앞 단의 Pre-neuron spike와의 시간 차에 따라서 synapse, 즉 memory array에서 메모리 부분의 가중치를 다시 계산하게 된다.

**4. 실험결과**

본 논문에서 제안된 실리콘 기반의 아날로그-디지털 회로 혼용 뉴런은 0.18 μm 공정 기술을 사용하여 설계하였다. 시뮬레이션에는 Hspice를 사용하였으며, 시스템의 공급 전압은 1.8 V이다. 입력 펄스 폭은 1.5 ns였다. 기존의 아날로그 뉴런과 비교하기 위해[6-8] 아날로그 뉴런 모델과 제안된 디지털 뉴런 총 3

**Table 1.** Spike energy simulation

	[6]	[7]	[8]	proposed neuron
Spike Energy (pJ)	11.8866	18.8589	5.7484	2.089



**Fig. 4.** Input and output waveforms depending on V1 and V2.

가지 모델을 실험하였고, spike 발생시의 에너지를 측정하였다. 측정결과에서 제안된 neuron circuit이 Ref. [30]의 회로보다 2 배이상 spike 에너지를 절감할 수 있음을 보여주고 있다. 그리고, Fig. 4는 V1과 V2에 의존해서 발생하는 출력 spike의 waveform을 보여주고 있다. 제안된 회로는 기대되었던 것처럼 아날로그-디지털회로 혼용의 neuron 회로를 제안하여서 전체 크기를 줄이고, 단순화하여 소모 에너지를 크게 줄일 수 있음을 보여주고 있다.

**5. 결 론**

본 논문에서는STDP 특성을 갖는 쌍 안정 시냅스를 구현하기 위한 새로운 CMOS 뉴런 회로가 제안되었다. 제안 된 회로는 0.18 μm CMOS 공정기술을 사용하여 설계된 negative voltage level-shifter, current-starved inverter 및 Schmitt trigger로 구성된다. 뉴런의 전체 크기를 감소시키고 구조를 단순화시킨 제안된 회로가 시뮬레이션 결과에서 기존의 다른 뉴런 회로보다 스파이크 에너지를 훨씬 줄일 수 있음을 보여주었다. 따라서, 제안된 뉴런 회로가 최소의 전력과 공간을 가지는 여러 가지 뉴로모픽 시스템에 효과적으로 적용될 것으로 기대된다.

**감사의 글**

이 논문은 대구대학교 연구장학기금(연구조교) 지원으로 수행되었습니다.

**REFERENCES**

[1] B.H. Callhoun, A. Wang, and A. Chandrakasan, “Modeling and Sizing for Minimum Energy Operation in Subthreshold

- Circuits,” *IEEE J. Solid-State Circuits*, Vol.40(9), pp.1778-1786, 2005.
- [2] S. Brady, G. Siegel, R. W. Albers, and D. Price, “Basic Neurochemistry: Molecular, Cellular and Medical Aspects-7<sup>th</sup> Edition,” Elsevier Academic Press, 2005.
- [3] B. Liu, M. Hu, and H. Li, “Digital-assisted noise eliminating training for memristor crossbar-based analog neuromorphic computing engine,” *Proc. Des. Autom. Conf.*, pp.1-6, May 2013.
- [4] K. Kim, S. Gaba, D. Wheeler, J. M. Cruz-Albrecht, T. Husain, N. Srinivasa, and W. Lu, “A functional hybrid memristor crossbar-array/CMOS system for data storage and neuromorphic applications,” *Nano Lett.* Vol.12(1), pp. 389-395, 2011.
- [5] Y. Dan and M. Poo, “Review- Spike Timing-Dependent Plasticity of Neural Circuits,” *Neuron*, Vol. 44(1), pp. 23-30, Sep. 2004.
- [6] G. Indiveri, B. Linares-Barranco, T. J. Hamilton, A. Schaik, R. Etienne-Cummings, T. Delbruck, S.-C. Liu, P. Dudek, P. Häfliger, S. Renaud, J. Schemmel, G. Cauwenberghs, J. Arthur, K. Hynna, F. Folowosele, S. Saighi, T. Serrano-Gotarredona, J. Wijekoon, Y. Wang, and K. Boahen, “Neuromorphic silicon neuron circuits,” *Front. Neurosci.*, 2011.
- [7] J. N Healy, “A leaky integrate-and-fire neuron with adjustable refractory period and spike frequency adaptation,” Thesis, The University of New Mexico, 2017.
- [8] E. Chicca, F. Stefanini, C. Bartolozzi, and G. Indiveri, “Neuromorphic Electronic Circuits for Building Autonomous Cognitive Systems,” *Proc. IEEE Inst. Electr. Electro. Eng.*, Vol. 102(9), 2014.