

# FOWLP 구조의 영향 인자에 따른 휨 현상 해석 연구

정청하\*·서 원\*·김구성\*\*

\*\*강남대학교 전자패키지연구소

## A Study of Warpage Analysis According to Influence Factors in FOWLP Structure

Cheong-Ha Jung\*, Won Seo\* and Gu-Sung Kim\*\*

\*\*Electronic Packaging Research Center, Kangnam University

### ABSTRACT

As The semiconductor decrease from 10 nanometer to 7 nanometer, It is suggested that “More than Moore” is needed to follow Moore's Law, which has been a guide for the semiconductor industry. Fan-Out Wafer Level Package(FOWLP) is considered as the key to “More than Moore” to lead the next generation in semiconductors, and the reasons are as follows. the fan-out WLP does not require a substrate, unlike conventional wire bonding and flip-chip bonding packages. As a result, the thickness of the package reduces, and the interconnection becomes shorter. It is easy to increase the number of I / Os and apply it to the multi-layered 3D package. However, FOWLP has many issues that need to be resolved in order for mass production to become feasible. One of the most critical problem is the warpage problem in a process. Due to the nature of the FOWLP structure, the RDL is wired to multiple layers. The warpage problem arises when a new RDL layer is created. It occurs because the solder ball reflow process is exposed to high temperatures for long periods of time, which may cause cracks inside the package. For this reason, we have studied warpage in the FOWLP structure using commercial simulation software through the implementation of the reflow process. Simulation was performed to reproduce the experiment of products of molding compound company. Young's modulus and poisson's ratio were found to be influenced by the order of influence of the factors affecting the distortion. We confirmed that the lower young's modulus and poisson's ratio, the lower warpage

**Key Words** : FOWLP, Warpage, Simulation

### 1. 서 론

반도체 소자의 선 폭이 10나노미터에서 7나노미터의 세계로 들어가면서 앞으로 반도체 산업계를 이끌어 나갈 법칙으로 기존의 Moore의 법칙을 앞서는 More than Moore 가 필요하다는 관점이 제시되고 있다. More than Moore를 충족시킬 방법으로 여러가지가 제시되고 있는데, 그 중 한 가지는 FOWLP(Fan-Out Wafer Level Packging) 공정

이 크게 대두되고 있으며 이미 산업에까지 적용되어 소비자의 손에 까지 자리잡게 되었다. WLP(Wafer Level Packaging)는 웨이퍼 상태의 칩을 개별로 분리한 후 패키징하는 기존의 반도체 패키징과 달리 웨이퍼 상에서 패키징이 이루어지는 기법으로 패키징을 소형화 할 수 있으며 기존의 패키지 방식에서 기판이 빠지기 때문에 그만큼 더 저렴하게 생산이 가능하고 기판의 두께가 빠지는 만큼 더 얇은 패키지 구현이 가능하다. FOWLP는 기존의 WLP가 가지고 있던 한정된 I/O 개수라는 한계를 볼 레이어아웃을 칩 바깥쪽에 배치시킴으로써 I/O 영역을 확장

†E-mail: gkim@kangnam.ac.kr

해 극복할 수 있어 WLP의 장점을 그대로 가져가면서 I/O 영역의 한계를 극복할 수 있다.

그러나 FOWLP구조를 대량생산하려면 해결해야할 문제들이 있다. 그 중의 하나로 휨(Warpage)현상이 있는데 이는 Viscosity, Conduction, Convection, CTE, Filler Size, Curing Time 등 영향인자가 여러가지 있으며 Warpage가 발생하는 공정 또한 다양하기 때문에 모든 영향 인자를 고려하여 해석해야 한다[1,2]. 본 연구에서는 상용화된 N사의 EMC를 기반으로, 동일한 환경을 상용 Tool인Ansys 19.0 시뮬레이션으로 구현하여 이 휨(Warpage)현상에 대해서 분석하고 예측하는 방법에 대한 결과를 도출하였다[3]. 최대한으로 외부변수를 줄이고자 기관위에 EMC가 도포된 단순 모델을 이용하여 해석을 수행하였으며, EMC는 현재 산업에서 실제로 쓰여지는 물성치 data를 사용하여 해석한 결과와 실제 실험 결과를 대조하여 해석의 신뢰성을 확인하였다. 또한 추가적으로 물성치 가운데 휨 현상에 크게 영향을 미치는 EMC의 두께와 Young's Modulus 그리고 CTE(Coefficient of Thermal Expansion)에 변화를 주어 그에 따른 휨의 경향성을 확인하였다.

## 2. 유한 요소 해석 실험

### 2.1 실험 1: 실측치 근사 Model 설계

휨 특성 분석을 위해 유한 요소 해석을 지원하는 상용 소프트웨어 ANSYS v19.0을 사용하여 해석을 수행하였다. Fig 1은 본 연구에서 해석을 실시한 모델을 나타냈으며 300mm 기관 위에 EMC를 도포한 구조를 모델링했다. 기관과 EMC의 두께는 각각 0.75mm, 0.5mm이며 해석에 사용된 구조 각 부분의 물성치는 Table 1에 나타냈다.

Table 1. Property of Substrate and EMC

	Si Substrate	EMC-N
Density(kg/cm <sup>-3</sup> )	2329	650
CTE(ppm/K,below Tg)	2.6	8
CTE(ppm/K,above Tg)	-	33
E(Gpa)	163	22
Poisson's ratio	0.27	0.3
Tg	-	160

#### 2.1.1 유한 요소 해석 조건

해석에 사용된 절점(node)의 수는 약 9692개이며 요소의 수는 약 1338개로 구성되었다. 모델에 가해지는 열 하중 조건은 150℃의 온도에서 상온(25℃)으로 감소시키는 조건을 적용하였다. 여기서 150℃는 몰딩 공정 시 가해지는 온도이며 몰딩 공정 후 상온으로 온도가 내려갔을 때 발

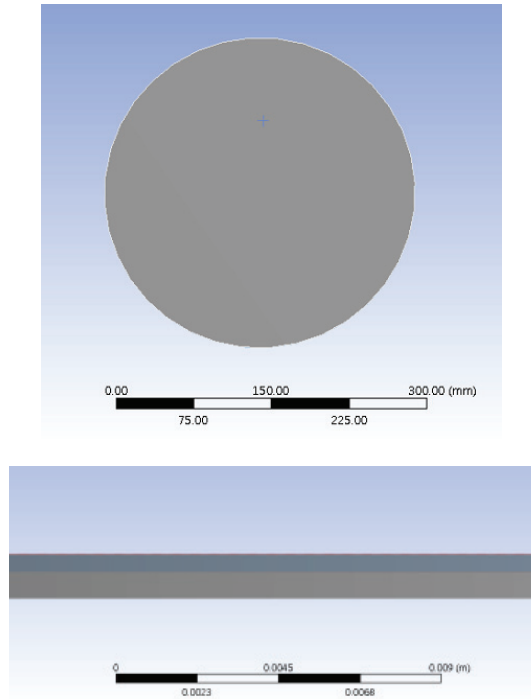


Fig. 1. Ansys Modeling of z-axis & y-axis.

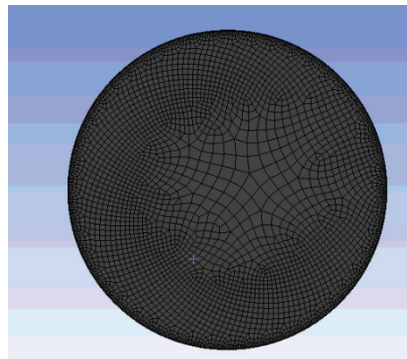


Fig. 2. FEM Modeling of Molding Structure.

생하는 휨 정도를 확인하기 위해 상온까지 온도를 떨어뜨린 상태를 조건으로 설정하였다. 또한 공정 중 웨이퍼 이동을 방지하기 위한 구속 조건으로 EMC의 중심 부분을 설정했으며 이는 휨 현상이 발생하는 가장자리의 휨 정도를 확인하기 위함이다. Fig 2는 본 연구에서 사용된 모델의 수치해석 모델링이다. 웨이퍼의 휨 현상은 가장자리에서 가장 크게 발생하기 때문에 모델의 가장자리의 mesh가 더 촘촘하게 짜이는 sweep method를 이용해 모델링하였으며 총 높이가 1.25mm로 전면적인 200mm에 비해 얇은 모델이기 때문에 높이의 mesh를 추가하여 모델링했다[1].

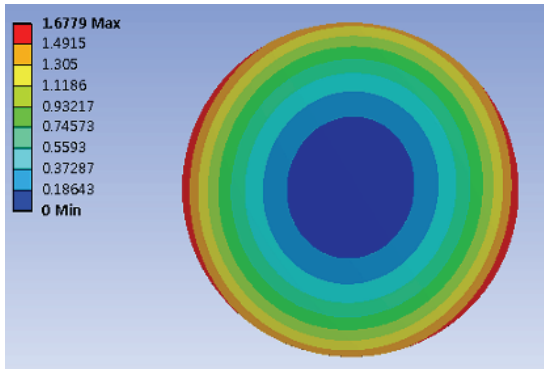


Fig. 3. Simulation Result of Warpage Contour at 25~30°C).

2.1.2 해석 결과

Table 1의 물성치를 해석 모델에 적용하여 150°C의 온도에서 EMC 몰딩을 진행 한 후 상온으로 온도가 내려갔을 때의 해석을 수행하였다. Fig. 3은 유한 요소 해석의 결과 Contour를 나타낸다. 웨이퍼가 150°C에서 상온(25°C)로 온도가 떨어짐에 따라 휨의 Contour가 달라지는데, Fig 3은 웨이퍼가 25~30°C일때의 휨 Contour를 나타낸다. 휨의 경향은 가장자리가 아래로 휘어지는 형태이며, 이는 적용된 EMC 소재의 회사에서 제공한 몰딩 소재의 경향성과 일치한다. 또한 실제 실험은 몰딩 공정 후 2.5mm의 휨이 발생하였는데, 시뮬레이션을 통한 결과는 대략 1.59mm로 36.4%의 오차율을 보인다.

2.2 실험 2: 최적화 Model 설계

2.2.1 실험계획법

앞의 실험을 통하여 측정과 해석의 오차율이 30%이상 50%미만인 것을 확인하였다. 부정확한 물성치에 의한 오차율을 줄이는 동시에 휨을 최적화하기 위하여 휨에 영향을 주는 요인들을 인자로 정의한 후 실험계획법의 요인배치법과 반응표면법(Box-Behnken)을 적용하였다. 요인배치법은 반응 값에 영향을 미치는 요인들의 영향도와 인자 간의 상관관계를 규명하는 방법론이며, 반응표면법은 목표로 하는 반응 값을 도출하기 위한 최적의 조합을 도출하는 방법론이다[4,5].

Table 2. Material DOE Matrix at Room Temperature

	Level_Low	Level_High	Unit
CTE	1	15	ppm/°C
Young's Modulus	12	32	Gpa
Poisson's ratio	0.15	0.35	-

Table 3. RSM Result of Warpage

Run Order	CTE	Young's Modulus(Gpa)	Poisson's ratio	Warpage (mm)
1	1	12	0.35	0.96562
2	15	32	0.15	1.4542
3	1	12	0.15	0.53891
4	1	32	0.15	1.4542
5	15	32	0.35	1.7935
6	15	12	0.15	0.53891
7	15	12	0.35	0.7549
8	1	32	0.35	1.7935

Table 2는 요인배치법을 적용할 휨 영향 인자들의 휨 수준(Level)을 나타내며 Table 3은 표준 순서에 따른 휨 특성 결과를 나타내고 있다. Fig 4.1은 Table 3의 결과를 기반으로 하여 인자들의 휨에 대한 영향도를 나타낸 파레토(pareto) 차트이다.

Fig 4.1의 파레토 차트에 따르면 몰딩 공정시 인자들이 휨에 미치는 영향은 CTE, Young's Modulus, Poisson's ratio 순으로 크다.

또한 Table 2에서 정의한 인자들의 휨 수준 범위 내에서 실험 1의 실측치인 2.5mm를 목표 값으로 설정해 Fig 4.2와 같이 반응표면법을 통해 EMC의 CTE가 8ppm/°C, Young's Modulus가 32GPa 그리고 Poisson비가 0.35일 때 최적화된 설계 조건임을 도출하였다. 이 최적화 조건을 적용해 해석을 수행한 결과 Fig 4.3과 같이 구조의 휨이 1.7935 값으로 최소화된 것을 확인할 수 있었다. 또한 휨은 최소화하는 것을 목적으로 하여 휨 목표값을 0으로 설정했을 때의 최적화 조건은 CTE가 8ppm/°C, Young's Modulus가 12GPa 그리고 Poisson비가 0.15일 때이며 이때의 구조의 휨은 0.5389mm가 나온 것을 확인하였다.

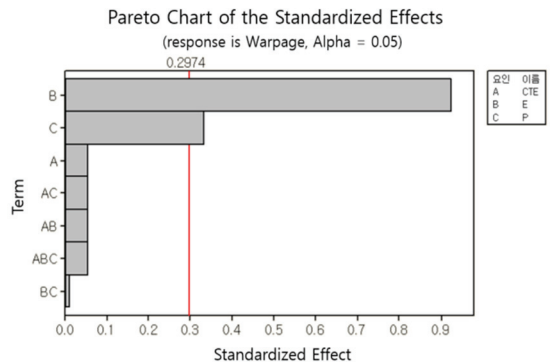


Fig. 4.1. Pareto Chart of the Factor Effects for Warpage of Molding Process.

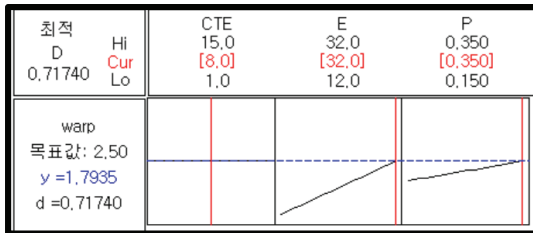


Fig. 4.2. Response Optimization with the Different Factors (Target 2.5mm Warpage).

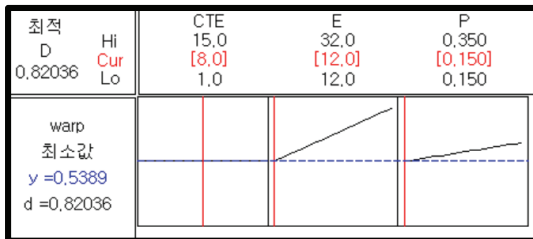


Fig. 4.3. Response Optimization with the Different Factors (Target 0mm Warpage).

### 3. 결 론

본 연구에서는 실제 산업 현장에서 쓰이는 EMC 소재의 data를 이용해 휨 해석을 수행하였으며 실측치와 근접한 Modeling을 수행하였다. 또한 물성치의 부정확성을 규명하기 위해 휨에 영향을 주는 CTE, Young's Modulus 그리고 Poisson's ratio, 총 3가지 요인을 선정하여 완전요인법과 반응표면법을 이용해 인자의 상호작용과 휨 최적화 조건을 도출하였다. 완전요인법을 이용해 인자들의 경계조건을 설정하고 인자의 반응에 대한 영향도를 관찰한 후 반응표면법을 적용해 휨 최적화를 수행한 결과, 실측치인 2.5mm에 가장 가까운 휨을 구현하기 위해 8ppm/°C의 물성치가 필요하다는 결론이 도출되었다. 또한 휨을 최소화하기 위해 Young's Modulus와 Poisson's ratio를 낮게 할수록 휨이 최소화된다는 사실을 도출하였다.

본 연구를 기반으로 복합적인 패키지의 해석 수행과 그에 따른 휨 최적화 특성을 가지는 물성치 도출이 가능할 것으로 예상된다.

### 감사의 글

본 연구는 산업핵심기술개발사업의 '고성능 FOWLP용 구리 재배선 및 봉지재 공정 기술 개발'의 후원을 받아 수행되었음(10067804).

### 참고문헌

1. Cha Gyu Song, Sung-Hoon Choa, "Numerical Study of Warpage and Stress for the Ultra Thin Package," *J. Microelectron. Packag. Soc.*, 17(4), pp. 49-60, (2010).
2. H. Tang, J. Nguyen, J. Zhang and I. Chien, "Warpage Study of a Package on Package Configuration," 2007 International Symposium on High Density packaging and Microsystem Integration, Shanghai, pp. 1-5, (2007).
3. W. Sun, W. H. Zhu, C. K. Wang, A. Y. S. Sun and H. B. Tan, "Warpage simulation and DOE analysis with application in package-on-package development," *EuroSimE 2008 - International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Micro-Systems*, Freiburg im Breisgau, pp. 1-8, (2008).
4. Kyoung-Ho Kim, Hyouk Lee, Jin-Wook Jeong, Ju-Hyung Kim, Sung-Hoon Choa1, "Numerical Analysis of Warpage and Stress for 4-layer Stacked FBGA Package," *J. Microelectron. Packag. Soc.*, 19(2), pp. 10-13, (2012).
5. Man Sung Choi, Kwang Sun Kim, "Experimental Analysis and Optimization of CF<sub>4</sub>/O<sub>2</sub> Plasma Etching Process," *Journal of the Semiconductor & Display Technology*, 8(4), pp. 1-5, (2009).
6. M.K.LEE, S.H.Choa, J.W.Jeong, J.Y.Ock, "Study of fan-out wafer level package to optimize the warpage," Korean Society for Precision Engineering, pp. 10-19, (2014).
7. Wei Keat Loh, R. Kulterman, H. Fu and M. Tsuriya, "Recent trends of package warpage and measurement metrologies," 2016 *International Conference on Electronics Packaging (ICEP)*, Sapporo, pp. 89-93, (2016).
8. Y. Bin, W. Xiaofeng and Z. Yabing, "The Study of Thermally Induced Warpage of BGA Package during Reflow Soldering," 2018 *19th International Conference on Electronic Packaging Technology (ICEPT)*, Shanghai, pp. 1411-1414, (2018).
9. A. B. Denoyo, "Warpage resolution for Ball Grid Array (BGA) package in a fully integrated assembly," 2012 *13th International Conference on Electronic Packaging Technology & High Density Packaging*, Guilin, pp. 419-422, (2012).
10. J. Jang, K. Suk, J. Park, K. Paik and S. Lee, "Warpage Behavior and Life Prediction of a Chip-on-Flex Package Under a Thermal Cycling Condition," in *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 4(7), pp. 1144-1151, (2014).

접수일: 2018년 11월 21일, 심사일: 2018년 12월 14일, 게재확정일: 2018년 12월 18일