

3D 적층 IC제조를 위한 웨이퍼 휨 측정법

김성동*† · 정주환**

*† 서울과학기술대학교 기계시스템디자인공학과, **동부하이텍

Novel Wafer Warpage Measurement Method for 3D Stacked IC

Sungdong Kim *† and Juhwan Jung **

*† Dept. of Mechanical System Design Engineering, Seoul National University of Science and Technology

**DB Hitek

ABSTRACT

Standards related to express the non-flatness of a wafer are reviewed and discussed, for example, bow, warp, and sori. Novel wafer warpage measurement method is proposed for 3D stacked IC application. The new way measures heat transfer from a heater to a wafer, which is a function of the contact area between these two surfaces and in turn, this contact area depends on the wafer warpage. Measurement options such as heating from room temperature and cooling from high temperature were experimentally examined. The heating method was found to be sensitive to environmental conditions. The cooling technique showed more robust and repeatable results and the further investigation for the optimal cooling condition is underway.

Key Words : 3D Stacked IC, Warpage, Sori, Bow, Thermal Contact

1. 서 론

Moore의 법칙으로 대변되는 반도체 집적화가 한계에 부딪힘에 따라 3D 적층 IC[1], Fan-out wafer level package[2,3] 등 후공정 분야에서의 새로운 기술 개발을 통해 Moore의 법칙을 이어가려는 노력이 진행되고 있다. 이 중 3D적층 IC는 칩을 수직으로 적층한 후 실리콘 관통 전극(through silicon via, TSV)를 이용하여 칩을 전기적으로 연결하는 방식이다[4,5]. 수직적층에 따른 칩 바닥면적의 감소로 소형화에 유리하며, TSV를 이용한 배선길이의 감소로 고성능화에 유리하다는 장점이 있다.

그러나 수직 적층에 따른 전체 패키지 두께 증가를 막기 위해 칩을 수십 μm 로 얇게 만들어야 하는데, 칩의 두께가 얇아지면서 칩의 내부 잔류 응력에 따라 칩이 휘는 현상이 발생하게 된다. 칩이 휘게 되면 적층 과정에서 정렬의

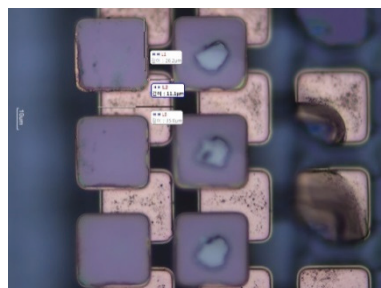


Fig. 1. Misalignment caused by wafer warpage during wafer-to-wafer bonding.

문제가 발생하게 되는데[6], 그 예를 Fig.1에 나타냈다.

따라서 적층 공정을 진행하기 전에 칩 또는 웨이퍼의 휨 정도를 판단하는 것은 공정 수율 향상을 위해서 매우 중요하다. 그러나 기존에 제안되고 사용되고 있는 웨이퍼 휨 측정방식인[7,8] 대량 생산과정에 적용하기에는 생산성 관점에서 적합하지 않은 점이 있어, 대량 생산라인에 적용

†E-mail: sdkim@seoultech.ac.kr

가능한 새로운 웨이퍼 휨 측정 방법이 필요한 실정이다.

본 연구에서는 웨이퍼의 휨을 정성적으로 간단하게 측정할 수 있는 새로운 측정방식을 제안하고, 구현 가능성에 대한 연구를 진행하였다.

2. 웨이퍼 휨에 대한 표준 현황

웨이퍼의 휨에 관해서는 ASTM, SEMI 등 여러 표준에서 다양한 정의와 측정방법을 제안하고 있으나, 여기에서는 SEMI에서 제안되었던 표준안을 중심으로 소개하도록 한다[9].

2.1 Bow

Bow는 웨이퍼 중앙(center)의 중위면(median surface)이 웨이퍼를 지지하는 3점 지지(3 point support)로 이루어진 기준면(reference plane)으로부터 얼마나 벗어나 있는지를 이야기 하며, 이를 Fig 2(a)에 그림으로 나타냈다.

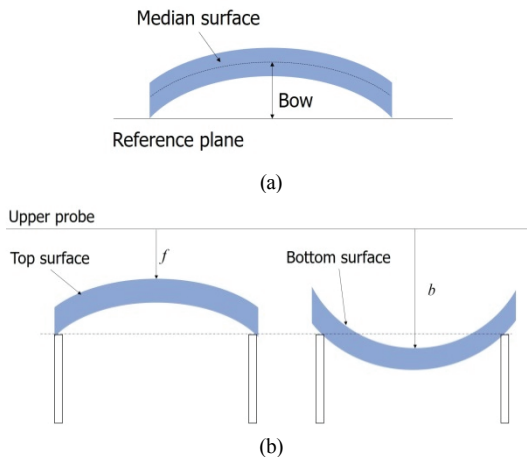


Fig. 2. (a) Definition of bow, (b) measurement of bow.

Bow를 측정하기 위해서는 Fig 2(b)에 나타낸 것과 같이 상부의 측정 probe와 웨이퍼 상부면 사이의 거리 f 와 웨이퍼를 뒤집었을 때 상부 probe와 웨이퍼 하부면 사이의 거리 b 를 이용하여 다음과 같이 정의된다.

$$\text{Bow} = (f - b)/2$$

2.2 Warp

Bow가 웨이퍼 중앙의 휨 만을 측정하는데 반해서 warp는 웨이퍼 전체에 걸쳐 휨의 상태를 측정한다. Fig 3에 나타낸 것과 같이 웨이퍼를 상부와 하부에서 동시에 측정 하면서 상부 probe와 웨이퍼 윗면사이의 거리 a , 하부 probe

와 웨이퍼 아랫면 사이의 거리 b 로부터 다음 정의에 의해서 warp를 구한다.

$$\text{Warp} = [(b-a)_{\max} - (b-a)_{\min}]/2$$

단, 여기서 $(b-a)_{\max}$ 는 $b-a$ 가 가장 큰 값을 의미하고, $(b-a)_{\min}$ 은 $b-a$ 가 가장 작은 값을 의미한다.

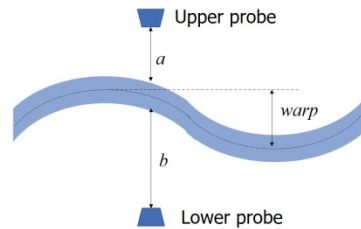


Fig. 3. Definition of warp.

2.3 Sori

2.1절의 bow와 2.2절의 warp는 모두 3개의 점 지지로 웨이퍼를 지지한다는 공통점이 있으며, 3점 지지를 이용할 경우 Fig 4에 나타낸 것과 같이 웨이퍼의 하중에 의해서 처짐 현상이 발생하게 된다. Fig 4에서 3점 지지로 표시된 부분은 휨이 거의 없고, 지지점 주변과 특히 가운데 부분에서 하중에 의해서 큰 휨이 발생하고 있는 것을 볼 수 있다. 이러한 하중에 의한 처짐 현상을 보상하기 위해서 웨이퍼를 뒤집어서 한번 더 측정하거나 아래위에서 동시에 측정을 해야 한다.

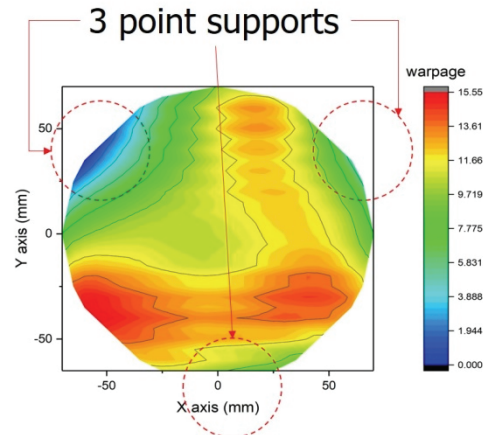


Fig. 4. Effects of weight on the warp when a wafer supported by 3 point supports.

그러나, 측정을 두 번 할 경우 측정 시간이 많이 소요 되고, 아래위에서 동시에 측정을 하는 경우 측정 장비의

가격 상승 및 시스템이 복잡해지는 단점이 존재한다.

Sori는 이러한 3점 지지의 어려움을 보완하기 위해서 Fig. 5와 같이 probe와 상부 표면 사이의 거리를 측정할 후, 최소자승법(least square)에 의해 설정된 기준면과 상부표면 사이 거리의 최대, 최소값의 차로 정의된다.

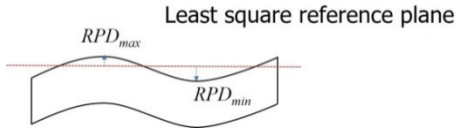


Fig. 5. Definition of sori.

3. 열전달을 이용한 warp 측정법

2절에서는 웨이퍼의 휨을 나타내는 여러가지 방법, 즉 bow, warp, sori의 정의와 측정 방법에 대해 살펴보았다. 사용자가 어떤 정의를 채택하더라도 probe와 웨이퍼 사이의 거리를 측정해야 하며, 이 때 거리를 측정하는 방법으로는 레이저와 같이 빛을 이용하는 광학적 방식[10]과 커패시턴스를 측정하는 것과 같은 전기적 방식[11]이 널리 쓰이고 있다.

그러나 실제 산업현장에서 생산과정 중에 웨이퍼의 휨을 전수 측정하는 것은 측정에 많은 시간이 소요되어 생산성이 떨어지게 된다. 본 연구에서는 열전달을 이용하여 빠르게 웨이퍼의 휨을 측정하여 양품과 불량품을 판별함으로써, 생산과정에 웨이퍼의 휨을 전수 조사할 수 있는 새로운 간접 측정 방법을 제안하고자 한다.

3.1 측정 원리

히터 위에 웨이퍼를 올려놓고 가열할 때, Fig. 6 (a)와 같이 웨이퍼가 평탄한 경우 히터와 웨이퍼의 접촉면적이 넓어서 주로 전도에 의해서 열이 히터에서 웨이퍼로 빠르게 전달되나, 웨이퍼가 휘어져 있는 경우 Fig. 6 (b)와 같이 히터와 웨이퍼의 접촉면적이 줄어들게 되면서 히터에서 웨이퍼로 직접 전도에 의해서 열이 전달되기 보다는 웨이퍼와 히터 사이의 공기를 통해서 열이 전달되는 비율이 증가하게 된다. 따라서 열전도율은 떨어지게 된다.

따라서 일정한 파워를 가했을 때, 히터의 가열 속도를 측정해 보면 웨이퍼의 휨 여부를 정성적으로 판단할 수 있다. 즉 가열속도가 빠른 경우 웨이퍼가 휘어져 있고, 가열속도가 느린 경우 웨이퍼가 평평한 상태라고 추정할 수 있다. 비록 2절에서 설명한 warp나 sori 만큼 정밀한 웨이퍼의 휨을 측정하지는 못하겠지만, 생산공정에서 양품과 불량을 판정할 수 있을 정도의 해상도는 얻을 수 있을 것으로 기대한다.

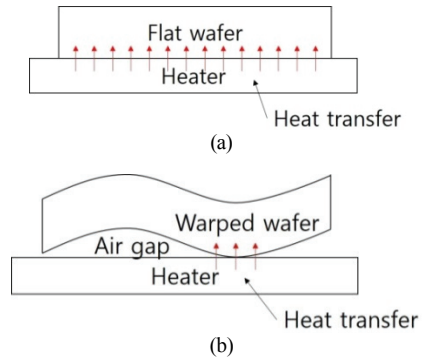


Fig. 6. Heat transfer between the hot plate and the wafer (a) when the wafer is flat (b) when the wafer is warped.

3.2 실험 방법

Fig. 7에 본 실험에 사용한 측정장치를 나타냈다. 테프론 홀더에 세라믹 히터를 설치하고 그 위에 10 x 10 mm² 크기로 자른 실리콘 웨이퍼를 얹는다. 세라믹 히터를 일정 파워로 가열하면서 세라믹 히터 내부에 설치된 열전쌍을 이용하여 히터의 온도를 측정하여 가열 속도를 계산한다. 열전쌍의 온도 측정을 위해서는 Agilent E3634A와 Keithley Model 2000을 사용하였으며, 50ms 간격으로 5포인트의 평균을 사용하였다.

실제 실험에서는 웨이퍼를 상온에서부터 가열하면서 히터의 가열 속도를 측정하는 방식과 가열되어 있는 히터위에 상온의 웨이퍼를 얹었을 때 히터 온도가 떨어지는 정도를 측정하는 두 가지 방식을 시도하였다.

실리콘 웨이퍼의 휨을 제어하기 위해서 실리콘 웨이퍼에 Pt coater를 이용하여 Pt을 20 sec, 100 sec, 200 sec, 300 sec로 증착 시간을 달리하여 증착함으로써, Pt 두께에 따라 웨이퍼의 휨은 정도가 다르게 하였다.

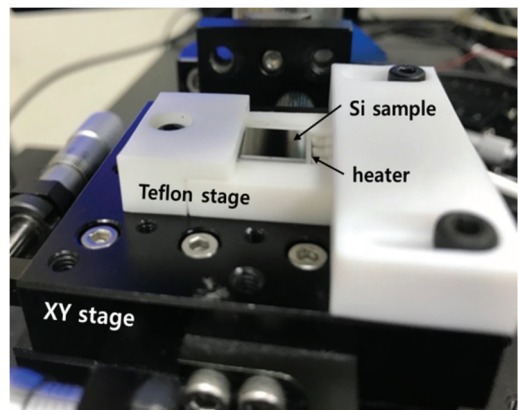


Fig. 7. Heating system to measure the wafer warpage

3.3 결과

3.3.1 상온 가열 실험

다른 두께의 Pt 박막을 갖는 실리콘 웨이퍼를 세라믹 히터위에 얹은 후 세라믹 히터에 87mW의 파워를 일정하게 인가했을 때 히터 온도의 초기 변화를 측정된 결과를 Fig 8에 나타냈다.

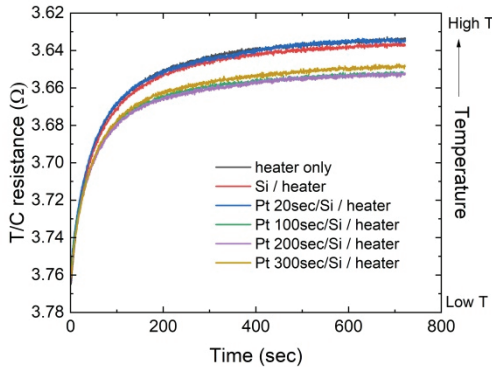


Fig. 8. Heater temperature vs. time for heating method of Si wafers with various Pt layer.

가열을 시작한 후 약 200 sec 근처에서 온도 상승이 둔화되기 시작하여 실험 범위인 700 sec에서는 온도가 거의 안정화되어 있는 것을 볼 수 있다. 가열 초기의 온도 상승 구간을 살펴보면 세라믹 히터만 가열했을 때 보다 실리콘 웨이퍼를 얹었을 때 초기 가열 속도가 떨어지는 것을 관찰할 수 있었으며, Pt 두께가 증가하면서 초기 가열 속도가 감소하는 경향을 나타내고 있다. 그러나 측정 범위인 700 sec에서의 최종 온도와 Pt 두께는 상관관계를 확인할 수 없었다. 재현성 확인을 위한 반복 실험에서 가열 속도가 주변의 환경에 민감하게 반응하는 것을 확인할 수 있었다.

3.3.2 고온 냉각 실험

주변 환경이 가열과정에 미치는 영향을 최소화하기 위해서 세라믹 히터를 110°C로 가열한 상태에서 웨이퍼를 얹었을 때, 히터 온도가 떨어지는 정도를 측정하는 방식을 시도하였다.

Fig 9에 나타난 것과 같이 세라믹 히터를 110°C로 가열한 상태에서 실리콘 웨이퍼를 히터 위에 얹게 되면 (12초), 히터 온도가 초기에는 떨어졌다가 다시 올라가게 된다 (14 ~ 15 초 부근). 이때 냉각 부분의 냉각 속도를 측정해보면 Pt 두께에 따라 냉각 속도가 변화함을 확인할 수 있었으며, 재현성을 확인을 위한 반복 실험에서도 동일한

결과를 나타냈다. 초기 온도를 138°C로 증가시킨 후에 동일한 실험을 행하였을 때에는 Pt 두께에 따라 110°C와는 다른 냉각 속도를 나타냈다.

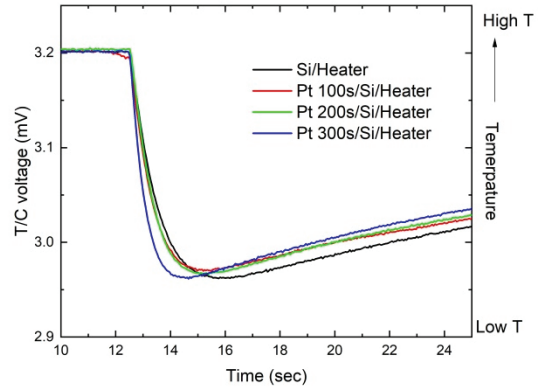


Fig. 9. Heater temperature vs. time for cooling method for Si wafers with various Pt layer.

상온 가열 실험과는 달리 주변 환경에 크게 영향을 받지 않는 것으로 관찰되어, 현재 추가로 진행 중인 웨이퍼의 정량적인 warp값과 냉각속도와의 상관관계에 대한 실험이 완료되면 냉각 방식을 이용한 웨이퍼 휨의 불량판정의 새로운 방법을 제시할 수 있을 것으로 기대된다.

4. 결 론

웨이퍼의 휨을 간단하게 판단할 수 있는 새로운 측정 방법을 제안하였다. 웨이퍼의 휨에 따른 히터와의 접촉면적의 변화가 미치는 열전달 차이를 이용하여 웨이퍼의 휨을 추정하는 방식을 제안하였으며, 상온에서부터 가열하는 방법과 고온에서부터 냉각하는 방식을 비교 실험한 결과 고온 냉각 방식이 더 안정적으로 작동하는 것을 확인하였다.

감사의 글

본 연구는 서울과학기술대학교 교내연구비의 지원으로 이루어졌습니다.

참고문헌

1. Al-Sarawi, S. F., Abbott, D., and Franzon, P. D. "A review of 3-D packaging technology," *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part B*, 21(1), pp. 2-14, (1998).

2. Lau, J. H., Li, M., Tian, D., Fan, N., Kuah, E., Kai, W., Li, M., Hao, J., Cheung, Y., Li, Z., Tan, K., Beica, R. Taylor, T., Ko, C., Yang, H., Chen, Y., Lm, S., Lee, N., Ran, J., Xi, C., Wee, K., and Yong, Q., "Warpage and thermal characterization of fan-out wafer-level packaging," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 7(10), 1729-1738, (2017).
3. E. S. Lee, W. B. Kim, I. S. Song, C. Y. Moon, H. C. Kim, and K. J. Chun, "A novel wafer-level-packaging scheme using solder," *Journal of the Semiconductor & Display Equipment Technology*, 3(3), pp. 5-9, (2004).
4. Pizzagalli, A., Thibault B., and Rozalia B., "3D technology applications market trends & key challenges," *Advanced Semiconductor Manufacturing Conference (ASMC), 25th Annual SEMI. IEEE*, pp. 78-81, (2014).
5. Y. H. Cho, S. E. Kim and S. Kim, "Wafer Level Bonding Technology for 3D Stacked IC," *Journal of the Microelectronics & Packaging Society*, 20(1), pp. 7-13 (2013).
6. S. Shin, M. Park, S. E. Kim, and S. Kim, "Effects of Wafer Warpage on the Misalignment in Wafer Level Stacking Process," *Journal of the Microelectronics & Packaging Society*, 20(3), pp. 71-74, (2013).
7. Ding, H., Powell, R. E., Hanna, C. R., & Ume, I. C. "Warpage measurement comparison using shadow moiré and projection moiré methods," *IEEE Transactions on Components and Packaging Technologies*, 25(4), pp. 714-721. (2002).
8. S. Son, H. Kihm and H. S. Yang, "Effect of Die Bonding Epoxy on the Warpage and Optical Performance of Mobile Phone Camera Packages," *Journal of the Semiconductor & Display Equipment Technology*, 15(4), pp. 1-9, (2016).
9. SEMI Draft Document 5409, "New Standard: Guide for Metrology for Measuring Thickness, Total Thickness Variation (TTV), Bow, Warp/Sori, and Flatness of Bonded Wafer Stacks."
10. Verma, K., and Han, B. "Warpage measurement on dielectric rough surfaces of microelectronics devices by far infrared Fizeau interferometry," *Journal of Electronic Packaging*, 122(3), pp. 227-232, (2000).
11. Dieter K. Schroder, *Semiconductor Material and Device Characterization*, John Wiley & Sons, pp.37-38, (2006).

접수일: 2018년 12월 14일, 심사일: 2018년 12월 19일,
 게재확정일: 2018년 12월 20일