

Verification for the design limit margin of the power device using the HALT reliability test

YuShin Chang*

Abstract

The verification for the design limit margin of the power device for the information communication and surveillance systems using HALT(Highly Accelerated Life Test) reliability test is described. The HALT reliability test performs with a step stress method which change condition until the marginal step in a design and development phase. The HALT test methods are the low temperature(cold) step stress test, the high temperature(hot) step stress test, the thermal shock cyclic stress test, and the high temperature destruct limit(hot DL) step stress test. The power device is checked the operating performance during the test.

In this paper, the HALT was performed to find out the design limit margin of the power device.

▶Keyword: HALT(Highly Accelerated Life Test), Reliability test, Power device, Design limit margin

I. Introduction

정보통신 및 감시 시스템 제품의 신뢰성은 제품의 수명 기간 동안 고장 없이 사용할 수 있는 특성을 나타낸다. 신뢰성이 제품의 시간적 품질을 다루는 것이기 때문에 신뢰성 평가를 위해서는 장시간의 시험이 수행되어야 한다. 장시간 소요되는 신뢰성 시험은 큰 부담이 된다[1,2]. 신뢰성이 높은 제품을 개발하기 위해서는 약 70~ 80% 신뢰성이 결정되는 설계개발단계(Design Development Phase)에서부터 신뢰성을 미리 고려해야 하며 만일 개발 제품에 문제가 발생하면 개발 초기 단계에 빨리 발견하고 수정 보완할수록 소모비용이 적게 든다. 또한 높은 신뢰성을 만족하는 제품에 대한 소비자의 요구와 더불어 제품의 수명 사이클은 점차 감소되고 있는 실정이다. 게다가 소프트웨어의 품질 속성별로 구체적인 테스트 기법을 개발하여 품질을 측정 할 수 있는 방안을 소개하고 가장 일반적으로 사용되는 개발 방법인 생명주기별 테스트 활동과 기법을 정리하여 지침으로 활용할 수 있도록 구체적인 가이드라인을 제시한 논문도 있다[3]. 그리고 일반적인 사용 조건에서 시험할 경우 시험단위들이 장시간 동안 거의 고장 나지 않거나 혹은 심각하게 열화 되지 않으므로, 이와 같은 상황에서 신뢰성 시험시간을 단축하기 위한 많은 노력을 통해 대부분의 신뢰성 시험에서는 단시간 내에 해당 제품 및 장비의 수명을 파악하기 위해 사용조

건보다 가혹한 부하(스트레스 : Stress)를 가하여 고장 가능성이 높도록 시험한 후 고장데이터를 이용하여 정상사용 조건에서의 신뢰성을 추정하는 시험법인 가속수명시험(Accelerated Life Test : ALT)을 이용하고 있다[1,2,4]. 여기서 ALT를 통해 얻어진 자료는 물리적으로 스트레스와 수명과의 관계를 설명할 수 있는 적절한 통계적 가속모델을 통해서 분석하여 일반 사용조건하의 수명을 평가한다[5].

가속수명시험은 주로 두 가지 원리를 사용한다. 하나는 온도를 이용한 아레니우스(Arrhenius) 법칙이 있고, 두 번째는 (사용조건/가혹조건) k 만큼 수명이 줄어든다는 k 승 법칙이 있다. 그 외에도 고장이 일어날 수 있는 상황을 모두 예상해서 시험해야 한다[6].

가속수명시험 시 스트레스를 부과하는 방법은 일반적으로 4가지로 구분된다[7,8]. 첫 번째, 일정 스트레스 시험(Constant-stress Accelerated Test)으로 스트레스 부과방법의 가장 대표적인 것으로 시험단위에 일정한 수준의 스트레스를 시험 중결 시간까지 유지하는 방법이다. 두 번째는 단계 스트레스 시험(Step-stress Accelerated Test)으로 단계 스트레스 부과방법은 스트레스 수준을 계단형으로 변환(증가 또는 감소)시키는 시험이다. 본 논문에서 적용한 방법이다. 세 번째는 점진 스트레

*First Author : YuShin Chang, Corresponding Author : YuShin Chang

*YuShin Chang (yushin.chang@hanwha.com), Division of Research and Development, Hanwha Systems

*Received: 2018. 09. 21, Revised: 2018. 10. 20, Accepted: 2018. 10. 22.

스 시험(Progressive-stress Accelerated Test)으로 시간에 따라 스트레스를 연속적으로 증가시키면서 시험하는 방법이다. 마지막은 주기적 스트레스 시험(Cyclic-stress Accelerated Test)으로 시험제품에 가하는 스트레스 수준이 사인곡선 등과 같이 주기적으로 변환시키는 시험이다. 본 논문에서 적용한 방법이다.

최근에 감시 시스템 분야의 기존 표준형 시장이 고급형(고해상도)제품으로 출시되고 있고, 고객은 다양한 운용환경에 적합한 시스템을 선택하는 구조로 시장이 형성되고 있다. 따라서 감시 시스템은 시장의 요구사항에 빠른 대응을 위해 다양한 Line-up 형태로 구성품들을 개발하고 있다.

본 논문에서 정보통신 및 감시 시스템의 구성품인 전원장치에 대하여 초기 개발 시 설계된 제품의 설계마진(Design margin)에 대한 확인 및 검증에 대해 초가속수명시험 (HALT, Highly Accelerated Life Test)을 실시하고 HALT 시험결과 의 타당성을 검증하기 위한 신뢰성분석을 시행하고 가속수명시험 모형을 분석하여 시험방법을 제시하고 이러한 방법에 따라 제품의 설계 및 사용 중 발생할 수 있는 고장의 형태를 사전에 파악하여 설계단계에서 제품의 강건설계를 할 수 있는 근거를 제시한다. 제시된 HALT의 시험 방법으로 저온 단계별 스트레스 시험, 고온 단계별 스트레스 시험, 열충격 스트레스 시험, 고온 DL(Destruct Limit, 파괴한계) 스트레스 시험을 실시하고, 시험 실시동안 전원장치의 동작조건을 상시 확인하며, 정확한 고장시점에 대해 파악한다. 시험 후 발생된 고장에 대해서는 부품의 개별단위 분석을 통해 고장현상을 파악하고 결정한다. 모든 시험항목이 끝나면 제품의 각 스트레스 인가 시험에서 도출된 결과를 바탕으로 파괴상한(UDL, Upper DL), 파괴하한(LDL, Lower DL), 동작상한(UOL, Upper Operating Limit), 동작하한(LOL, Lower OL)과 비교 확인한다. 결정된 온도범위를 제품의 설계범위와 비교 분석하여 최종 제품의 설계마진(Design margin)을 확인한다[9].

따라서 본 논문에선 초가속수명주기시험인 HALT(Highly Accelerated Life Test) 신뢰성시험을 수행하여 한계 마진 평가를 통해 시스템 구성품인 전원장치의 취약 설계 포인트 도출 및 설계 마진(여유) 검증에 대해 제안한다.

II. Preliminaries

1. HALT Reliability test

1.1 Introduction of the Test

효율적이고 정확한 가속 수명 시험을 설계하고 시험을 수행하기 위해 통계학적 연구를 이용하고 가속수명의 수명 분포는 일반적인 정규 분포가 아니므로 스트레스(stress)와 평균 수명 사이의 가속 모델을 적절히 설정하여 일반 사용조건 하의 평균 수명을 도출한다. 또한 다양하고 급변하는 고객의 요구에 기인

한 현 전자 산업의 상황 즉, 고밀도화 고집적화되는 고성능의 전자제품의 추세와 더불어 존각을 다투는 개발 기간 단축 경쟁의 상황에 대응하기 위해서 요구되는 신뢰성 평가 연구의 수준은 기존의 공학 이론과 분석 이론은 물론 새로이 발견되고 발명되는 첨단 공학적 지식과 분석 능력을 요구하고 있다[10]. HALT 신뢰성 시험은 가속 수명시험 중 하나로 단시간에 잠재적인 고장을 유발하여 취약부위의 개선을 통해 제품의 신뢰성을 높이는 시험이다. HALT 시험을 통해 시장에서 발생할 수 있는 유사한 고장유형을 개발단계에서 높은 확률로 발견 가능하고 제품의 설계 마진을 확인함으로써 시장의 유사장비 대비 제품의 신뢰성을 파악 할 수 있으며 취약부위 보안을 통해 제품의 수명 및 신뢰성을 보다 향상시킬 수 있는 장점이 있다.

시험의 스트레스 범위는 동작한계(Operating Limit : 스트레스를 제거하면 동작을 지속할 수 있는 한계점, Soft Failure발생), 파괴한계(Destruct Limit : 스트레스를 제거해도 동작되지 않고, 제품이 파괴되는 한계점, Hard Failure발생)이며, HALT 시험은 Fig.1과 같이 동작한계와 파괴한계를 찾는 과정이다[11,12].

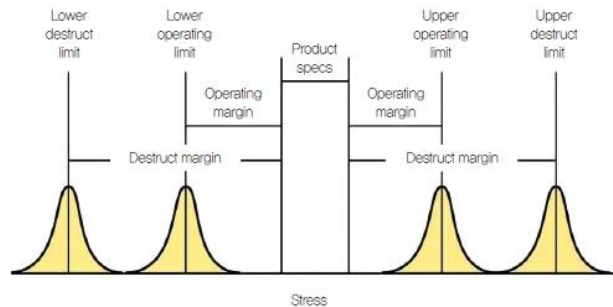


Fig. 1. HALT Stress

1.2 Methods of the Test

가속수명시험은 주로 두 가지 원리를 사용한다. 하나는 온도를 이용한 아레니우스(Arrhenius) 법칙이 있고, 두 번째는 k (사용조건/가속조건) 만큼 수명이 줄어든다는 k승 법칙이 있다. 그 외에도 고장이 일어날 수 있는 상황을 모두 예상해서 시험해야 한다. 또한 가속수명시험 시 스트레스를 부과하는 방법은 일반적으로 4가지 방법이 있다[6,7,8].

1) 일정 스트레스 시험(Constant-stress Accelerated Test) : 스트레스 부과방법의 가장 대표적인 것으로 시험단위에 일정한 수준의 스트레스를 시험 종결 시간까지 유지하는 방법이다. 이 방법은 시험에 적용하기가 편리하고, 시험 시 스트레스의 유지가 쉬우며, 일정 스트레스 수준 하에서의 가속모형이 널리 개발되어 있고 경험적인 검증도 많이 이루어져 있는 장점이 있다.

2) 단계 스트레스 시험(Step-stress Accelerated Test) : 단계 스트레스 부과방법은 스트레스 수준을 계단형으로 변환시키는 시험으로 시험단위의 고장을 유발시킬 수 있는 장점이 있으나 시험단위의 고장까지 각 스트레스에서 노출된 누적효과가 전이되는 모형이 필요 할 수 있다.

3) 점진 스트레스 시험(Progressive-stress Accelerated Test) : 시간에 따라 스트레스를 연속적으로 증가시키면서 시험하는 방법으로, 특히 선형적으로 증가하는 경우를 램프(ramp-stress)시험이라 한다. 단계 스트레스 시험과 동일한 장단점을 가지고 있으며, 고가의 시험 장비를 사용하더라도 스트레스 증가율을 일정비율로 유지하기가 어려울 수도 있다.

4) 주기적 스트레스 시험(Cyclic-stress Accelerated Test) : 시험제품에 가하는 스트레스 수준이 사인곡선 등과 같이 주기적으로 변환시키는 시험으로 금속부품들의 스트레스 부과방법에 많이 적용된다. 예를 들면 금속의 강도를 파악하기 위하여 금속시료에 대해 일정기간 동안 인장-압축시험을 반복하게 되는데 이와 같이 주기적으로 기계적 스트레스를 반복하는 시험을 의미한다. 본 논문에서는 단계 스트레스 시험과 주기적 스트레스 시험을 적용한다.

4) $\pm 4\sigma$, ($\pm 4 \times 4^\circ\text{C} = \pm 16^\circ\text{C}$), 즉, 양측 8σ ($2 \times 4 \times 4^\circ\text{C} = 32^\circ\text{C}$)내에서 발견된 고장(불량)은 제품운용 간 충분히 발생 가능 하다고 판단한다.

[시험 온도범위 설정 조건]

- 1) 저온조건 : 저온운용에서 32°C 만큼 추가, -64°C (= $-32 + (-32)$) 기준
- 2) 고온조건 : 고온운용에서 32°C 만큼 추가, 87°C (= $55 + 32$) 기준
- 3) 따라서 일반적으로 온도 Step이 10°C 이므로 $-60^\circ\text{C} \sim 90^\circ\text{C}$ 로 온도범위를 Fig.2와 같이 설정한다.

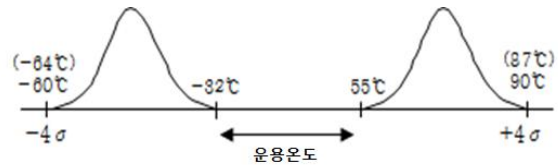


Fig. 2. HALT Stress setup

III. The Proposed Scheme

1. HALT Reliability Test Condition Setup

1.1 Conditions of the Test

세라믹 전자부품의 평균수명을 단축시켜 고장(불량)에 이르게 하는 스트레스 중에는 전압, 온도, 습도, 기계적응력 4가지를 들 수 있다[10]. 신뢰성에서 고장의 정의는 파국적 고장의 의미하는 것이 아니라 보다 넓은 의미의 고장을 의미한다. 즉 점진적인 열화 과정 중에 제품이 오동작이 발생하는 지점이 고장의 정의이다[13,14].

본 논문에서 감시 시스템의 구성품에 전원을 공급하는 장치인 전원장치에 대하여 초기 개발 시 설계된 제품의 설계마진(Design margin)에 대한 확인 및 검증을 위해 초기속수명시험(HALT)을 실시하고 이러한 방법에 따라 제품의 설계 및 사용 중 발생할 수 있는 고장의 형태를 사전에 파악하여 설계단계에서 제품의 강건설계를 할 수 있는 근거를 제시한다. HALT의 시험 항목으로 저온, 고온 단계별 스트레스 시험, 열충격 주기적 스트레스 시험, 고온 DL 단계별 스트레스 시험을 실시하고, 시험 실행 동안 전원장치의 동작조건을 상시 확인하며, 정확한 고장시점에 대해 파악하기 위해 시험 기준을 다음과 같이 설정한다[15].

[시험 설정 조건]

- 1) 시험 종료 조건까지 결함이 발생하지 않으면 시험을 종료한다.
- 2) 시험 종료 조건은 제품 규격을 기준으로 4σ 수준(탈출율: 0.0032 %)으로 하며, 아래의 통계적 수치를 적용하여 시험 종료 조건을 산출한다. (적용 수준 : $\pm 4\sigma$, σ : 시그마)
- 3) 장비의 $\pm 4\sigma$ 내에서 발생하는 고장은 야전에서 충분히 발생 가능
 - 전원장치 운용온도 조건(제품 조건) : $-32^\circ\text{C} \sim 55^\circ\text{C}$
 - 온도 표준편차(σ): 4°C

2. HALT Reliability Test and Results

2.1 Contents of the Test

HALT 시험은 저온, 고온, 열충격, 고온DL 시험에 대해 설정된 시험조건으로 시험하고 결과를 도출한다. 저온시험은 최초 25°C 에서 안정하게 유지한 후 $10^\circ\text{C} \rightarrow 0^\circ\text{C} \rightarrow -10^\circ\text{C} \rightarrow -20^\circ\text{C} \rightarrow -30^\circ\text{C} \rightarrow -40^\circ\text{C} \rightarrow -50^\circ\text{C} \rightarrow -60^\circ\text{C}$ 까지 저온영역에 단계 스트레스 시험을 수행하고 25°C 로 와서 전원장치를 안정시킨 후 저온시험을 완료한다. 고온시험은 $20^\circ\text{C} \rightarrow 30^\circ\text{C} \rightarrow 40^\circ\text{C} \rightarrow 50^\circ\text{C} \rightarrow 60^\circ\text{C} \rightarrow 70^\circ\text{C} \rightarrow 80^\circ\text{C} \rightarrow 90^\circ\text{C}$ 까지 고온영역에서 단계 스트레스 시험을 수행한 후 25°C 로 복귀하고 전원장치를 안정시킨 후 고온시험을 완료한다. 열충격 시험은 최초 25°C 에서 안정하게 유지한 후 $-60^\circ\text{C} \rightarrow 90^\circ\text{C} \rightarrow -60^\circ\text{C} \rightarrow 90^\circ\text{C} \rightarrow -60^\circ\text{C} \rightarrow 90^\circ\text{C} \rightarrow -60^\circ\text{C} \rightarrow 90^\circ\text{C}$ 까지 저온 고온 영역에서 주기적 스트레스 시험을 수행한 후 25°C 로 복귀하고 전원장치를 안정시킨 후 열충격 시험을 완료한다. 고온DL시험은 $50^\circ\text{C} \rightarrow 60^\circ\text{C} \rightarrow 70^\circ\text{C} \rightarrow 80^\circ\text{C} \rightarrow 90^\circ\text{C} \rightarrow 100^\circ\text{C} \rightarrow 110^\circ\text{C} \rightarrow 120^\circ\text{C} \rightarrow 130^\circ\text{C}$ 계속 고온영역에서 고장이 발생할 때 까지 단계 스트레스 시험을 수행한 후 25°C 로 복귀하고 전원장치를 안정시킨 후 고온시험을 완료한다. 이때 일정한 온도영역에서 전원장치에 대한 운용동작을 수행하고 측정하며, 측정값의 이상 유무를 검사한다. 시험 구성 사진은 다음 그림 Fig.3과 Fig.4와 같고 시험에 소요된 장비는 다음 표 Table 1과 같다. HALT 시험장비(챔버)는 온도를 급격하게 변화시켜 환경시험을 수행할 수 있는 장비로써 Heater와 액체질소를 이용하여 챔버 온도를 제어하는 환경시험 장비이다. 본 장비의 온도 제어범위는 -100°C 에서 200°C 이며, 온도 변화율은 $60^\circ\text{C}/\text{min}$ 이내이다.

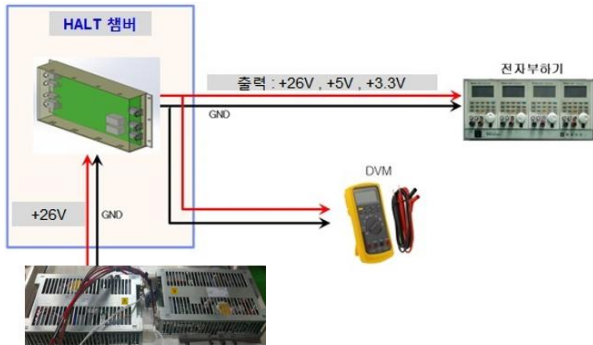


Fig. 3. HALT Test Block Diagram

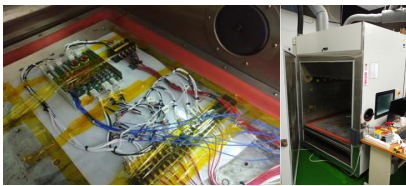


Fig. 4. HALT Test Configuration

Table 1. Test Equipment

Item	Serial Number	EA
DC Power Supply	62024P	2
Electric Load	6360-80-60	2
Thermo sensor device	LR8400-20	1
DMM	Fluke 177	1
Jig and cables	-	1

2.2 Configuration of the Power Device

사용된 시험대상 장비인 전원장치는 시스템의 구성품들에게 필요한 DC전원(28V, 5V, 3.3V)을 최대/최소 부하조건, 입력전압 및 출력전압 규격으로 공급하는 것으로 형상은 다음 그림 Fig.5와 같다.

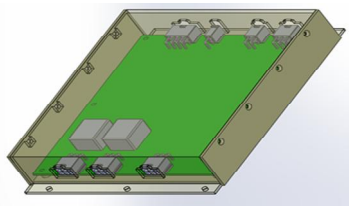


Fig. 5. Power device

2.3 Cold Step Stress Test

저온 시험 조건은 Fig.6과 같이 영상10도(Start Temp.)에서 영하60도(End Temp.)까지 10도 단위(Temp.)로 계단 형태로 온도를 낮추며 시험한다. 단계별 온도 유지 시간(Dwell Time)은 10분으로 한다.

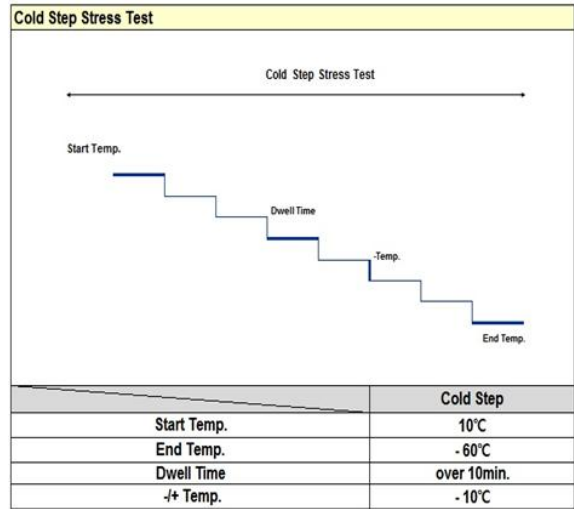


Fig. 6. Cold Step Test Condition

온도측정은 챔버 내부의 온도와 전원장치의 온도를 측정하고 측정결과는 Fig.7과 같이 시험조건을 만족함을 알 수 있다.



Fig. 7. Cold Step Test Result(Temperature)

전원장치의 운용동작 확인은 운용제어 GUI를 통해서 수행한다. 시험수행 결과는 다음 그림 Fig.8과 같다.

저온 시험 조건에서 전원장치의 운용동작은 이상 없이 양호함을 알 수 있다.



Fig. 8. Cold Step Test Result(Operating GUI)

2.4 Hot Step Stress Test

고온 시험 조건은 그림 Fig.9와 같이 영상20도(Start Temp.)에서 영상90도(End Temp.)까지 10도 단위(Temp.)로 계단 형태로 온도를 높이며 시험한다. 단계별 온도 유지 시간(Dwell Time)은 10분으로 한다.

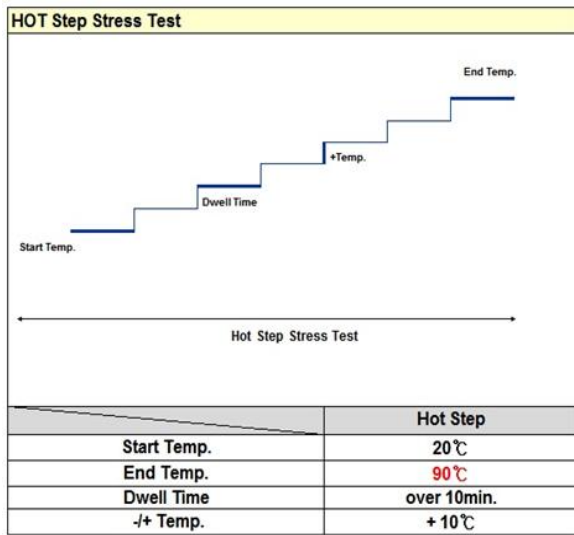


Fig. 9. Hot Step Test Condition

온도측정은 챔버 내부의 온도와 전원장치의 온도를 측정하고 측정결과인 그림 Fig.10을 보면 시험조건을 만족함을 알 수 있다.

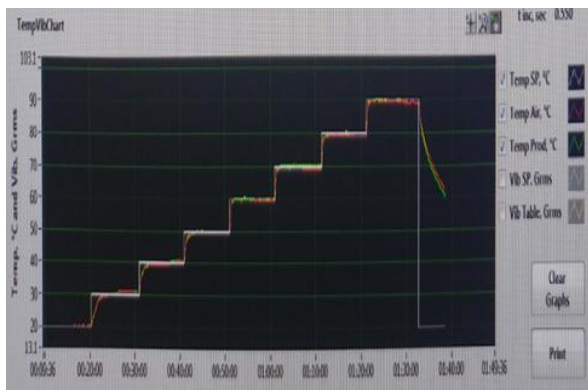


Fig. 10. Hot Step Test Result(Temperature)

전원장치의 운용동작 확인은 운용제어 GUI를 통해서 수행한다. 시험수행 결과는 다음 그림 Fig.11과 같다.

고온 시험 조건에서 전원장치의 운용동작은 이상 없이 정상 동작함을 알 수 있다.

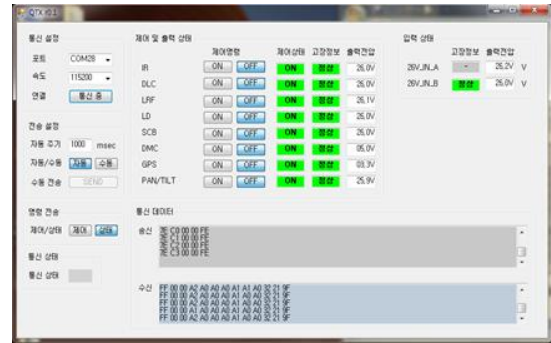


Fig. 11. Hot Step Test Result(Operating GUI)

2.5 Thermal Shock Cyclic Stress Test

열충격 시험 조건은 그림 Fig.12와 같이 영하60도(Min Temp.)에서 영상90도(Max Temp.)까지 급격히 온도를 낮췄다 높였다 하며(온도 변화율(Temp. Rate) : 60°C/min 이내) 5주기(Cycles) 동안 주기적 형태로 시험한다. 온도별 유지 시간(Dwell Time)은 10분으로 한다.

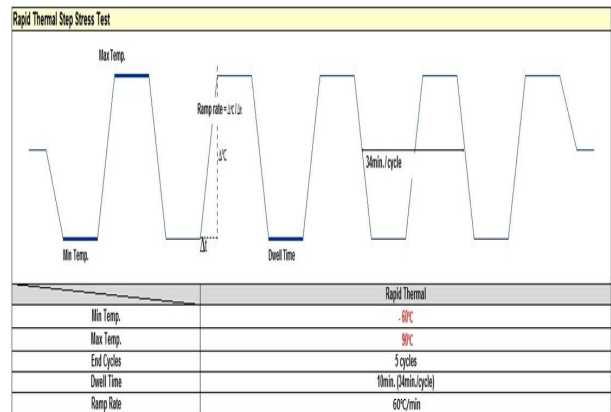


Fig. 12. Thermal Shock Cyclic Test Condition

온도측정은 챔버 내부의 온도와 전원장치의 온도를 측정하고 측정결과는 Fig.13과 같이 열충격 시험조건을 만족함을 알 수 있다.

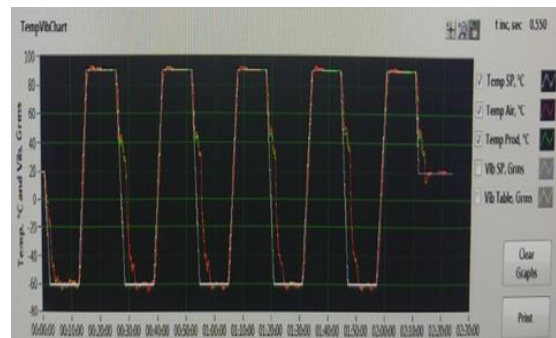


Fig. 13. Thermal Shock Test Result(Temperature)

전원장치의 운용동작 확인은 운용제어 GUI를 통해서 수행한

다. 시험수행 결과는 다음 그림 Fig.14와 같다.

열충격 시험 조건에서 전원장치의 운용동작은 이상 없이 정상동작함을 알 수 있다.



Fig. 14. Thermal Shock Test Result(Operating GUI)

2.6 Hot DL Step Stress Test

고온DL(Destruct Limit) 시험 조건은 그림 Fig.15와 같이 영상50도(Start Temp.)에서 시작하여 이상(불량)이 발생할 때까지 10도 단위(Temp.)로 계단 형태로 온도를 높이며 시험한다. 단계별 온도 유지 시간(Dwell Time)은 10분으로 한다.

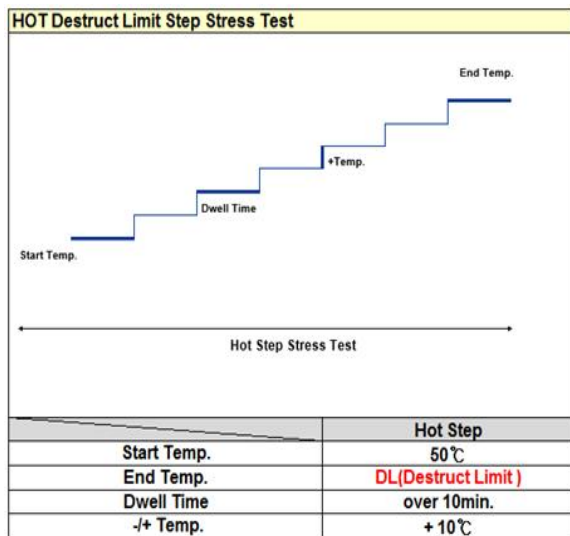


Fig. 15. Hot DL Step Test Condition

온도측정은 챔버 내부의 온도와 전원장치의 온도를 측정하고 측정결과는 Fig.16과 같이 고온 DL 시험조건을 만족함을 알 수 있다.

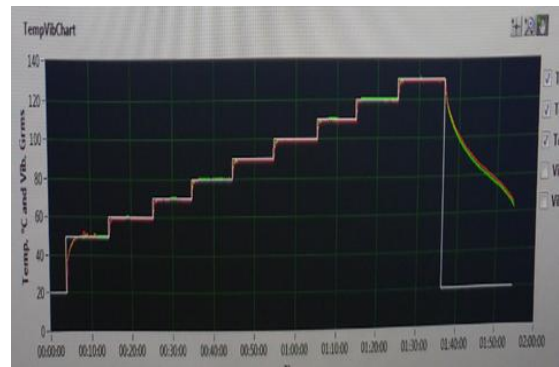


Fig. 16. Hot DL Step Test Result(Temperature)

전원장치의 운용동작 확인은 운용제어 GUI를 통해서 수행한다. 시험수행 결과는 다음 그림 Fig.17과 같다.

고온 DL 시험 조건에서 전원장치의 운용동작은 영상120도까지 이상 없이 양호하고 영상 130도에서 그림 Fig.17과 같이 운용동작 GUI에서 동작불량이 발생함을 알 수 있다.

시험 완료 후 전원장치의 불량 원인 확인 시 전원 출력단 FET소자의 불량을 확인하였다.



Fig. 17. Hot DL Step Test Result(Operating GUI)

2.7 Summary of the HALT Test Results

저온, 고온, 열충격, 고온DL 시험에 대한 결과 요약은 다음 표와 같다. 운용시 발생 가능한 조건을 통계적 수치를 적용하여 (온도조건 :-60℃ ~ 90℃) 시험하고 장비의 정상동작을 확인하였고 극한고온환경을 고려한 고온 DL 시험 시 120℃까지 정상동작을 확인하였다. 즉, HALT의 결과 전원장치 제품의 설계마진(Design margin)은 제품 사양대비 고온(55도)기준으로 약 120도 까지 65도의 온도마진을, 저온(-32도)에서는 약 60도 까지 28도의 온도마진을 확보하고 있다고 결정할 수 있었다. 또한, 전원장치의 가장 취약한 부분은 FET임을 확인할 수 있었다. 시험 결과를 통해 전원장치의 설계 마진은 충분히 확보하였으므로 설계 적합성 양호로 판단되었다.

Table 2. Test Results

Item	Results
Cold Test (10℃ ~ -60℃)	Normal (Pass)
Hot Test (20℃ ~ 90℃)	Normal (Pass)
Thermal Shock Test (-60℃ ~ 90℃, 5 cycles)	Normal (Pass)
Hot Destruct Limit Test (50℃ ~ DL)	Normal (Pass) : ~ 120℃ Fault : @ 130℃

IV. Conclusions

초가속수명주기시험인 HALT(Highly Accelerated Life Test) 신뢰성 시험을 수행하여 한계 마진 평가를 통한 전원장치의 취약 설계 포인트 도출 및 설계 마진(여유) 검증에 수행하였다. 본 논문에서 정보통신 및 감시 시스템의 구성품에 필요 전원을 공급하는 전원장치에 대하여 초기 개발 시 설계된 제품의 설계마진(Design margin)에 대한 확인 및 검증을 위해 초가속수명시험(HALT)을 실시하고 HALT 시험결과와 타당성을 검증하기 위한 신뢰성분석을 시행하고 가속수명시험 시험조건을 분석하여 시험방법을 제시하고 이러한 방법에 따라 제품의 설계 및 사용 중 발생될 수 있는 고장의 형태를 사전에 파악하여 설계단계에서 제품의 강건설계를 할 수 있는 근거를 제시했다. HALT의 시험 항목으로 저온, 고온 단계별 스트레스 시험, 열충격 주기별 스트레스 시험, 고온 DL 단계별 스트레스 시험을 실시하고, 시험 실시동안 전원장치의 동작조건을 상시 확인하며, 정확한 고장시점에 대해 파악했다. 시험 후 발생된 고장에 대해서는 부품의 개별단위 분석을 통해 고장현상을 파악하고 결정했다. 모든 시험 수행 완료 후 제품의 각 스트레스 인가 시험에서 도출된 결과를 바탕으로 파괴상한(UDL), 파괴하한(LDL), 동작상한(UOL), 동작하한(LOL)과 비교 확인했다. 단, 시료 개수의 제한으로 인해 파괴하한 확인은 이번에는 제외하였다. 결정된 온도범위를 제품의 설계범위와 비교 분석하여 최종 제품의 설계마진을 확인했다. 현장에서 발생 가능한 조건을 통계적 수치를 적용하여 (온도조건 : -60℃ ~ 90℃) 시험하고 장비의 정상동작을 확인하였고 또한 극한고온환경을 고려한 고온 DL 시험 시 120℃까지 정상동작을 확인하였다. 즉, HALT의 결과 제품의 설계마진(Design margin)은 제품 사양대비 고온(55도)기준으로 약 120도 까지 65도의 온도마진을, 저온(-32도)에서는 약 60도 까지 28도의 온도마진을 확보하고 있다고 결정할 수 있었다. 또한, 전원장치의 가장 취약한 부분은 FET 임을 확인할 수 있었다. 시험 결과를 통해 전원장치의 설계 마진은 충분히 확보하였으므로 설계 적합성 양호로 판단되었다. 설계단계에서 HALT 기반의 신뢰성 검증 활동을 통한 강건설계 및 설계 여유도를 확보할 수 있었으며, 본 논문을 통해 검증된 전원장치의 설계 마진은 시스템에 대한 신뢰성을 향상시킬 수 있을 것으로 기대된다.

REFERENCES

- [1] J.W. Park, "Planning Accelerated Life Tests with Two Stress Variables: The Cases of Weibull Lifetime Distribution", Journal of the Korean Institute of Industrial Engineers, Vol. 2007, No. 5, 2007.
- [2] Lee, Bok-Shin, A Study on the Reliability Growth of ICE Machine for Refrigerator by Accelerated Life Test, Master's Thesis, Chonnam National University, 2006.
- [3] Kwang-Hyeon Lim, Kwang-Sun Ryu, Ho-Sun Shon, Keun-Ho Ryu, "The Study of quality measurement plan for software reliability", Journal of the KSCI (JKSCI), Vol. 17, No. 12, pp. 187-198, 2012.
- [4] S. Seo, C. Ha, K. Kim, "Optional Design of Accelerated Life Tests under Model Uncertainty", Journal of the Korean Society for Quality Management, Vol. 29, No.3, pp. 49-65, 1997.
- [5] W. Nelson, "Accelerated Testing: Statistical Models, Test Plans, and Data Analysis", Wiley, New York, 1990.
- [6] Dong Su Yoo, Reliability/Quality technology for product success, LuxMedia, 2011.
- [7] Soon Ho Lee, A study on Lifetime Prediction of TFT-LCD Module, Master's Thesis, Kumoh National Institute of Technology, 2007.
- [8] Dong Sun, Shin, HALT and Reliability Estimation of Optical Splitter Module that used Flat type Fiber Array, Doctoral Dissertation, 2009.
- [9] Park, Hee Jun, An Experimental Study on Reliability assessment of Turnout Track Control unit by HALT, Master's Thesis, Seoul National University of Science and Technology, 2012
- [10] SoonMok Choi, "Accelerated Life Testing and Failure Mode Analysis for Ceramic Electronic Parts", Ceramist, Vol. 10, No. 5, pp. 108-116, 2007.
- [11] G.K. Hobbs, "Accelerated Reliability Engineering: HALT & HASS", Hobbs Engineering, 2005.
- [12] A. Bernard, "The Ten things You Should Know about HALT & HASS", IEEE, 2012.
- [13] A.S. Nowick, Yang Du, K.C. Liang, "Some factors that determine proton conductivity in nonstoichiometric complex perovskites", Solid State Ionics Vol. 125, pp. 303-311. 1999.
- [14] L. Mosely referred in "Challenges in Decoupling Capacitors", C. A. Randall, CDS spring report, p. 3. 2006.
- [15] YuShin Chang, DoYoung Kwak, YoungDon Shin, "Verification for the design margin of the power board using HALT", CICS 2017 Conference, pp. 243-244, 2017.

Authors



YuShin Chang received the B.S., M.S. and Ph.D. degrees in Intelligent Mechanical Engineering from Pusan National University, Korea, in 1996, 1998 and 2006, respectively. Dr. Chang joined the Power Control Team, Division of Research and

Development, Hanwha Systems, Yongin, Korea in 2006. He is currently a Principal Engineer in the Hanwha Systems. He is interested in Power and Servo Control Systems, Vehicle-Mounted Mine Detection Systems (VMMD), Hand-Held Mine Detectors (HHMD), Robot-Mounted Mine Detecting Systems (RMMD), Penetrating Radar System and Surveillance Systems.