한국정보전자통신기술학회논문지(jkiiect)'18-06, Vol.11 No.3
논문 18-11-03-283 http://dx.doi.org/10.17661/jkiiect.2018.11.3.283

# 샘플-홀드 커패시터와 전압제어발진기 신호에 동작하는 피드포워드 루프필터를 가진 단방향 전하펌프를 가진 위상고정루프

한대현*

# A PLL with an Unipolar Charge Pump and a Loop Filter consisting of Sample-Hold Capacitor and FVCO-sampled Feedforward Filter

Dae-Hyun Han*

**요 약** 샘플-홀드 커패시터와 전압제어발진기 신호에 동작하는 피드포워드 루프필터를 가진 단방향 전하펌프를 가진 위상고정루프를 제안하였다. 제안된 위상고정루프는 기존의 2차 RC 필터에 비해서 저항 대신에 스위치와 작은 작은 크기의 커패시터를 사용하여 칩 크기를 줄일 수 있을 뿐만 아니라 전압제어발진기의 위상잡음에 영향을 미치는 △VLPF의 변화량과, 기준신호 의사잡음에 영향을 미치는 △△VLPF의 변화량을 각각 1/5과 1/6로 줄였다. 제안된 위상고정루프는 1.8V 0.18$\mu$m CMOS 공정을 이용하여 시뮬레이션을 통해 위상잡음 특성이 개선된 동작을 확인하였다. 향후 시뮬레이션을 바탕으로 칩을 제작하여 성능을 검정할 계획이다.

**Abstract** A PLL with an unipolar charge pump and a loop filter consisting of sample-hold capacitor and Fvco-sampled feedforward loop filter. The proposed PLL not only reduces the chip area by replacing the resistance to a switch and a small capacitor but also reduces the variation of △VLPF and △△VLPF to 1/6 and 1/5 respectively. The variation of △VLPF is related to the phase noise of VCO output and that of △△VLPF is proportional to reference spurs. It has been simulated and verified with a 1.8V 0.18$\mu$m CMOS process and shown a good phase noise characteristics. We plan to fabricate chip based on the simulations and check performance.

**Key Words** : Phase noise, Phase-Locked Loop (PLL), Reference Spurs, Sample-Hold Capacitor, Unipolar Charge Pump

## 1. 서 론

최근 발전하고 있는 무선통신 분야에서 위상고정루프는 주파수 합성기로써 널리 사용되고 있다. 통신시스템의 가용주파수 대역이 높아짐에 따라 원하는 주파수대역에서 빠른 위상고정 시간과 낮은 위상잡음 특성 그리고 낮은 기준신호 의사잡음(reference spurs)을 가진 위상고정루프를 필요로 한다. 그리고 신호원의 잡음 특성이 회로의 성능에 직접적인 영향을 미치므로 좋은 잡음 특성을 갖는 신호원을 설계하는 것이 중요하다.

이런 특성에 대한 해결책으로써 적응형 구조를 많이 사용하고 있다[1]. 이 구조는 Out-of-lock 상태에서는 광대역을 사용하고 루프가 고정되어 가면서 협대역으로 전환되는 방식으로 전하펌프 전류비를 증가시키거나 루프필터의 시정수를 감소시킴으로써 대역폭 문제를 개선하고 있다. 하지만 [1]의 루프대역폭은 여전히 안정성을 위해 기준주파

*Department of Electronic Dongeui University
**Corresponding Author : Department of Electronic Engineering, Dongeui University (dhan@deu.ac.krr)
Received May 08, 2018 Revised May 14, 2018 Accepted June 11, 2018

수에 의해 제한 받는다. 또한 기준신호 의사잡음에 영향을 미치는 전하펌프의 전류 부정합을 해결하기 위한 연구도 발표되었다[2]. [2]의 경우 채널 길이 변조 상수의 차이에 의해 루프필터 전압에 따른 전하펌프 전류의 변화와 MOS 개수가 늘어나면서 소자간 부정합 문제가 야기될 수 있다. 그리고 낮은 이득의 전압제어 발진기[3-4], 듀얼 슬로프 위상고정루프[5-6]를 사용해 위상잡음 특성을 향상하는 방법도 사용되고 있다. [5-6]는 두 개의 루프를 사용하였고, 때문에 회로의 복잡성이 증가하고 위상고정 시간이 느려지는 문제점이 있다. [5-6]의 회로들은 1개 혹은 2개의 위상 주파수 검출기와 전하펌프를 추가적으로 필요하기 때문에 회로의 면적과 소모되는 전력이 커진다는 단점이 있다.

본 논문에서는 기준신호 의사잡음을 줄이기 위해 샘플-홀드 커패시터와 전압제어 발진기 출력 신호에 제어되는 피드포워드 루프필터를 가진 단방향 전하펌프 위상고정루프를 제안하였다. 제안한 위상고정루프는 1.8V 0.18㎛ CMOS 공정을 이용하여 시뮬레이션을 통해 동작을 확인하였다.

## 2. 위상고정루프

### 2.1 기존 루프필터

위상고정루프에서 루프필터 전압은 현재의 위상/주파수 오차에 따라 전압제어발진기의 출력 주파수를 제어하는 역할을 한다. 따라서 루프필터 전압 변화를 관찰함으로써 위상고정루프의 특성을 알 수 있다. 위상고정루프의 특성을 보여주는 루프필터 전압의 변화는 △VLPF, △△VLPF, △△VLPF로 세 가지로 구분할 수 있다. △VLPF는 위상고정루프의 위상이 고정된 이후에 발생하는 루프필터 전압의 크기 변화량이며 △VLPF의 크기는 위상고정루프의 안정성과 위상잡음의 특성과 직접적인 관련이 있다. △△VLPF는 기준신호와 전압제어발진기 출력의 위상차에 해당하는 UP 또는 DN 신호에 의한 기준신호 한주기 동안 발생하는 루프필터 전압의 변화량이며, 현재 발생한 위상오차의 크기를 나타낸다. △△VLPF는 기준신호 주기마다 발생하며 결과적으로 기준신호 의사잡음의 크기를 결정한다. △△△VLPF는 UP 또는 DN 신호에 의해 루프필터로 유입된 전류로 인한 루프필터 커패시터의 최종 전압을 의미한다.

다음의 식들은 △VLPF와 △△VLPF와 위상잡음 특성과 기준신호 의사잡음 특성을 보여준다[7].

$$P_{spur} \propto 20\log(\triangle\triangle V_{LPF}) \quad (1)$$

$$F_{VCO}(t) = A\cos\left(w_{FR}t + K_{VCO}\int_{-\infty}^{t} V_{LPF}\,dt\right) \quad (2)$$

의사잡음에 대한 식 (1)에 나타난 바와 같이 의사잡음의 크기는 △△VLPF의 크기에 비례한다. 따라서 기준신호 의사잡음 크기를 줄이기 위해서는 △△VLPF 크기를 줄여야 한다. 또한 식 (2)에서 보듯이 피적분함수에 포함된 루프필터 전압($V_{LPF}$)의 변화량(△VLPF)이 작으면 VCO 출력주파수 FVCO의 변화량이 작아진다. VCO 출력주파수 FVCO의 변화량이 작으면 위상잡음 줄어들기 때문에 좋은 위상잡음 특성을 얻기 위해서는 △VLPF의 크기도 줄여야 한다.

기준신호의 주기마다 발생하는 전압변화는 루프가 고정된 이후에도 전하펌프의 전류 미스매치와 UP, DN 신호의 타이밍 에러 등에 의해서 발생하게 된다. 루프필터의 전압변화를 최대한 줄여 전압제어발진기 출력의 불필요한 주파수 성분을 억제하기 위한 여러 가지 루프필터 구조들이 연구되어 왔다.

일반적으로 위상고정루프에서 사용하는 그림 1의 2차 RC 루프필터는 위상주파수검출기(PFD)에서 UP/DN 신호

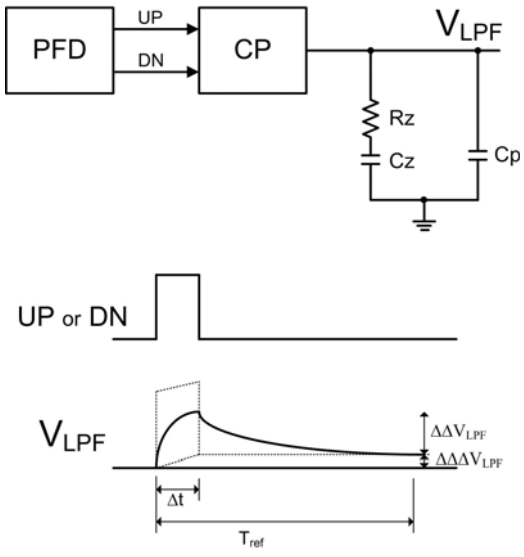



그림 1. 2차 RC 루프필터
Fig. 1. 2nd RC Loop Filter

가 발생하면 전하펌프(CP)에서 전류가 루프필터로 흘러간다. 이 전류가 Cp를 먼저 충전 시켜 루프필터 전압VLPF을 상승(하강)시킨다. UP/DN 신호가 종료되면 Cp에 충전되어 있던 전하가 Rz, Cz 쪽으로 흘러가면서 다시 VLPF가 하강(상승) 하는 동작을 하게 된다. 이 2차 RC 루프필터의 동작은 위상고정루프 기준신호 주기에 따라 동작을 반복하게 되어 기준신호 의사잡음이 발생하게 된다.

다른 형태의 루프필터 구조가 그림 2에 나타나 있다. 2차 RC루프필터의 저항을 스위치로 대체하여 칩의 면적을 줄였지만, 루프필터 전압이 반주기동안 유지됨으로 많은 위상변화를 일으켜 의사잡음의 크기를 줄일 수는 없었다. 따라서 위상고정루프의 성능향상은 기대할 수 없다[8].

본 논문에서 기준신호 의사잡음에 영향을 미치는 △VLPF, △△VLPF를 줄이기 위해서 루프필터 전압 VLPF가 기준신호의 반주기 보다 훨씬 짧은 VCO 출력신호의 반주기 동안만 유지되도록 하여 훨씬 짧은 시간동안 만 유지되는 회로를 그림 3과 같이 제안하였다.

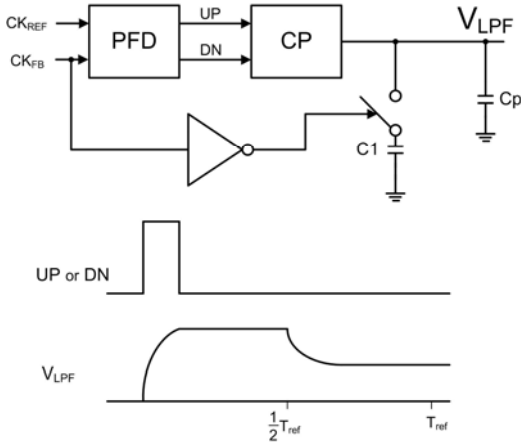



그림 2. Half-duty 샘플된 피드포워드 루프필터.
Fig. 2. Half-duty sampled-feedforward loop filter

## 2.2 기존 위상검출기-전하펌프의 비선형성

기존 PFD와 2차 RC 루프를 이용한 위상고정루프는 위상고정 이후 정상상태일 때 PFD-CP의 비이상적인 특성(데드존, 기울기 불일치)로 인하여 비선형 영점 교차 영역에서 동작한다. 게다가 데드존을 해결한 PFD와 개선된 분주기를 사용할 지라도 증폭 값 불일치 문제는 다양한 보정

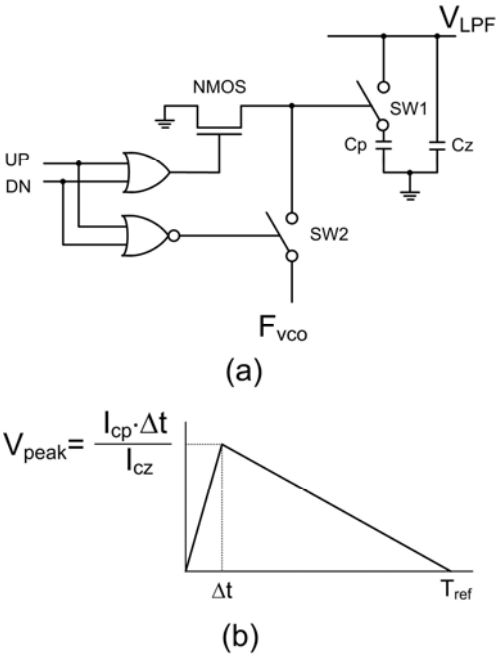



그림 3. (a) 제안한 커패시터와 스위치가 포함된 루프필터의 구조 (b) 루프필터 전압 출력파형.
Fig. 3. (a) Proposed loop filter with a switch and capacitors (b) Loop filter voltage waveform

기술을 필요로 한다. 또한 전하펌프 전류 소스의 한정되고 불균일한 출력 임피던스와 2차 위상고정 루프를 기반으로 하는 PFD-CP가 가지는 전하 전송 대비 위상 오류 특성의 고유 비대칭성이 비선형성을 만들어낸다. 비선형성은 대역내 잡음 의 크기가 증가하여 고주파 잡음의 상호변조 및 에일리어싱을 야기한다. 전하펌프의 UP(DN) 경로만을 단독으로 동작하게 하고, 비선형 영역에서 떨어져있는 수정된 위상 오프셋에서 루프를 고정함으로써 기존 PFD-CP 의 비선형성을 개선할 수 있다.

위상고정루프에서 루프필터 전압은 현재의 위상/주파수 오차에 따라 전압제어발진기의 출력 주파수를 제어하는 역할을 한다. 따라서 루프필터 전압 변화를 관찰함으로써 위상고정루프의 특성을 알 수 있다.

## 2.3 제안한 PLL의 전체 구조

제안한 PLL 회로는 그림 4와 같이 기존 2차 RC루프필터에 저항을 제거하고, 스위치와 커패시터를 추가하였으며 루프필터와 커패시터 사이에 스위치 SW1을 두어 UP/DN

신호에 의한 전하를 전달하도록 하였으며 전하펌프(CP)의 하단을 스위치로 사용한 구조이다. 스위치 $\overline{SW1}$는 스위치 SW1과 반대로 동작하며 저항 역할을 한다.

그림 5는 PFD의 UP/DN 신호에 의한 스위치들을 제어하는 신호의 타이밍을 보여주고 있다. UP/DN 신호가 발생하게 되면 OR 게이트의 출력이 "High"가 되어 NMOS가 "On" 이 되므로

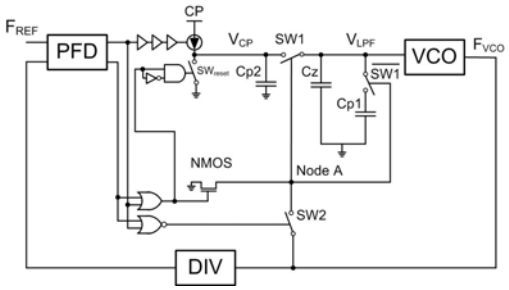



그림 4. 제안한 PLL 구조
Fig. 4. Proposed PLL Circuit

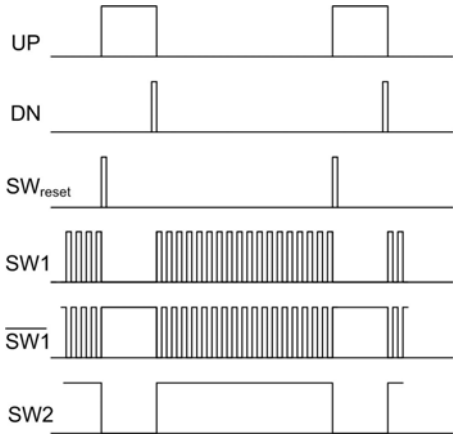



그림 5. 위상고정 후 스위치 동작 타이밍
Fig. 5. Timing of switches after locking

"노드 A"가 접지되어 스위치 SW1이 "Off" 되며, NOR 게이트는 "Low"가 되어 스위치 SW2가 "Off" 된다. 즉 UP/DN 신호가 발생되는 순간 스위치 SW1, 스위치 SW2가 "Off" 되어 전하펌프에서 나오는 전류는 Cp2을 충전 시키게 된다. UP/DN 신호가 꺼진 후에는 스위치 SW2가 "On" 되어 스위치 SW1과 스위치 $\overline{SW1}$은 전압제어발진기의 신호에 따라서 "On" 과 "Off"가 반복된다.

그림 6은 전압제어발진기 신호에 의한 스위치 동작을 고려하여 UP/DN 신호에 의한 스위치들 을 제어하는 신호의 타이밍과 루프필터 전압 VLPF 를 보여준다. SWreset 신호는 UP 신호가 발생한 후 아주 짧은 시간동안만 "On" 되며 Cp2가 초기화된다. UP/DN 신호가 발생하게 되면 스위치 SW1 과 SW2가 "Off" 되어 VCO 출력이 UP/DN 신호가 발생하는 시점에는 루프필터로 인가되지 못하게 되며 전하펌프로부터 루프필터에 전하가 공급되지 않으므로 루프필터 전압 VLPF은 변화 없이 일정하게 된다. UP/DN 신호가 꺼진 후에는 스위치 SW2 가 "On" 되어 스위치 SW1과 스위치 $\overline{SW1}$은 전압제어발진기의 신호에 따라서 "On" 과 "Off"가 반복되면서 루프필터의 전압이 천천히 변한다.

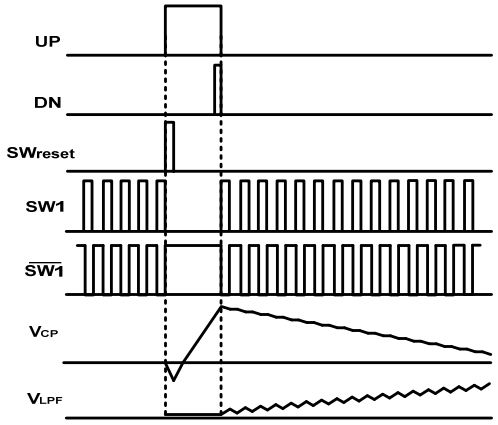



그림 6. 스위치 동작과 전압변화
Fig. 6. Waveform of SW and VCP, VLPF

### 2.4 단방향 전하펌프

그림 7의 단방향 전하펌프는 주파수검출기에서 나온 UP/DN 신호에 따라 전류의 흐름을 제어하는 역할을 한다. 본 논문에서 사용된 전하펌프는 그림 7에 나타난 바와 같이, 캐스코드(cascode) 구조를 사용하였다. 전하펌프의 MN2 트랜지스터를 SWreset 신호로 제어하며 동작하도록 하여, MP2와 MN2의 크기에 따라 단방향 전하펌프의 충·방전 전류비를 제어한다. 이러한 구조는 UP 신호의 발생 시간을 조절하게 된다.

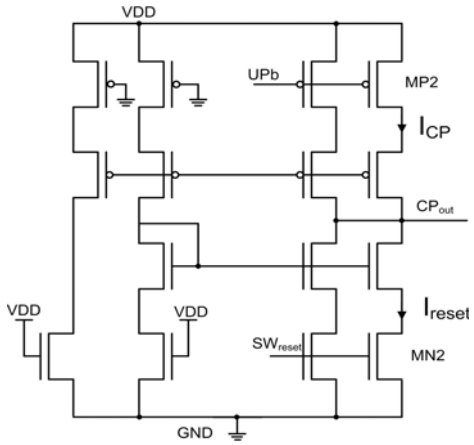



그림 7. 전하펌프(CP) 구조
Fig. 7. Proposed Charge Pump

## 3. 시뮬레이션 결과

제안된 구조와의 비교를 위해 양방향 전하펌프와 2차 루프필터를 가진 기존 구조의 위상고정루프를 시뮬레이션 하였다. 15.625MHz의 기준주파수를 가지고 출력 주파수는 1GHz이며, 분주비는 64이다. 이 회로의 변수 값은 Icp=200$\mu$A, Cp=100pF, Rz=1.5K$\Omega$, Cz=1nF, KVCO=330MHz/V이며, 0.18$\mu$m CMOS 공정으로 HSPICE로 시뮬레이션 하였다. 그림 8에 기존 2차 루프필터를 가진 위상고정루프의 시뮬레이션 결과를 보였다. 그림 8 (a)는 18 $\mu$s에서 위상이 고정되는 것을 보여주고 있으며, 그림 8 (b)는 위상고정 이후 발생하는 루프 필터 전압 크기 변화량 △VLPF는 1.2mV의 값을 가지며, 그림 8 (c)는 기준신호 주기마다 발생하는 △△VLPF의 크기가 190$\mu$V 임을 인 것을 보여주고 있다.

제안한 위상고정루프도 기존 구조와 같은 15.625MHz의 기준주파수, 1GHz의 출력 주파수, 330MHz/V의 KVCO, 64의 분주비 값을 가지고 있다. 제안한 구조는 전하펌프와 루프 필터 구조가 달라 Icp=200$\mu$A, Ireset=1mA의 전하펌프 전류 값을 가지며 루프필터는 Cp1=400pF, Cp2=50pF, Cz=50pF, 값을 가지고 있다. 거의 유사한 값을 가지는 제안된 구조를 앞의 경우와 같이 0.18$\mu$m CMOS 공정으로 HSPICE로 시뮬레이션 하였다.

그림 9와 10은 제안한 위상고정루프를 Icp/Ireset의 값이 5과 50일 때의 시뮬레이션 결과이다. 그림 9 (c)와 그림

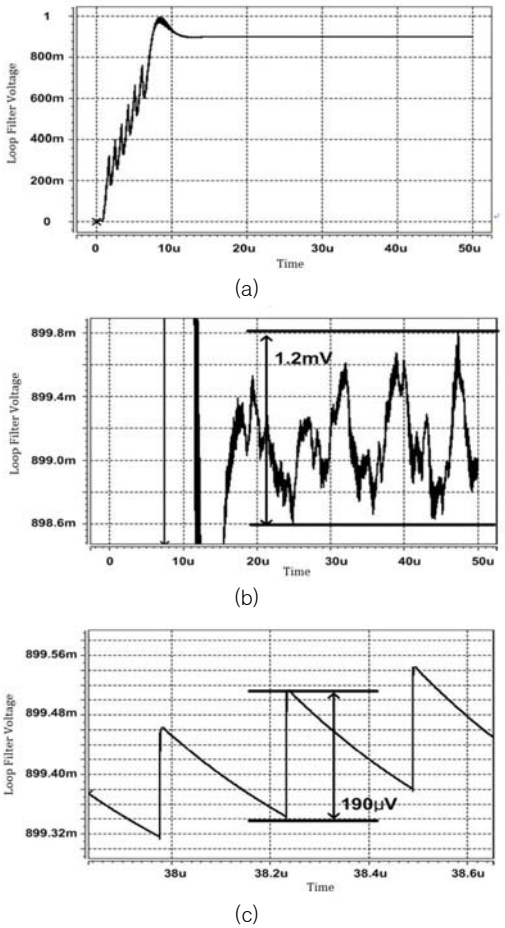
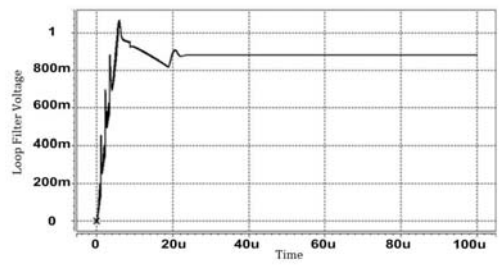


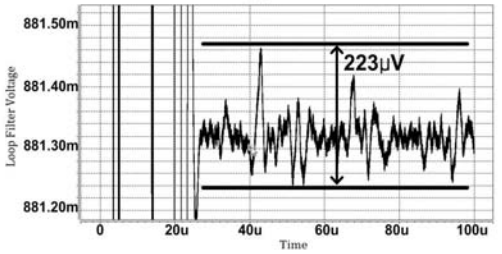

그림 8. 기존 2차-RC 루프필터 PLL (a) 루프필터 전압변화 (b) 위상고정 후 확대된 루프필터 전압변화(△VLPF) (c)위상고정 후 확대된 루프필터 전압변화(△△VLPF).
Fig. 8. Conventional PLL with 2nd RC LF Filter (a) VLPF (b) Enlarged VLPF after locking(△VLPF) (c) Enlarged VLPF after locking(△△VLPF).

10 (c)에서 UP 신호가 발생하는 구간 동안은 전하펌프에서 루프필터로 전하가 공급되지 않고, Cp1에서 스위치 $\overline{SW1}$를 통하여 Cz로 전류가 흘러 루프 출력 전압은 감소한다. 루프필터에 사용한 스위치 $\overline{SW1}$는 전압제어발진기 출력 신호에 의해 동작하는 것을 확인할 수 있다.

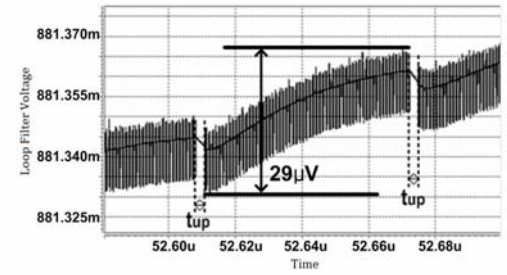
그림 9는 Icp/Ireset의 값이 5일 때의 시뮬레이션 결과이다. 그림 9 (a)가 보여주듯이 기존 위상고정루프와 비슷한 27$\mu$s에서 위상이 고정된다. 그림 9 (b)와 (c)는 △VLPF




(a)



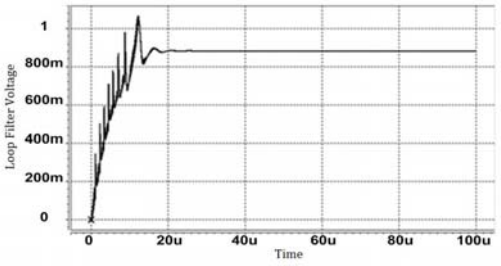

(b)



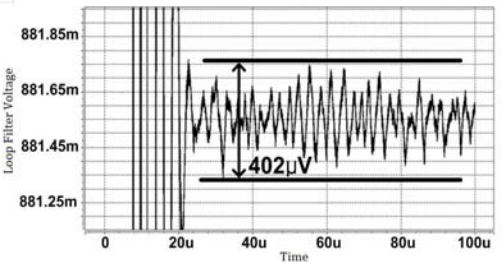

(c)

그림 9. Icp/Ireset 의 값이 5일 때 (a) 위상고정 후 VLPF 파형 (b) 위상고정 후 확대된 루프필터 전압변화(△VLPF) (c) 위상고정 후 확대된 루프필터 전압변화(△△VLPF)

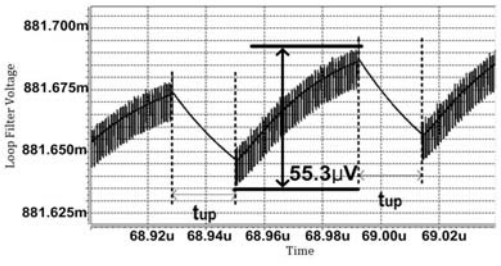
Fig. 9. Icp/Ireset = 5 (a) VLPF (b) Enlarged VLPF after locking(△VLPF) (c) Enlarged VLPF after locking(△△VLPF)




(a)




(b)




(c)

그림 10. Icp/Ireset 의 값이 50일 때 (a) 위상고정 후 VLPF 파형 (b) 위상고정 후 확대된 루프필터 전압변화(△VLPF) (c) 위상고정 후 확대된 루프필터 전압변화(△△VLPF)

Fig. 10. Icp/Ireset = 50 (a) VLPF (b) Enlarged VLPF after locking(△VLPF) (c) Enlarged VLPF after locking(△△VLPF)

와 △△VLPF 는 각각 223$\mu$V, 29$\mu$V로 기존 구조보다 크기가 많이 감소 한 것을 보여준다.

그림 10은 Icp/Ireset의 값이 50일 때의 시뮬레이션 결과이다. 그림 10 (a)가 보여주듯이 25$\mu$s에서 위상이 고정된다. 그림 10 (b)와 ©에서 나타난 바와 같이 △VLPF와 △△VLPF는 각각 402$\mu$V, 55.3$\mu$V이다.

Icp/Ireset 의 값이 5일 때, 시뮬레이션 결과 는 제안한 구조의 △△VLPF와 △VLPF 크기가 기존 구조에 비해서 각 각 1/5과 1/6의 크기로 감소하였으며, Icp/Ireset 의 값이 50일 때는 VLPF와 △VLPF 크기는 둘 다 기존 구조의 1/3의 크기로 감소하였다.

Icp/Ireset의 값이 5일 때와 50일 때 기준신호 의사잡음과 위상잡음의 특성이 많이 좋아 졌다는 것을 알 수 있으며 위상고정 시간은 약 50% 정도 증가 하였다.

샘플-홀드 커패시터와 VCO 신호에 동작하는 피드포워드 루프필터를 가진 단방향 전하펌프 위상고정루프는 Icp/Ireset의 값이 작을 때는 기존구조에 비해 잡음 특성을 크게 향상 시킬 수 있다. 그리고 기존 구조에 간단한 스

위치 제어 회로가 추가되므로 칩의 크기와 전력 소모의 거의 증가 하지 않는다. 전압제어발진기 출력 신호로 제어되는 스위칭에 의해 반송파 주파수에서 전압제어발진기 출력 신호 주파수만큼 떨어진 주파수에서 의사 잡음이 발생한다. 이 의사잡음은 시스템이 사용하는 반송파에서 멀리 떨어져 있기 때문에 필터에 의해서 쉽게 제거가 되기 때문에 우리가 원하는 대역폭에 안에 있는 다른 채널 신호에는 영향을 미치지 않는다.

## 4. 결 론

본 논문에서는 샘플-홀드 커패시터와 전압제어발진기 신호에 동작하는 피드포워드 루프필터를 가진 단방향 전하펌프를 가진 위상고정루프를 제안하였다. 제안된 구조는 기존의 RC 2차 루프필터구조에 비해서 칩의 면적을 줄일 수 있을 뿐만 아니라 전압제어발진기의 위상잡음에 영향을 미치는 △VLPF의 변화량과, 기준신호 의사잡음에 영향을 미치는 △△VLPF의 변화량을 각각 1/5과 1/6로 줄여 위상잡음을 특성과 기준신호 의사잡음 특성을 개선할 수 있다. 향후 지터에 대한 시뮬레이션을 추가한 후 칩을 제작하여 위상잡음 및 기준신호 의사잡음의 성능을 확인할 계획이다.

## REFERENCES


[1] S. Sidiropoulos, D. Liu, J. Kim, G. Wei and M. Horowitz, “Adaptive bandwidth DLLs and PLLs using regulated supply CMOS buffers,” Symposium on VLSI Circuits Digest of Technical Papers, pp. 124-127, 2000.

[2] M.S. Hwang, J. Kim and D.K. Jeong, "Reduction of pump current mismatch in charge-pump PLL," IEE Electronics Lett., vol. 45, no. 3, pp. 135-136, Jan. 2009.

[3] Chun-Yi Kuo, Jung-Yu Chang and Shen-Iuan Liu, “A Spur-Reduction Technique for a 5-GHz Frequency Synthesizer,” IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 53, no. 3, 526-533, March. 2006.

[4] Wu-Hsin Chen, Wing-Fai Loke, and Byunghoo Jung, “A 0.5-V, 440-$\mu$W Frequency Synthesizer for Implantable Medical Devices," IEEE Journal of Solid-State Circuits, vol. 47, no. 8, pp. 1896-1907, Aug. 2012.

[5] Ching-Yuan Yang, Shen-Iuan Liu, “Fast-switching frequency synthesizer with a discriminator-aided phase detector,” IEEE Journal of Solid-State Circuits, vol. 35, no. 10, pp. 1445-1452, Oct. 2000.

[6] Kuo-Hsing Cheng, Wei-Bin Yang Cheng-Ming Ying, “A dual-slope phase frequency detector and charge pump architecture to achieve fast locking of phase-locked loop,” IEEE Transactions on Circuits and Systems II, vol. 50, no. 11, pp. 892- 896, Nov. 2003.

[7] H.C. Luong and G. C. T. Leung, Low-Voltage CMOS RF Frequency Synthesizer, 1st ed, Cambridge, 2004

[8] Jaeha Kim, Jeong-Kyoum Kim, Bong-Joon Lee, Namhoon Kim, Deog-Kyoon Jeong and Wonchan Kim, "A 20-GHz Phase-Locked Loop for 40-Gb/s Serializing Transmitter in 0.13-um CMOS," IEEE Journal of Solid-State Circuits, vol.41, no.4, Apr. 2006.


### 저자약력


**한 대 현(Dae Hyun Han)** **[종신회원]**

- 1986년 8월 경북대학교 전자공학과(공학사)
- 1990년 2월 포항공대 전자전기공학과(공학석사)
- 1996년 8월 포항공대 전자전기공학과(공학박사)
- 1999년 3월 ~ 현재 동의대학교 전자공학과 교수

<관심분야> 무선통신 소자 및 시스템