Journal of The Korea Society of Computer and Information
Vol. 23 No. 8, pp. 1-7, August 2018
www.ksci.re.kr
https://doi.org/10.9708/jksci.2018.23.08.001

Circuit card inspection method through digital circuit design based AITS

Ji-Hoon Han*

Abstract

Previous test equipment was bulky, took a long time to check, and was somewhat less economical. Since most of the checks were about analog signals, we preferred to check them using reference equipments.

In this paper, a digital circuit design based on AITS is used to implement signals that can not utilize commercial measurement resources, and also designed and manufactured equipment that can inspect SRU. These test equipments were tested and evaluated by development, operation, and field evaluation, and they were installed to the Korean Field Force.

This contributed to the improvement of operability by shortening the inspection time from 83.2 minutes to 7.8 minutes on average In addition, it did not utilize the reference equipment, so it could play a big role in lowering the mass production cost.

▸Keyword: Digital Circuit, Automatic Integrated Test Station, UUT, VHDL, FPGA

I. Introduction

기존의 군 야전부대에서 사용하는 자동시험장비(Automatic Test Equipment, ATE)는 주로 모사기를 활용하여 시험대상품을 점검했다. 모사기란 장비의 정상 유무를 판단할 때 정상군에 대한 기준을 제시하며, 실제 시험대상품과의 연동성을 고려했을 때 모사기를 활용하는 시험방안은 신뢰도가 높다고 볼 수 있다.

하지만 모사기를 대응장비로 활용하는 점검방안은 다음과 같은 문제점이 고려된다. 첫째, 모사기를 별도로 구비해야 함으로 비용적인 문제가 발생할 수 있다. 둘째, 모사기는 항상 정상 동작 한다는 것을 가정한 상태이므로 모사기가 정상이 아닐 경우 정확한 시험이라 볼 수 없다. 따라서 모사기를 활용하는 경우 자체점검이 추가적으로 구성되어야 한다. 셋째 SRU(Shop Replaceable Unit)단위 시험일 경우 고장배제를 위해서는 다양한 경우의 조합이 필요하므로 점검시간이 오래 걸릴 수 있다. 예를 들면, 장비에 전원이 들어오지 않으면 전원보드, 주제어보드 및 내부 하네스 등등 하나씩 교체해가며 점검해야 된다. 결국, 모사기를 활용하는 점검방식은 추가적인 비용이 발생하거나 시간이 오래 걸릴 수 있으므로 비효율적인 측면이 존재한다.

따라서 본 논문에서는 자동통합시험장비(Automatic Integrated Test Station, AITS)에 대한 개론적인 설명과 함께 이를 기반으로 디지털 회로 설계를 통해 상용계측자원을 활용할 수 없는 신호를 구현하고 또한 SRU 단독점검을 가능케 하여 개발 비용 및 점검시간을 절감하는 효과를 검증하였다.

II. Preliminaries

1. AITS(Automatic Integrated Test Station)

군 야전에서 사용하는 자동시험장비는 신호공급용 계측자원을 이용하여 시험대상품에 필요한 신호를 생성 및 공급하고, 시험대상품에서 출력되는 신호를 신호측정용 계측자원에 연결하여 측정 후 시험결과를 판단한다.[1][2] 또한 시험장비는 시험대상품(Unit Under Test, UUT)을 진단하여 불량여부를 판단하므로 시험대상품의 다양한 기능을 테스트 할 수 있도록 개발되어야 한다. [3]

일반적으로 정비개념 및 정비계단을 설정하여 부대정비, 야전정비, 창정비로 구분하고, 각 단계에 맞는 시험장비를 개발하게 된다.[4] 본 논문에서는 야전급 데스크 형태의 자동통합시험장비에 관하여 다루었으며 자동시험장비는 데스크 형태뿐만 아

• First Author: Ji-Hoon Han, Corresponding Author: Ji-Hoon Han
*Ji-Hoon Han (jihoon1202.han@hanwha.com), ATE Team, Hanwha Systems company.
• Received: 2018. 04. 13, Revised: 2018. 06. 20, Accepted: 2018. 08. 10.

니라 랙, 휴대용 등 운용방식, 설치환경, 점검레벨에 따라 다양하게 적용될 수 있다. 또한 자동통합시험장비는 일반적으로 시험장비 본체, 시험용 케이블류, 인터페이스, 기타 악세사리 및 시험프로그램으로 구성되며 일반적인 형상은 그림 1과 같다.

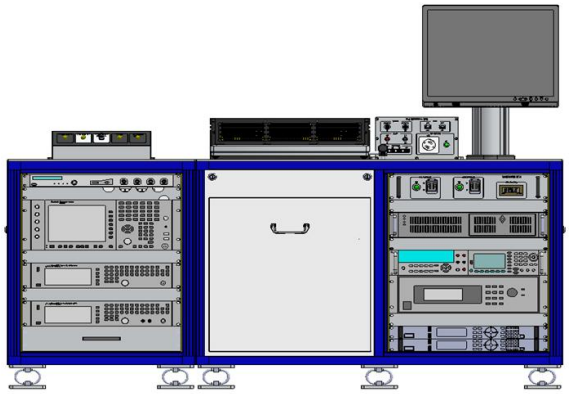

Fig. 1. Desk types of AITS

2. Function of AITS

그림 2의 블록 다이어그램과 같이 자동통합시험장비는 시험대상품에 필요한 자원을 공급해주고 필요한 정보를 주고받는 기능을 수행한다. 이와 같이 시험대상품의 특성 및 설치환경, 운용방식, 작전운용성능(Required Operational Capability, ROC)에 따라 다양한 자원이 필요하다. 또한 경우에 따라서 비표준 규격의 신호나 비용적 측면을 고려하여 아날로그 및 디지털 보드의 개발이 추가적으로 발생할 수 있다.

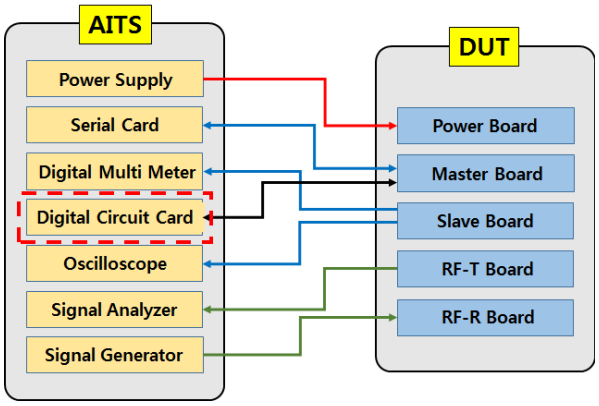

Fig. 2. Block Diagram of AITS

3. Components of AITS

자동통합시험장비는 그림 3과 같이 구성되며, 크게 자동시험장비와 시험프로그램 집합(Test Program Set, TPS)으로 나누어진다.

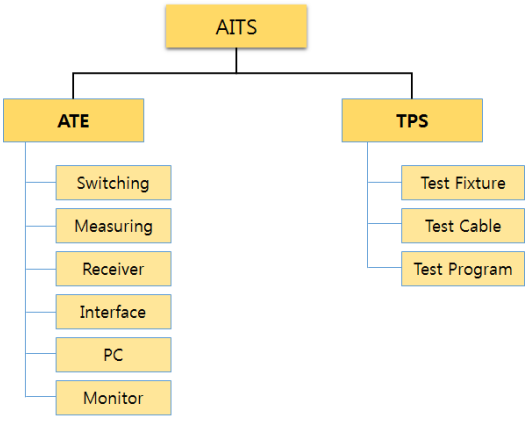

Fig. 3. Components of AITS

스위칭 장치는 모체기판(MB)를 기준으로 스위칭제어보드(Switching Control Board, SCB), 채널스위칭보드(Channel Switching Board, CSB), 디지털인터페이스보드(Digital Interface Board, DIB), 추가형인터페이스보드(Optional Interface Board, OIB), 전원변환모듈(AC/DC), 송풍팬(FAN)으로 구성된다. 각 구성품들은 아날로그 신호 스위칭 기능, 디지털 신호 인터페이스 기능, Gnd Relay, Termination, Pull-up 기능 등이 있다. 스위칭장치의 성능에 영향을 주는 구성품은 SCB, CSB, DIB, OIB 이다. 각 보드는 회로카드 조립체 형태로 스위칭장치의 지정된 슬롯에 장착되어 요구되는 경로를 제공하고 필요로 하는 디지털 신호를 생성하며 형상은 그림 4과 같다.[5]

Fig. 4. Switching equipment

계측기는 시험대상품에 필요한 신호를 인가하고 시험대상품으로부터 출력되는 신호를 측정하는 기능 및 시험대상품과의 통신을 수행한다. 구성품으로는 전원공급기, 디지털멀티미터, 임의파형발생기, 오실로스코프, RF 신호발생기, 스펙트럼 분석기, 직렬통신카드, 1553B 통신카드 CAN 통신카드 등이 있다.

리시버는 스위칭 장치의 신호연결 및 인터페이스를 별도로 거치지 않는 신호에 대하여 테스트 장치와 연결하는 기능을 제공하며, 인터페이스는 손실에 대해 민감한 RF 신호 및 통신 신호에 대하여 테스트 장치를 거치지 않고 바로 연결한는 기능을 제공한다. 기술의 발전에 따라 시험대상품은 다양한 인터페이스를 활용하며, 시험장비의 개발도 이에 상응하는 다양한 인터

페이스가 요구된다.[6]

제어컴퓨터는 각종 계측기 및 구성품을 제어하고 시험프로그램을 운용하며, 모니터는 제어컴퓨터의 동작 화면을 출력하는 기능을 제공하며 테스트 장치는 시험대상품목과 시험장비간의 H/W 인터페이스를 담당하며 형상은 그림 5와 같다.

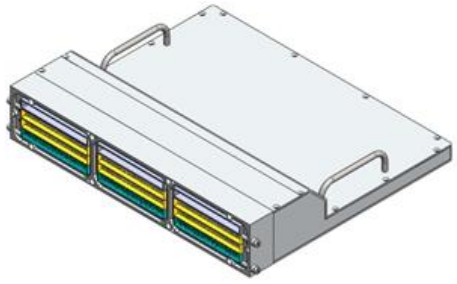

Fig. 5. Test Fixture

시험 케이블은 시험대상품목과 테스트 장치와의 H/W 인터페이스를 담당하고 시험프로그램은 시험대상품의 점검할 수 있도록 SW적으로 제어컴퓨터와 연동해주는 역할을 하며, 시험에 필요한 각종 연결도, 구성도 및 유의사항을 안내해주고 시험결과 값을 저장하는 등 운용자가 손쉽게 시험대상품을 점검할 수 있도록 각종 기능들을 제공한다. 형상은 그림 6과 같다.

Fig. 6. Test Program

III. Digital circuit design

본 장에서는 디지털 회로 설계의 밑바탕이 되는 디지털 인터페이스보드의 소개와 FPGA를 활용한 디지털 신호 처리 시스템을 설계하고 그 결과에 대해서 기술한다.

1. Introducing Digital Interface board

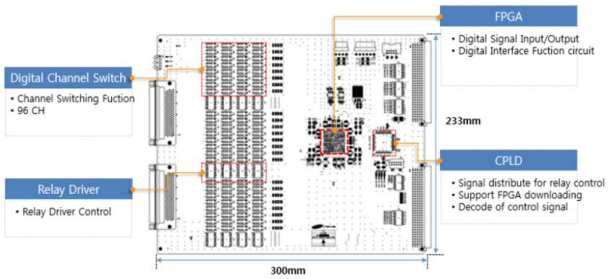

Fig. 7. Digital Interface Board

디지털인터페이스 보드는 그림 7과 같이 FPGA, CPLD, Relay Driver 및 스위치로 구성되어 있으며 시험대상품과 연동되는 디지털 신호를 생성한다. 또한 시험대상품으로부터 나오는 디지털 신호를 측정하는 기능도 가지고 있다. 디지털인터페이스 보드에 내장된 ALTERA사의 FPGA(Cyclone III : EP3C40F484I7)를 활용하여 비 표준규격 신호, 프로세스 간 통신(Inter-Process Communication, IPC)에 대해 모사기 없이 단독으로 점검이 가능하도록 디지털 회로를 구현했다.

2. Digital circuit design of IPC

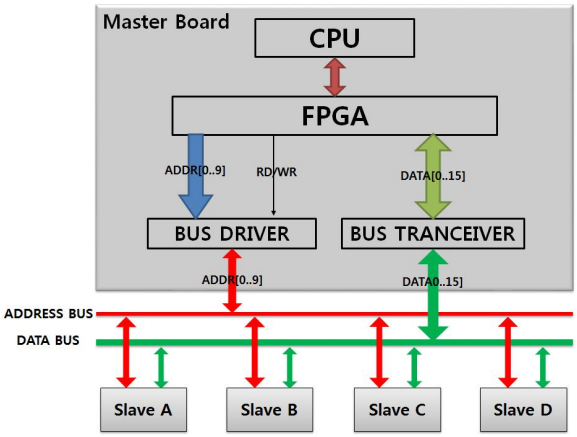

Fig. 8. Block diagram of IPC

프로세스 간 통신이란 프로세스들 사이에 서로 데이터를 주고받는 행위 또는 그에 대한 방법이나 경로를 뜻한다.[7] 최근 들어 방위산업에서의 전자장비는 독립성, 생산성 및 정비의 용이성 등을 위해 모듈화 설계가 보편화되고 있다. 또한 전자장비 내부의 신호는 갈수록 복잡한 신호를 빠르게 처리할 수 있도록 요구되어진다. 이에 따라 개발자들은 주소공간을 보호 하면서 동시에 프로세스 간 데이터를 안전하게 주고받을 수 있는 통신 기법을 선호하는 편이다. 본문에서 다루고자하는 프로세스 간 통신은 표 1과 같이 구성되어있다.

Table 1. Components of IPC

Signal	Factor	Bit length
Address	A9 ~A0	10 Bit
Data	D15 ~ D0	16 Bit
Chip Select(CS)	CS_Name	1 Bit
Read/Write	RD/WR	1 Bit

Master Board와 Slave Board간의 프로세스 간 통신을 할 수 있는 디지털 회로를 설계하기 위해서는 위의 표 1의 구성요소와 함께 Factor들의 타이밍이 매우 중요하다. 그림 9와 그림 10은 프로세스 간 통신 신호에 대한 읽기와 쓰기에 대한 타이밍이다.

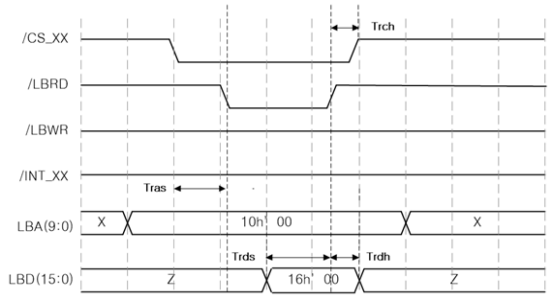

Fig. 9. Timing of Read

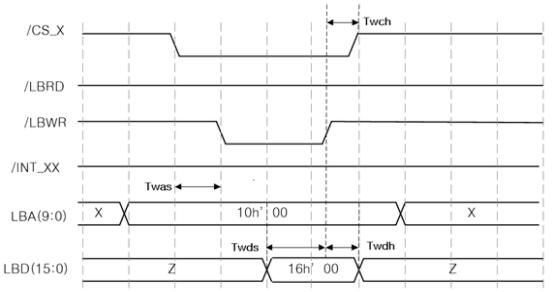

Fig. 10. Timing of Write

이를 바탕으로 ALTERA 사의 Quartus II 프로그램을 이용하여 각 Factor들이 연동할 수 있는 Symbol을 설계했다. 또한 추후 설계변경 및 수정이 용이 하도록 Slave 보드별로 그림 11 ~ 그림 14와 같이 모듈화 설계했다.

Fig. 11. Symbol of IPC_A

Fig. 12. Symbol of IPC_B

Fig. 13. Symbol of IPC_C

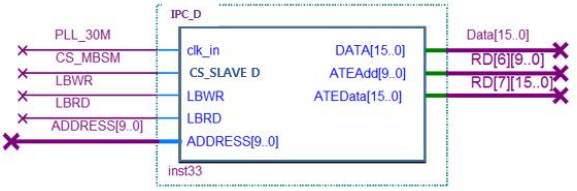

Fig. 14. Symbol of IPC_D

각 프로세스 간 통신 Symbol에 대한 코드는 VHDL(VHSIC Hardware Description Language)로 작성했다. VHDL은 하드웨어 기술 언어로, 전자회로나 시스템의 동작을 기술하며 이를 통해 물리적인 회로나 시스템을 구현할 수 있다. VHDL이 유용한 점은 어떤 회로나 시스템을 프로그램 가능 소자(PLD나 FPGA) 또는 ASIC에서 합성할 수 있다는 것이다.[8]

Symbol을 구현하기 위한 VHDL 코드는 비교적 간단하다. 우선 쓰기 시험에 대한 프로세스를 진행하고자 한다면, 시리얼 통신으로 Master 보드에 명령어 'W1'를 보낸다. 이후 Master 보드가 명령어를 수신하게 되면 Address 1번지에 Data 1을 쓰게 된다. 이때 FPGA에서는 Slave 보드의 쓰기 타이밍이 '0'으로 떨어졌다가 psitive edge가 될 때의 Address 및 Data 값을 읽어 들여 값이 올바르게 쓰여 졌는지 확인한다. 반대의 읽기 시험도 마찬가지다. 시리얼 통신으로 Master 보드에 미리 약속된 명령어 'R1'을 보낸다. 그리고 나서 FPGA에서는 Slave 보드의 읽기 타이밍이 '0'으로 떨어졌다가 positive edge가 될 때 정해진 Address에 약속된 Data 값을 쓰고 Master 보드는 값들이 읽어 들여 올바르게 쓰여 졌는지 확인한다.

추가적으로 Slave Board와의 프로세스 간 통신을 위해 Reference Clock이 인가되어야 하는데 이는 그림 18와 같이 디지털 인터페이스 보드의 Oscillator 출력을 FPGA의 PLL 기능과 Counter를 사용하여 설계했다.

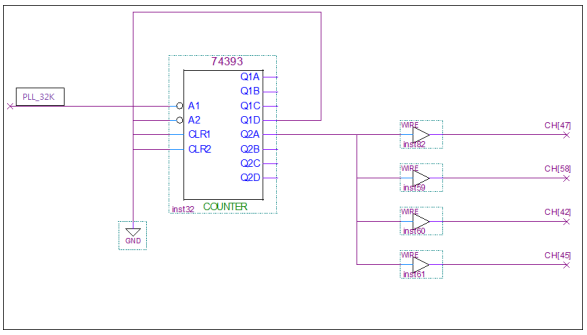

Fig. 15. Counter for Reference Clock

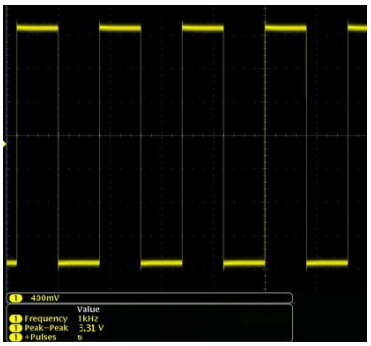

Fig. 16. Reference Clock From PLL & Counter

3. Implementation

앞서 언급한 자동통합시험장비를 기반으로 SRU 단독점검을 할 수 있는 전제조건은 보드의 정상부팅이다. 이 조건을 만족하기 위해 주제어보드의 전원 외에 Reference Clock을 추가적으로 설계해서 인가했다. 이렇듯 모사기를 이용하지 않고 보드를 단독으로 점검할 때는 보드가 정상적으로 부팅할 수 있도록 필요한 신호와 절차를 모두 모사해 줘야한다.

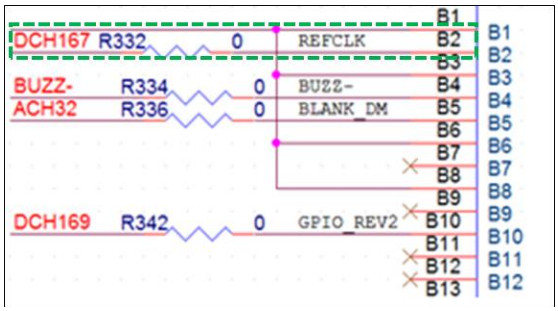

Fig. 17. Connection of SCB Ref.Clk

그림 17 및 그림 18과 같이 주제어보드의 Reference Clock을 디지털 인터페이스 보드에 연결하고, 전원 인가 전 해당 신호를 GND로 입력하여 정상적인 부팅이 가능하도록 설계했다.

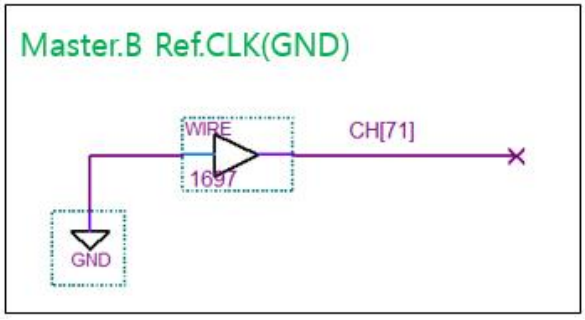

Fig. 18. Reference Clock of SCB

표1에서 언급한바와 같이 Address 10Bit와 Data 16Bit 및 Read/Write 신호를 효율적이면서도 모든 신호를 점검하기 위해서는 Address 및 Data 값을 표2와 같이 고정하였다.

Table 2. Address and Data Value

	Binary notation	Value
Addr 1/3	10 1010 1010	0x2AA
Addr 2/4	01 0101 0101	0x155
Data 1/3	1010 1010 1010 1010	0xAAAA
Data 2/4	0101 0101 0101 0101	0x5555

표 2의 Address와 Data 값을 참고하여 Slave 보드마다 Address 1/3에 Data 1/3을 읽고, Address 2/4에 Data 2/4를 쓰는 과정을 수행함으로써 Address, Data 및 Read/Write, Chip Select의 총 29Bit의 신호를 가장 효율적으로 수행할 수 있었다.

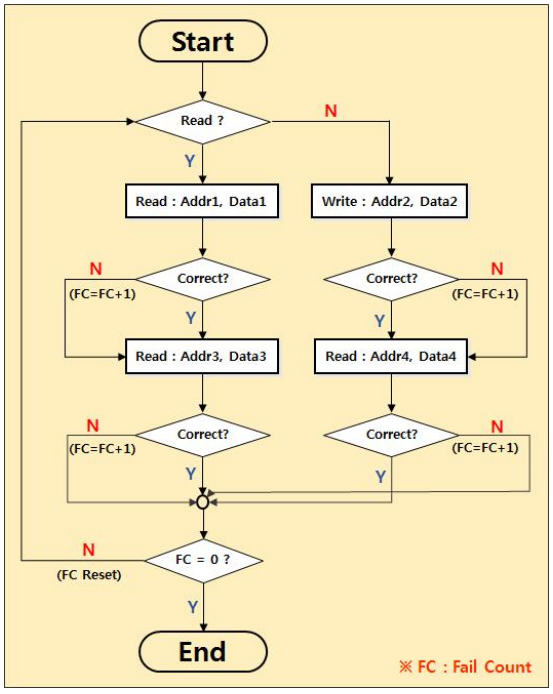

Fig. 19. Flow Chart of IPC

최종적인 프로세스 간 통신 점검을 그림 19의 순서도에 따라 구현하였고, 모든 점검을 통해 최종적으로 FC(Fail Count)가 '0'이면 Master Board는 정상임을 확인할 수 있었다. 이를 바탕으로 시험평가를 수행하였으며 결과는 그림 20의 구성품 시험 결과보고서 6번 항목을 참조한다.

구성품 시험 결과보고서

시험 정보			
장비운용부대	점검일자	작업자	점검결과
HSC	20180119 113903	admin	정상
시험대상품목	품번	일련번호	
전송제어반(MTCM)		TICN06	
작업자 의견			
품질검사			

[전송제어반(MTCM)] 시험 상세 결과

순번	시험 항목	최소	최대	단위	측정	결과
1	전원단 단락 점검					
1.1	3.3V 전원 입력단 점검	100.000	무한대	ohm	6.670K	정상
1.2	5V 전원 입력단 점검	100.000	무한대	ohm	7.324K	정상
2	전원 및 통신점검(SPI)					
2.1	전원 및 통신점검(SPI)	0x0	0x0	HEXA	0x0	정상
3	BIT 및 장착신호 점검					
3.1	BIT 및 장착신호 점검	0x0	0x0	HEXA	0x0	정상
4	이더넷 라인 점검					
4.1	E*T 이더넷 라인 점검	0x0	0x0	HEXA	0x0	정상
4.2	OW* 이더넷 라인 점검	0x0	0x0	HEXA	0x0	정상
4.3	D*G 이더넷 라인 점검	0x0	0x0	HEXA	0x0	정상
4.4	*RF 이더넷 라인 점검	0x0	0x0	HEXA	0x0	정상
5	동기신호 점검					
5.1	동기신호 점검	0x0	0x0	HEXA	0x0	정상
6	로컬버스 연동부 점검					
6.1	로컬버스 점검(IPC - 쓰기)	0x0	0x0	HEXA	0x0	정상
6.2	로컬버스 점검(IPC - 읽기)	0x0	0x0	HEXA	0x0	정상

Fig. 20. Report of Inspection

IV. Results analysis

본 장에서는 자동통합시험장비 기반의 프로세스 간 통신을 위한 디지털 회로 설계가 운용성과 경제성에 있어 큰 효과가 있었다.

첫 번째로 점검시간 단축으로 인한 장비 운용성이 높아졌다. 그림 21은 해당 시험대상품의 LRU(Line Replaceable Unit) 및 SRU 점검시간을 나타낸 그림이다.

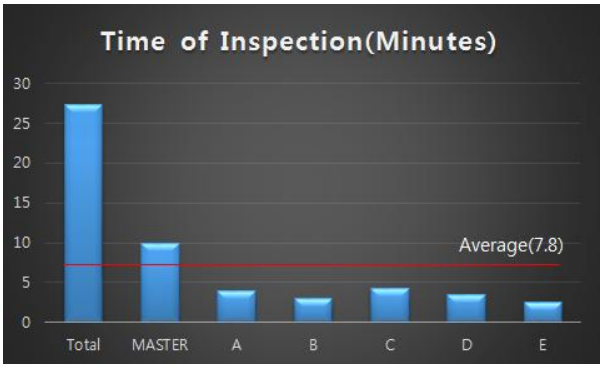

Fig. 21. Time of Inspection

Table 3. Statement of boards

No	M	A	B	C	D	E
1	0	0	0	0	0	0
2	0	0	0	0	0	1
3	0	0	0	0	1	0
4	0	0	0	1	0	0
5	0	0	1	0	0	0
..	–	–	–	–	–	–
29	1	1	1	0	1	1
30	1	1	1	1	0	1
31	1	1	1	1	1	0
32	1	1	1	1	1	1

표3은 각 보드별 상태에 따라 불량을 '1', 정상을 '0'으로 표현하였다. 해당 시험대상품 내부 하네스와 마더보드를 제외하고 26, 총 32가지의 경우의 상태를 가질 수 있으며 이때 일반적인 점검시간에 대한 수식은 다음과 같다.

$$General\ Inspection\ Time(m) = \frac{2^N \times Ave}{N}$$

(N : number of board, Ave : Average inspect time)

그림 21처럼 각 보드별 점검시간은 최저 3분에서 최고 10분까지 다양하게 나타나며 단독점검이 불가했더라면 General Inspection time 수식에 따라 MASTER 보드 및 SLAVE 보드 A에서 SLAVE 보드E까지 고장난 포인트를 찾기 위해 평균 83.2분의 시간이 소요되었을 것이다. 또한 단독 점검에 따른 시간 효율성은 다음 수식과 같고 약 90.6%의 시간 효율성을 달성할 수 있었다.

$$TimeEfficiency = \frac{GIT - Ave}{GIT} \times 100$$

(GIT : General Inspect Time, Ave : Average inspect time)

두 번째로 모사기를 활용하지 않아 개발비용이 절감 되었다. 해당 시험대상품의 양산 단가는 약 2천만원정도 이다. 물론 모사기를 구입하지 않았으나 단독점검을 위해 디지털 인터페이스 보드를 설계 및 제작하는 비용은 추가 되었다. 본 논문에서 소개되었던 자동통합시험장비는 총 17개의 시험대상품을 점검하는 장비로서 시험대상품 1개당 대략 2천만원으로 가정하여 모사기를 활용하여 장비를 점검했다면 대략 3억이 넘는 금액이 추가적으로 소요되었을 것이다. 하지만 96 채널을 다양하게 활용할 수 있는 디지털 인터페이스 보드를 구성함으로써 상당한 금액을 절감할 수 있었다. 추가적으로 단독점검을 수행함으로써 시험대상품 및 하부 보드에 대한 각각의 고유한 특성에 대한 고찰을 배제할 수 있었다.

V. Conclusions

기존의 시험장비는 덩치가 크고 점검시간이 오래 걸리며 경제성이 다소 떨어졌다. 점검내용의 대부분이 아날로그 신호에 대해서 다루었기 때문에 모사기를 이용하여 점검하는 방안을 선호하였다.

본 논문에서는 자동통합시험장비를 기반으로 디지털 회로 설계를 통해 상용계측자원을 활용할 수 없는 신호를 구현하고 또한 SRU 단독점검이 가능한 장비를 설계하고 제작하였다.

이렇게 제작된 시험장비는 개발평가와 운용평가 및 필드평가를 거쳐 성능을 입증하였으며, 대한민국 야전부대에 배치되었다. 이는 장비의 점검시간을 평균 83.2분에서 7.8분으로 단축하여 운용성을 높이는데 기여를 했고 추가적으로 모사기를 활용하지 않아 양산 단가를 낮추는데도 큰 역할을 할 수 있었다.

REFERENCES

[1] W. K. Kim, "Design and Implementation of the multi-function switching system for Automatic Test Equipment(ATE)," Journal of the Graduate School of Industry Kumoh National Institute of Technology, Dec. 2012.

[2] Y. H. Yoon, K. U. Ku, J. J. Keum, U. H. Hwang, and S. Woo, "The Study on Improvement of ATE Reliability in Production Phase," The Institute of Electronics Engineers of Korea - System and Control, Vol. 47, No. 6, pp. 19~26, 2010.

[3] K. J. Choi, "The Study on The Production Testing Equipment for the Improvement of System Test Reliability in FCS," Journal of the Institute of Electronics and Information Engineers, Vol. 53, No. 11, pp. 139~147, 2016.

[4] D. J. Kim, "Real-Time System Parallel Testing Techniques for Weapon System Error Verification," Journal of the Institute of Electronics and Information Engineers, Vol. 53, No. 11, pp. 139~147, 2016.

[5] D. I. Kim, K. J. Choi, "Design and Fabrication of Test Equipment for mass production of Automatic Test Equipment(ATE)," Journal of The Korea Society of Computer and Information, Vol. 22, No. 8, pp. 1~7 2017.

[6] Hyeok-Jin Gwon, "Implementation of PXIe platform based portable Automatic Test Equipment to improve reliability", Journal of The Korea Society of Computer and Information, Vol. 22, No. 7, pp. 9~16 2017.

[7] WIKIPEDIA, https://www.wikipedia.org

[8] Volnei A.Pderoni, "Circuit Design with VHDL" Korea-Press, pp.20-21, 1999.

Authors

Ji Hoon Han received the B.S. degrees in Electronic Engineering Computer Science from Kyungpook National University, Korea, in 2011. Mr. Han joined the ATE Team of Hanwha Systems in Korea in 2010. He is currently a Engineer in the ATE team. He will continue to work for the defense of the Republic of Korea.