

멀티코어 DSP를 이용한 다중 안테나를 지원하는 SDR 기반 LTE-A PDSCH 디코더 구현

나 용* · 안 흥 섭** · 최 승 원***

Implementation of SDR-based LTE-A PDSCH Decoder for Supporting Multi-Antenna Using Multi-Core DSP

Na Yong · Ahn Heungseop · Choi Seungwon

〈Abstract〉

This paper presents a SDR-based Long Term Evolution Advanced (LTE-A) Physical Downlink Shared Channel (PDSCH) decoder using a multicore Digital Signal Processor (DSP). For decoder implementation, multicore DSP TMS320C6670 is used, which provides various hardware accelerators such as turbo decoder, fast Fourier transformer and Bit Rate Coprocessors. The TMS320C6670 is a DSP specialized in implementing base station platforms and is not an optimized platform for implementing mobile terminal platform. Accordingly, in this paper, the hardware accelerator was changed to the terminal implementation to implement the LTE-A PDSCH decoder supporting the multi-antenna and the functions not provided by the hardware accelerator were implemented through core programming. Also pipeline using multicore was implemented to meet the transmission time interval. To confirm the feasibility of the proposed implementation, we verified the real-time decoding capability of the PDSCH decoder implemented using the LTE-A Reference Measurement Channel (RMC) waveform about transmission mode 2 and 3.

Key Words : SDR, DSP, TMS320C6670, LTE-A, PDSCH Decoder

I. 서론

SDR(Software Defined Radio)기술은 통신 시스템에서 기존 하드웨어의 물리적인 교체 없이 소프트웨

어 업데이트를 통해 재구성 가능한 하드웨어 플랫폼을 재구성함으로써 여러 통신 및 서비스 기능 등을 지원하는 기술이다. 하드웨어적 교체 없이 여러 통신 및 서비스 기능 등을 소프트웨어적 재구성을 통하여 제공함으로써 네트워크 사업자는 효율적인 망 운영을 할 수 있고, 단말 사용자는 사용자가 원하는 특성 및 종류의 최적화된 서비스를 제공 받을 수 있다.

* 한양대학교 전자컴퓨터통신공학과 석사과정

** 한양대학교 전자컴퓨터통신공학과 박사과정

*** 한양대학교 전자컴퓨터통신공학과 교수

SDR 기술은 최근 통신 기술의 빠른 발전과 무선통신의 다양한 기능과 서비스를 유연하게 대응할 수 있는 기술이다[1].

TI(Texas Instruments) DSP(Digital Signal Processor)인 TMS320C6670은 SDR기반의 무선 기지국 플랫폼을 구현을 위한 여러 하드웨어 가속기를 지원함으로써 기지국 물리계층의 인코딩 및 디코딩의 실시간 처리기능을 가능하게 한다[2]. TMS320C6670이 지원하는 하드웨어 가속기는 푸리에 변환과 역변환을 수행하는 FFTC(Fast Fourier Transform Coprocessor), 스크램블링, 레이트 매칭, 심볼 복조 등을 수행하는 BCP(Bite Rate Coprocessor), 터보 디코딩을 수행하는 TCP(Turbo Decoder Coprocessor)가 있다[3-5].

앞서 언급했듯이, TMS320C6670은 기지국 플랫폼 개발을 위한 DSP임에 따라, 기지국 하향링크 인코딩 및 기지국 상향링크 디코딩에 최적화 된 하드웨어 가속기를 제공한다. 이에 따라 TMS320C6670을 이용하여 단말기를 구현하려면 기지국 플랫폼에 최적화 된 하드웨어 가속기를 수정하여 구현해야 한다. 예를 들어, PDSCH(Physical Downlink Shared Channel)의 인코딩 과정은 기지국에서 수행하기 때문에 TMS320C6670이 제공하는 하드웨어 가속기인 BCP를 통해 어떠한 변경 없이 구현 가능하지만, 디코딩 과정은 단말기에서 수행하기 때문에 PDSCH 디코딩 과정과 유사한 PUSCH(Physical Uplink Shared Channel)의 디코딩을 위한 BCP를 수정하여 구현해야 한다[6-7].

본 논문은 TI사의 기지국 플랫폼 개발을 지원하기 위한 멀티코어 DSP인 TMS320C6670을 사용하여 다중 안테나를 지원하는 PDSCH 디코더 구현 방법을 제시한다. 구현한 PDSCH 디코더는 다중안테나 2x1의 전송 모드 2와 다중안테나 2x2의 전송 모드 3을 지원한다. 디코더를 구현하기 위해, LTE-A(Long Term Evolution Advanced) 상향링크와 하향링크 구분 없이 사용되는 푸리에 변환 및 역변환, 터보 디코

딩은 각각 FFTC와 TCP의 하드웨어 가속기를 이용하였다. 심볼 복조, 디레이트매칭, 채널 디인터리빙을 위해 BCP를 사용하였고, 채널 인터리빙을 코어프로그래밍을 이용하여 상향링크에 적용되는 채널 디인터리빙을 상쇄시켰다. 본 논문의 구성은 다음과 같다. II장에서는 PDSCH 디코더 구현에 사용된 멀티코어 DSP인 TMS320C6670에 대한 설명을 하고, III장에서는 TMS320C6670을 이용한 다중 안테나를 지원하는 LTE-A PDSCH 디코더 구현 방법을 소개한다. IV장에서는 구현한 PDSCH의 디코더의 실험 결과를 설명하고 V장에서는 결론을 기술한다.

II. 구현에 사용된 TMS320C6670의 소개

멀티코어 DSP인 TMS320C6670은 SDR 기반의 기지국 플랫폼 구현에 최적화 된 플랫폼이다. TMS320C6670은 1GHz에서 1.2GHz 클락의 고정 및 부동소수점 연산을 지원하는 4개의 코어를 가지고 있으며, 1024K Byte의 L2SRAM, 2M Byte의 공유 메모리와 2G Byte의 DDR3를 지원한다. TMS320C6670은 LTE, WiMAX(Worldwide Interoperability for Microwave Access), WCDMA(Wideband Code Division Multiple Access), HSPA+(Evolved High Speed Packet Access) 등의 무선 접속 기술의 구현을 위해 FFTC, TCP, BCP 등의 하드웨어 가속기를 제공한다. 본 장에서는 PDSCH 디코더 구현에 필요한 FFTC, TCP, BCP에 대해 설명한다[2].

2.1 FFTC

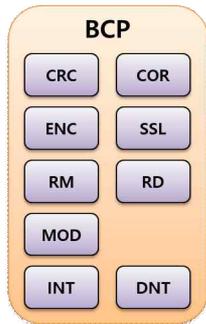
TMS320C6670에서 지원하는 FFTC는 다양한 DSP 응용 프로그램에서 필요로 하는 푸리에 변환과 역변환 연산을 지원하는 하드웨어 가속기이다. FFTC는 WiMAX 및 LTE와 같은 다양한 OFDM(Orthogonal

Frequency Division Multiplexing) 기반 무선 접속 기술에 호환되도록 설계되어있다. FFT는 푸리에 변환 및 역변환의 연산뿐만 아니라 푸리에 변환 쉬프트와 CP(Cyclic Prefix)의 연접 및 제거 기능을 지원하며, LTE-A 표준대역폭인 1.4MHz에서 20MHz 를 지원하기 위한 128-포인트부터 2048-포인트 푸리에 변환 및 푸리에 역변환을 모두 지원한다[3].

2.2 TCP

TMS320C6670에서 지원하는 TCP는 LTE, WiMAX, WCDMA 등의 무선 접속 기술에서 사용하는 터보 디코딩을 지원하는 하드웨어 가속기이다. TCP는 DSP와 병렬적으로 사용 가능하며, LTE-A 표준에서 요구하는 코드 블록 길이인 40에서 6144까지의 코드 블록 길이를 지원한다. TCP는 iteration 횟수를 1에서 15까지 조정 가능하며, CRC(Cyclic Redundancy Check) 체크 기능 또한 포함한다[4].

2.3 BCP

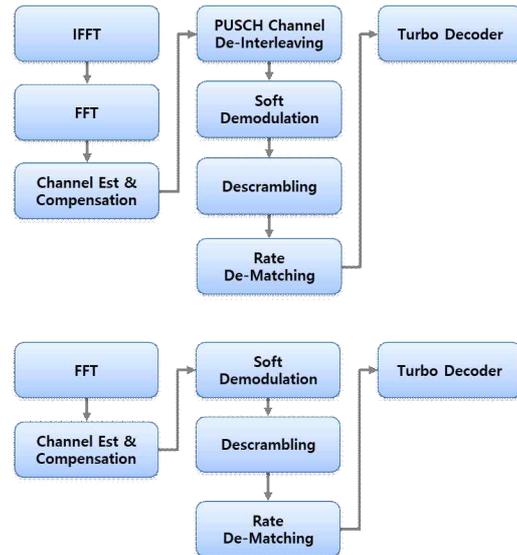


<그림 1> BCP 서브 모듈

TMS320C6670에서 지원하는 BCP는 프로그래밍 가능한 기저 대역 비트 프로세싱을 지원하는 하드웨어 가속기이며, FDD-LTE, TDD-LTE, WCDMA, LTE-A 등의 기저 대역 비트 프로세싱을 지원한다. <그림 1>

은 TMS320C6670 BCP의 서브 모듈이며, CRC 인코딩을 담당하는 CRC 블록과 LTE-A PUCCH(Physical Uplink Control Channel)의 디코딩을 위한 COR(Correlation)서브 모듈이 있다. 또한, 터보 및 컨볼루션 인코딩의 ENC와 LTE-A, WCDMA 등의 무선 접속 기술을 디코딩을 지원하는 SSL(Soft slicing)과 채널 코딩 방식의 부호율 조정을 지원하는 RM(Rate matching), RM에 의해 조정된 부호율을 되돌리는 RD(Rate De-matching)서브 모듈이 존재한다. QPSK, 16QAM, 64QAM의 심볼 변/복조의 MOD(Modulation), WCDMA, LTE-A 등의 인터리빙과 디인터리빙을 위한 INT(Interleaving), DNT(De-Interleaving)의 서브 모듈을 지원한다[5].

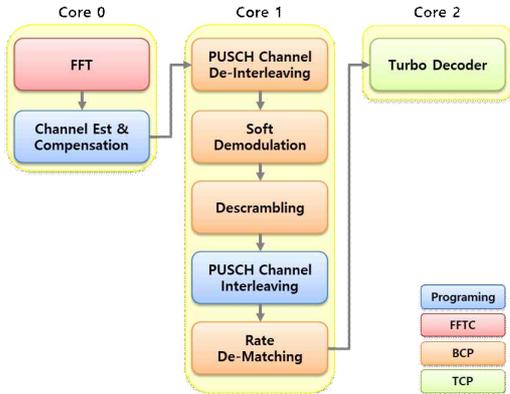
III. TMS320C6670을 이용한 다중 안테나를 지원하는 LTE-A PDSCH 디코더 구현



<그림 2> PUSCH (위), PDSCH (아래) 디코딩 과정 블록도

<그림 2>는 LTE-A PUSCH 디코딩 과정 및

PDSCH 디코딩 과정의 블록도이다. PUSCH 디코딩 과정과 PDSCH 디코딩 과정은 크게 두 개의 차이점이 있다. 먼저 PUSCH 디코딩 과정은 상향링크 인코딩 과정에서 SC-OFDMA(Single Carrier Orthogonal Frequency Division Multiple Access)기술을 사용함에 따라 하향링크 인코딩 과정에서 OFDMA(Orthogonal Frequency Division Multiple Access)기술을 이용하는 PDSCH 디코딩 과정과 다르게 푸리에 변환 이전에 푸리에 역변환 과정을 진행해야 한다. 두 번째로 PUSCH 인코딩 과정에서 채널 인터리빙 과정이 존재함에 따라 PUSCH 디코딩 과정에서는 심볼 복조 이전에 채널 디인터리빙이 PDSCH 디코딩 과정에 비해 추가되어야 한다[8-10].



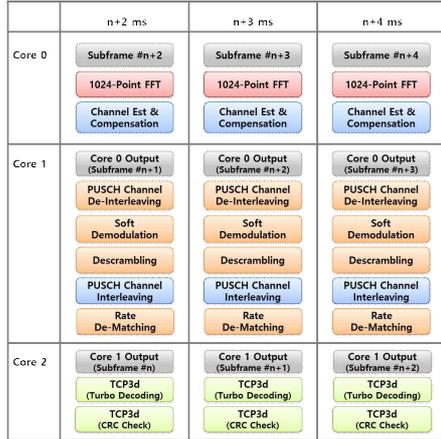
<그림 3> TMS320C6670의 계산 자원을 이용한 LTE-A PDSCH 디코더 블록도

<그림 3>은 TMS320C6670의 멀티 코어 및 하드웨어 가속기 등의 계산 자원을 이용한 LTE-A PDSCH 디코더 블록도이다. FFT 연산 및 터보디코딩의 경우, 상향링크와 하향링크에서의 구분이 없으므로 FFTC와 TCP의 구조 변경 없이 사용 가능하다. 반면에 상향링크 PUSCH 디코딩 과정에 최적화된 BCP는 PDSCH 디코딩을 위해 상향링크에 적용되는 채널 디인터리빙을 상쇄시키는 채널 인터리빙 과정을 코어

프로그래밍을 통해 추가함으로써 PDSCH 디코딩에 사용 가능하다[11].

하드웨어 가속기를 사용할 수 없는 PSS(Primary Synchronization Signal)와 SSS(Secundary Synchronization Signal) detection, 레이어 디매핑 부분 등은 코어를 이용한 프로그래밍을 하였다. 그 중에서 다중 안테나를 지원하기 위해 핵심적인 블록인 채널 추정 및 채널 보상 과정 블록 또한 코어 프로그래밍을 이용하여 구현하였다. 채널 보상 과정의 경우, 2x1의 전송 모드 2는 알라모 우티 코드(Alamouti Code)디코딩 과정을 구현하였고, 2x2의 전송 모드 3은 제로 포싱 등화기(Zero forcing equalizer)를 구현하였다[12]. 이 과정에서 최적화된 코어 프로그래밍을 위해 LUT(Look-Up Table)과 TI에서 제공하는 Intrinsic을 사용하였다. 즉, 디코딩 과정에서 채널 추정 및 보상 과정에서 기준 신호의 인덱스와 시퀀스는 변화하지 않는다. 이때, LUT를 이용하여 인덱스와 시퀀스를 저장함으로써, 매번 인덱스와 시퀀스를 생성 및 연산하는 과정을 생략할 수 있고 최적화된 PDSCH 디코딩 시간을 가질 수 있다. 또한 채널 추정 및 보상의 오차를 줄이기 위해 부동소수점의 복소수 곱셈 연산의 Intrinsic인 `_complex_mpyssp`을 사용하여 처리 과정에 많은 양의 데이터를 병렬 처리함으로써 연산 시간을 최적화할 수 있고, 고정소수점 연산 과정의 오차를 부동소수점으로 진행하여 오차를 줄일 수 있다[13-15].

<그림 4>는 TMS320C6670의 LTE-A PDSCH 디코더의 파이프라인 구조이며, 전송 시간 간격 1ms 단위로 각 코어들은 병렬적으로 실행된다. 하드웨어 가속기의 호출시간과 파라미터의 연산시간의 합이 하나의 코어를 사용할 경우, 전송 시간 간격을 만족시키지 못하므로 멀티코어를 활용하여 각 코어별로 하드웨어 가속기를 호출 및 연산을 진행한다. 수신된 n+2 번째의 서브 프레임이 0번 코어에서 FFTC를 사용하여 1024-포인트 푸리에 변환 및 채널 추정과 보상 과



〈그림 4〉 TMS320C6670의 LTE-A PDSCH 디코더 파이프라인 구조

정을 진행하는 동안 1번 코어에서 n+1번째 서브 프레임에 해당되는 0번 코어의 아웃풋을 BCP를 이용하여 PUSCH 채널 디인터리빙에서 레이트디매칭까지의 과정을 진행한다. 2번 코어의 경우, n번째 서브 프레임에 해당되는 1번 코어의 아웃풋을 TCP를 통해 터보 디코딩과 CRC 체크를 진행한다. 다음과 같이 멀티 코어를 이용한 LTE-A PDSCH 디코더 파이프라인을 구현하므로써 전송 시간 간격 1ms를 충족할 수 있다.

IV. 실험 결과

멀티 코어 DSP TMS320C6670을 이용하여 다중 안테나를 지원하는 PDSCH 디코더의 구현 가능성을 확인하기 위해 TI에서 제공하는 CCS(Code Composer Studio) v.8.0.0과 컴파일러 버전 v.8.2.5를 사용하여 PDSCH 디코더를 구현하였다. 구현한 디코더가 LTE-A 표준에 준용하는지 검증하기 위해 위한 테스트 벡터로써 LTE-A RMC(Reference Measurement Channel) waveform을 이용하였다.

〈표 1〉 RMC waveform 시스템 파라미터

전송 모드	2	3
대역폭	10 MHz	10 MHz
Duplex 방식	FDD	FDD
Number of Layer	2	2
변조 방식	64QAM	64QAM
코딩 레이트	0.75	0.75
Redundancy Version	0	0
Cell ID	0	0
RNTI	1	1
TBS (Transport Block Size)	subframe 0	subframe 0
	30576 bits	61152 bits
	subframe 1~9	subframe 1~9
	31704 bits	63408 bits

〈표 2〉 각 블록 별 소요 시간

전송 모드		2		3	
Subframe		0	1~9	0	1~9
TBS(bits)		30576	31704	61152	63408
Core 0	푸리에 변환(ms)	0.187		0.394	
	채널 추정 및 보상(ms)	0.144		0.377	
	Total(ms)	0.331		0.771	
Core 1	채널 디인터리빙, 심볼 복조, 디스크램블링(ms)	0.148	0.161	0.302	0.335
	채널 인터리빙(ms)	0.063		0.122	
	레이트 디매칭(ms)	0.213	0.26	0.424	0.446
	Total(ms)	0.424	0.484	0.848	0.903
Core 2	터보 디코딩(ms)	0.362	0.434	0.580	0.696
	Total(ms)	0.362	0.434	0.580	0.696

사용된 RMC waveform의 파라미터 값은 아래의 <표 1>과 같다[16].

<표 2>는 테스트 벡터인 RMC waveform을 구현한 디코더로 디코딩했을 때 각 블록마다 소요된 시간을 보여주며, 이 때 소요 시간은 200개의 서브프레임 디코딩 시간의 평균값이다. 푸리에 변환, 채널 디인터리빙, 심볼 복조, 디스크램블링과 터보 디코딩은 하드웨어 가속기인 FFTC, BCP와 TCP를 이용한 처리 시

간이며, 채널 추정 및 보상과 채널 인터리빙은 코어 프로그래밍 소요 시간이다. 각 하드웨어 가속기에서의 처리 시간은 하드웨어 가속기 실행을 위한 파라미터 연산 시간 및 하드웨어 가속기의 실제 동작 시간을 포함하고 있다.

<표 2>를 통해서 LTE-A 표준 대역폭 10MHz 조건에서 실시간 처리를 위한 각 서브프레임의 디코딩의 소요 시간이 전송 시간 간격 1ms를 충족시키는 것을 확인할 수 있다. 그러나 반송파 집성(Carrier Aggregation, CA) 기술의 사용 및 4x4 이상의 MIMO(Multiple-Input and Multiple-Output)를 사용할 경우에는 1ms라는 디코딩 제약 시간을 충족시키지 못할 것으로 생각된다.

<표 2>에서 채널 추정 및 보상의 경우가 0번 코어의 전체 프로세싱 시간의 대략 50%정도를 차지하고 채널 인터리빙, 심볼 복조, 디스크램블링 그리고 레이트 디매칭의 경우 1번 코어의 전체 프로세싱 시간의 대략 85%를 차지한다. 이에 반송파 집성 기술의 사용, 4x4 이상의 MIMO를 사용하면 프로그래밍으로 구현한 채널 추정 및 보상의 연산과 하드웨어 가속기의 지원을 받는 심볼 복조, 디스크램블링과 레이트 디매칭의 연산이 증가되므로 1ms의 전송 시간 간격을 충족시키지 못할 것으로 예상된다. 또한 20MHz의 대역폭 증가의 경우에도 1ms의 실시간 전송 시간 간격을 충족시키지 못할 것으로 예상된다.

V. 결론

본 논문은 멀티코어 DSP인 TMS320C6670을 이용하여 다중 안테나를 지원하는 SDR 기반 LTE-A PDSCH 디코더 구현 방법을 제시한다. 심볼 복조, 디스크램블링, 레이트디매칭, 푸리에 변환과 터보 디코딩 연산은 하드웨어 가속기를 사용하였다. 본 논문에서 LTE-A 표준 대역폭 10MHz의 다중

안테나에 해당하는 LTE-A의 디코더를 구현하였고, 물리 계층의 전송 시간 간격인 1ms 안으로 디코딩이 가능하다는 것을 증명하였다. 그러나 대역폭이 20MHz로 증가하거나, 반송파 집성기술의 사용, 4x4 이상의 MIMO를 사용할 경우 전송 시간 간격 1ms 안에 실시간 디코딩이 불가능할 것으로 예상되며, 이는 추후 연구 과제이다.

Acknowledgment

본 연구는 과학기술정보통신부 및 과학기술인자리 진흥원 2019년 산학연공동연구법인지원사업의 지원을 받아 수행하였음. [2019K000060]

참고문헌

- [1] 황경호·조동호, "Software Defined Radio 기술," Telecommunications Review, 제10권, 제1호, 2000, pp.130-143.
- [2] Texas Instruments, TMS320C6670 Multicore Fixed and Floating-Point System-On-Chip Data Manual, SPRS689D, Mar. 2012.
- [3] Texas Instruments, KeyStone Architecture Fast Fourier Transform Coprocessor (FFTC) User Guide, SPRUGS2C, Dec. 2011.
- [4] Texas Instruments, KeyStone Architecture Bit Rate Coprocessor (BCP) User's Guide, SPRUGZIA, Mar. 2015.
- [5] Texas Instruments, KeyStone Architecture Turbo Decoder Coprocessor (TCP3d) User Guide, SPRUGS20, Nov. 2015.
- [6] E. Dahlman, S. Parkval, 4G: LTE/LTE-Advanced for Mobile Broadband, 2nd ed, Academic Press,

pp. 203-221, May. 2011.

[7] F. Khan, "LTE for 4G Mobile Broadband: Ait Interface Technologies and Performance," Cambridge Univ Pr, Mar. 2009.

[8] 3GPP TS 36.211 V11.5.0, Physical Channels and Modulation (Release 11), Dec. 2013.

[9] 3GPP TS 36.212 V11.4.0, Multiplexing and Channel Coding (Release 11), Dec. 2013.

[10] 3GPP TS 36.213 V14.2.0, Physical Layer Procedures (Release 14), Apr. 2017.

[11] F. Toasto, P. Bisaglia, "Simplified Soft-Output Demapper for Binary Interleaved COFDM with Application to HIPERLAN/2," IEEE International Conference on Communications (ICC), No.246, Aug. 2002.

[12] S. M. Alamouti, "A Simple Transmit Diversity Technique for Wireless Communications," IEEE Journal on select areas in communications, Vol.16, No.11, 1988, pp.1451-1458.

[13] Texas Instruments, TMS320C6000 Programmer's Guide, SPRU198K, Jul. 2011.

[14] Texas Instruments, TMS320C6000 Optimizing Compiler v8.2.x User's Guide, SPRUI04B, May. 2017.

[15] Texas Instruments, TMS320C66x DSP CPU and Instruction Set Reference Guide, SPRUGH7, Nov. 2010.

[16] 3GPP TS 36.211 V14.3.0, User Equipment (UE) Radio Transmission and Reception (Release 14), Apr. 2017.

[19] 김호일 · 안홍섭 · 최승원, "범용 DSP를 이용한 RRS기반 기지국 플랫폼 구현," 디지털산업정보학회 논문지, 제14권, 제4호, 2018, pp.87-92.

[18] 이광민 · 안홍섭 · 최승원, "TMS320C6670 기반 LTE-A PDSCH 디코더 구현," 디지털산업정보학회 논문지, 제14권, 제4호, 2018, pp.79-85.

■ 저자소개 ■



나 용
Na, Yong

2018년 3월-현재
한양대학교 전자컴퓨터통신공학과 석사과정
2018년 2월 남서울대학교 정보통신공학과 (공학학사)
관심분야 : DSP, vehicular comm, LTE-A etc
E-mail : yong.na@dsplab.hanyang.ac.kr



안 흥 섭
Ahn, Heung Seop

2016년 3월-현재
한양대학교 전자컴퓨터통신공학과 박사과정
2016년 2월 한양대학교 전자컴퓨터통신공학과 (공학석사)
2013년 2월 한양대학교 융합전자공학부 (공학학사)
관심분야 : vehicular comm, 5G, LTE, Cell planning, SDR etc.
E-mail : ahs90@dsplab.hanyang.ac.kr



최 승 원
Choi, Seung Won

2012년 3월-현재
HY-MC 연구센터 센터장
2002년~2011년
HY-SDR 연구센터 센터장
1992년-현재
한양대학교 융합전자공학부 교수
1990년~1992년
일본 우정성 통신연구소 선임 연구원
1989년~1990년
ETRI 선임 연구원
1988년~1989년
미국 Syracuse대학 전기 및 전산과 교수
1988년 12월 미국 Syracuse대학 전기공학 (공학박사)
1985년 12월 미국 Syracuse대학 전기공학 (공학석사)
1982년 2월 서울대학교 전기공학 (공학석사)
1982년 2월 한양대학교 전기공학 (공학학사)
관심분야 : SDR, 이동통신, 신호처리
E-mail : choi@dsplab.hanyang.ac.kr

논문접수일 : 2019년 11월 8일
수정일 : 2019년 11월 26일
게재확정일 : 2019년 11월 27일