

채널 부정합 보정 회로를 가진 3-GSymbol/s/lane

MIPI C-PHY 송수신기

A 3-GSymbol/s/lane MIPI C-PHY Transceiver with Channel Mismatch Correction Circuit

최 석 원*, 송 창 민*, 장 영 찬*[★]

Seokwon Choi*, Changmin Song*, and Young-Chan Jang*[★]

Abstract

A 3-GSymbol/s/lane transceiver, which supports the mobile industry processor interface (MIPI) C-physical layer (PHY) specification version 1.1, is proposed. It performs channel mismatch correction to improve the signal integrity that is deteriorated by using three-level signals over three channels. The proposed channel mismatch correction is performed by detecting channel mismatches in the receiver and adjusting the delay times of the transmission data in the transmitter according to the detection result. The channel mismatch detection in the receiver is performed by comparing the phases of the received signals with respect to the pre-determined data pattern transmitted from the transmitter. The proposed MIPI C-PHY receiver is designed using a 65 nm complementary metal-oxide-semiconductor (CMOS) process with 1.2 V supply voltage. The area and power consumption of each transceiver lane are 0.136 mm² and 17.4 mW/GSymbol/s, respectively. The proposed channel mismatch correction reduces the time jitter of 88.6 ps caused by the channel mismatch to 34.9 ps.

요 약

본 논문에서는 모바일 산업 프로세서 인터페이스(MIPI : mobile industry processor interface)의 C-PHY 사양 버전 1.1을 지원하는 3-GSymbol/s/lane 송수신기가 제안된다. 제안한 송수신기는 3 개 채널에서 3 개 레벨 신호의 사용으로 인해 저하된 신호 보존성을 개선하기 위해 채널 부정합 보정을 수행한다. 제안된 채널 부정합 보정은 수신기에서 채널 부정합을 검출하고, 검출 결과에 따라 송신기에서 전송 데이터의 지연 시간을 조정함으로써 수행된다. 수신기에서 채널 불일치 검출은 송신기로부터 전송된 정해진 데이터 패턴에 대하여 수신된 신호의 위상을 비교함으로써 수행된다. 제안된 MIPI C-PHY 송수신기는 1.2 V 공급 전압의 65 nm CMOS 공정을 사용하여 설계되었다. 각 송수신기 레인의 면적과 전력소모는 각각 0.136 mm²와 17.4 mW/GSymbol/s이다. 제안된 채널 부정합 보정은 채널 부정합으로 인한 88.6 ps의 시간 지터를 34.9 ps로 줄인다.

Key words : MIPI C-PHY, transceiver, channel mismatch correction, transmitter, receiver, phase detector

* Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology, Korea,

★ Corresponding author

Email : ycjang@kumoh.ac.kr, Tel. : +82-54-478-7434

※ Acknowledgment

• This research was supported by the HRD Program for Intelligent Semiconductor Industry (N0001883) through the MOTIE and the Priority Research Centers Program (2018R1A6A1A03024003) through the NRF funded by the Ministry of Education.
• Authors are thankful to IDEC for supporting EDA softwares.

Manuscript received Dec. 9, 2019; revised Dec. 25, 2019; accepted Dec. 26, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

높은 해상도를 갖는 모바일 카메라 및 디스플레이가 증가하고 있다. 그로 인해 모바일 프로세서 기술과 인터페이스 기술들이 빠른 속도로 발전하고 있다. 이러한 기술의 발전은 모바일 프로세서의 성능 향상뿐만 아니라 주변 기기와의 인터페이스 기술 또한 지속적으로 발전하고 있다[1]. 고속 인터페이스를 위해 이용되고 있는 모바일 산업 프로세서 인터페이스(MIPI : mobile industry processor interface) C-physical layer(PHY)는 D-PHY와 달리 심볼 코딩 방법으로 한 심볼당 2.28 비트의 데이터를 전송함으로써 전송 대역폭을 증가시킨다. 또한, 송신기에서 클럭 정보를 데이터에 탑재하여 전송하고 수신기에서 데이터로부터 클럭을 복원함으로써 클럭 전송을 위한 추가적인 핀이 사용되지 않는다[2][3]. 그러나 기존 차동 신호의 전송과 달리 MIPI C-PHY는 3 개의 채널을 이용하여 신호를 전송하는데, 이때 3 개 채널 길이의 부정합으로 인해 신호의 보전성이 악화될 수 있다. 그림 1(a)은 MIPI C-PHY 신호 전송 개념도이다. 3 개의 채널의 크로스톡을 최소화하기 위해서 채널 사이의 간격을 일반적으로 도선의 굵기의 2~3배 정도의 간격을 확보해야 한다[4]. 이를 위해 송신 칩과 수신 칩의 pin간격을 고려할 때 그림 1(a)과 같이 printed circuit board (PCB)의 도선이 제작될 수 있다. 이 경우 채널 A와 C는 구조적으로 대칭이 될 수 있지만, 채널 B는 채널 A와 C 보다 채널의 길이가 짧아질 수 있다. 이로 인해 채널 A, C와 채널 B의 전송 시간의 차이가 발생되며 이는 수신 데이터의 시간 지연으로 나타난다. 특히, 그림 1(b)에 나타낸 바와 같이 채널 A, C의 신호가 채널 B신호 대비 지연됨에 따라 수신기에서 복원되는 클럭의 듀티 사이클 비율이 50%로 유지되지 못하여 클럭의 시간 지연을 유발하며, double data rate (DDR)를 사용하는 MIPI C-PHY에서의 데이터 수신에 시간 마진을 줄이게 된다[5].

본 논문은 채널 길이에 따른 부정합을 보정하여 신호의 보전성을 향상시키고 채널 길이에서 발생하는 스큐를 줄일 수 있는 채널 부정합 보정 회로를 제안한다. 이를 위해 MIPI C-PHY의 수신기에 위치하는 채널의 부정합을 검출할 수 있는 위상검출기와 이의 결과에 따라 제어되는 송신기에 구현

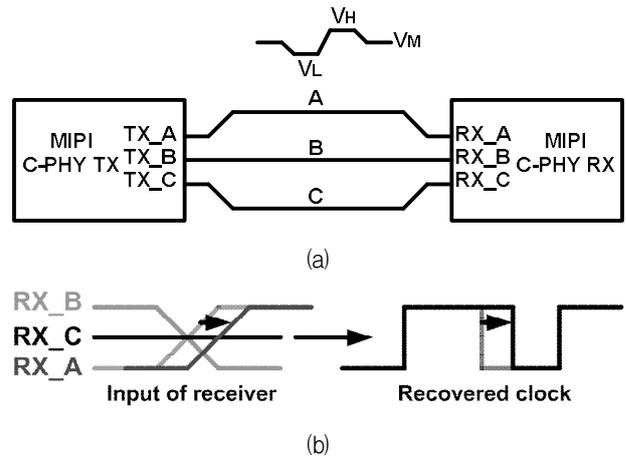


Fig. 1. (a) Conceptual diagram for signal transmission of MIPI C-PHY (b) signal delay of channel A and C due to channel length mismatch.

그림 1. (a) MIPI C-PHY의 신호 전송 개념도 (b) 채널의 길이 부정합으로 인한 채널 A와 C의 신호 지연.

되는 데이터 송신 지연회로를 제안한다.

II. 채널 길이에 따른 부정합을 위한 보정 회로

채널 부정합 보정 회로는 채널 B와 채널 A, C의 채널 길이 차이로 발생하는 채널 부정합 지연을 보정하여 채널 A, B, C의 길이에 따른 신호의 지연이 일치하도록 한다. 우선, 채널 A와 C는 PCB의 대칭적인 설계를 통해 정합시킨다. 채널 B는 채널 A, C에 대해 채널 길이에 대해 부정합이 발생할 수 있다. 우선, 채널 부정합의 검출을 위해 송신기에서 채널 부정합을 검출할 수 있는 정해진 데이터 패턴을 전송한다. 수신기에서는 송신기로부터 전송된 정해진 데이터 패턴에 대하여 수신된 신호의 위상을 비교함으로써 채널 불일치 검출을 수행된다. 이후 채널 부정합 조정은 수신기에서의 채널 부정합 검출 결과에 따라 송신기에서 전송 데이터의 지연 시간을 조정함으로써 수행된다. 그림 2는 개념적인 채널 부정합 보정 회로의 블록도이다. 송신기에서 채널 부정합을 검출하기 위한 미리 정해진 데이터 패턴을 수신기로 전송한다. 수신기에서는 미리 정해진 데이터 패턴을 통해 만들어지는 데이터 BC, CA의 위상의 차이를 검출하여 CAL_RES 핀을 통해 결과 값을 다시 송신기로 전송한다. 송신기에서는 CAL_RES 핀으로 전송되어진 위상 차이의 결과 값을 통해 채널 부정합 교정 회로에서 채널의 상황을 확인하고 시간 지연이 필요한 채널의 신호

를 지연시킨다. 채널의 길이가 정합될 때까지 지연 코드 AC_D[2:0]과 B_D[2:0]이 선택적으로 제어된다. 제안한 채널 부정합 보정 회로를 위해 사용되는 CAL_RES를 위한 핀은 보정 모드만 사용되기 때문에 다른 핀과 공유하여 사용한다.

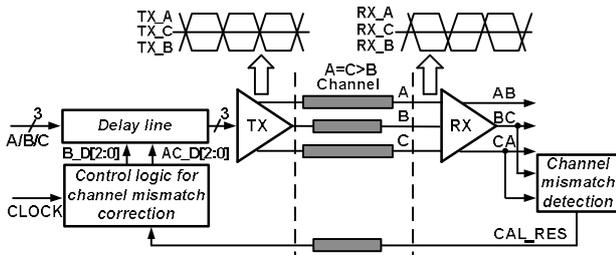


Fig. 2. Block diagram for channel mismatch correction circuit. 그림 2. 채널 부정합 보정 회로의 블록도.

그림 3은 수신기의 채널 부정합 검출 회로 블록도와 타이밍도이다. 채널 부정합 검출 회로는 시작 펄스를 만들기 위한 D-플립플롭과 BC, CA의 위상차를 검출할 수 있는 위상 검출기로 구성된다. 채널 부정합 검출 회로에는 미리 정해진 데이터 패턴을 이용하여 만들어지는 BC와 CA가 공급된다. 채널 부정합 보정을 시작하면 복원된 클록으로 64분주와 128분주 클록을 만들어 송신기가 보정을 시작할 수 있도록 시작 펄스를 발생한다. 시작 펄스가 발생된 후 64분주와 128분주 클록은 정지한다. 시작 펄스는 CAL_RES 핀을 통해 송신기로 전송되고 송신기는 보정 모드로 진입한다. 시작 펄스 발생 후 채널 부정합 검출 회로에서는 수신된 BC, CA의 위상 차이를 정밀한 위상 검출기를 통해 판별한다. 채널 A, C가 채널 B보다 채널의 길이가 길어 신호가 지연되었다면 위상 검출기의 출력은 high가 되고 채널 B가 채널 A, C보다 채널의 길이가 길어 신호가 지연된다면 low를 값을 출력한다.

그림 4는 송신기에 위치하는 채널 부정합 보정 회로의 블록도와 타이밍도이다. 채널 부정합 보정 회로는 송신기의 클록을 분주하기 위한 8분주기, 16분주기와 지연 코드를 증가시킬 수 있는 카운터, 현재 채널과 초기의 채널 상태를 저장하는 D-플립플롭, 현재 채널과 초기 채널의 상태를 비교하는 XOR 게이트, 그리고 초기 채널의 상태에 따라 채널의 지연 코드를 결정하는 디멀티플렉서로 구성된다. CAL_RES 핀을 통해 시작 펄스를 검출하게 되면 송신기의 클록을 8분주를 시작한다. 8분주 클

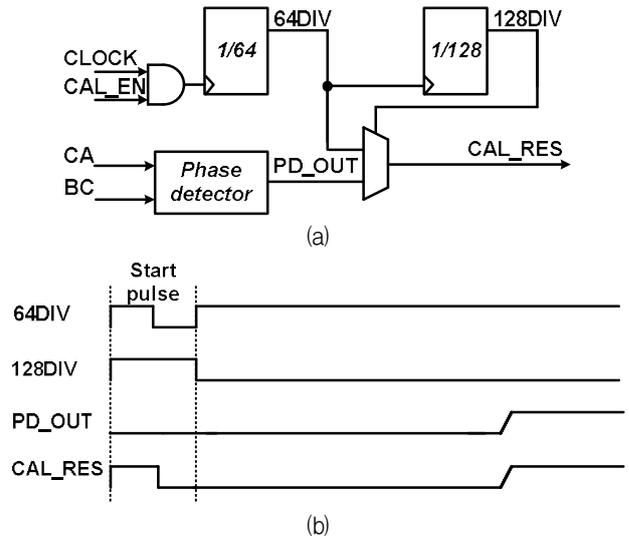


Fig. 3. Channel mismatch detection circuit (a) block diagram (b) timing diagram. 그림 3. 채널 부정합 검출 회로 (a) 블록도 (b) 타이밍도.

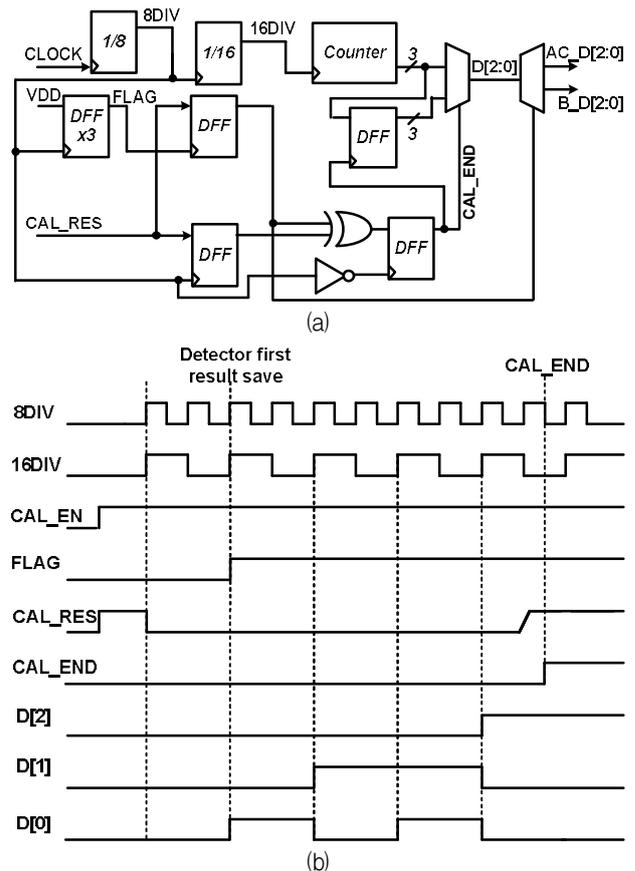


Fig. 4. Control logic circuit for channel mismatch correction (a) block diagram (b) timing diagram. 그림 4. 채널 부정합 보정을 위한 제어 회로 (a) 블록도 (b) 타이밍도.

록을 통해 CAL_RES를 샘플한다. 첫 샘플에서 초기 채널의 상태를 저장하고 그 다음 샘플부터 채널

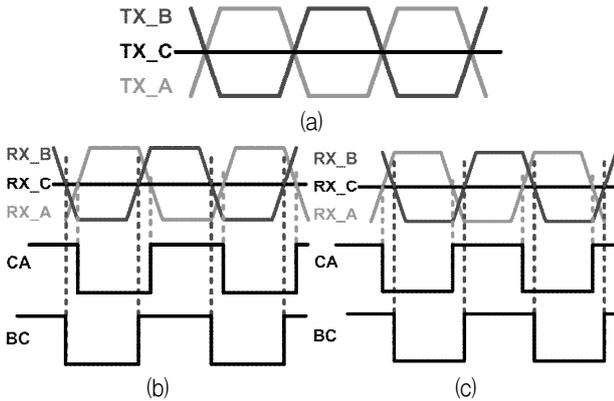


Fig. 5. (a) Pre-determined transmitting data pattern for channel mismatch detection (b) phases of receiver data @ length of channels A, C > length of channel B (c) phases of receiver data @ length of channels A, C < length channel B.

그림 5. (a) 채널 부정합을 검출을 위해 미리 정해진 송신되는 데이터 패턴 (b) 수신된 신호의 위상 @ channel A, C의 길이 > channel B의 길이 (c) 수신된 신호의 위상 @ channel A, C의 길이 < channel B의 길이

의 상태를 확인한다. 저장된 초기 채널의 상태에 따라 지연시킬 채널을 결정하여 디멀티플렉서를 통해 지연시킬 코드를 결정한다. CAL_RES 핀으로 전송되는 위상검출기의 값이 high일 때 채널 B를 위한 지연 코드를 증가시키고 low일 때는 채널 A, C를 위한 지연 코드를 증가시킨다. 지연 코드는 16 분주 클럭으로 카운터를 통해 제어된다. CAL_RES 핀을 통해 전송되는 값이 반전되게 되면 보정을 마치고 그 때의 지연 코드를 저장한다.

1. 채널 부정합 감지를 위한 송신 데이터 패턴과 수신기의 위상검출기

채널 A, B, C의 상태를 확인하기 위해서는 송신기에서 미리 정해진 데이터 패턴을 전송한다. 패턴은 채널의 상태를 정확히 파악하기 위해 inter-symbol interference (ISI)의 영향을 받지 않는 그림 5(a)와 같은 토크 패턴으로 정한다. 송신기에서 채널 부정합을 검출하기 위해 채널 A, B를 통해서는 토크 신호를 전송하고 채널 C를 통해서는 middle 레벨의 DC 신호를 전송한다. 그림 5(b)와 같이 채널의 부정합으로 채널 A, C의 신호들이 채널 B의 신호보다 지연되면 수신기에서 만들어지는 수신 데이터 BC는 CA보다 위상이 앞선다. 그림 5(c)에서는 채널 B가 채널 A, C보다 길어 채널 B의 신호가 지연된다면 수신 데이터 CA는 BC보다 위상이

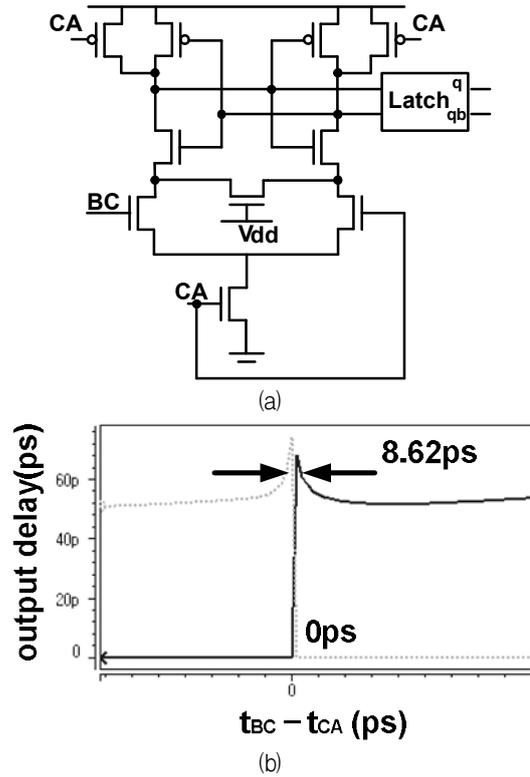


Fig. 6. Phase detector (a) circuit diagram (b) simulation result.

그림 6. 위상 검출기 (a) 회로도 (b) 시뮬레이션 결과.

앞서게 된다. 수신 데이터 CA, BC의 위상 차이를 이용하여 채널 부정합을 위상 검출기를 통하여 검출한다[6].

그림 6(a)은 채널 부정합을 검출하기 위해 사용된 위상검출기의 회로이다[7]. 데이터 BC가 CA보다 위상에 뒤에 위치한다면 위상 검출 회로의 출력은 low가 되고 BC가 CA보다 위상이 앞서 위치한다면 위상 검출 회로의 출력은 high가 된다. 그림 6(b)는 위상 검출기의 시뮬레이션 결과이다. 채널 부정합 검출을 위한 위상 검출기는 0 ps의 위상 오차를 가지고 있고 set-up 시간과 hold 시간은 8.62 ps를 가진다. 채널 부정합을 위한 위상 검출기는 채널 부정합이 발생할 때 0ps의 위상 오차를 가지고 채널 A, C와 채널 B의 부정합을 검출할 수 있다.

2. 채널 부정합 교정을 위한 송신기의 지연회로

MIPI C-PHY의 송신기에서 3 개의 드라이버의 입력 신호에 지연회로를 추가하여 이를 제어함으로써 채널 부정합을 보정한다. 그림 7(a)는 채널 부정합 보정을 위해 지연 회로가 추가된 송신기 드라이버 회로이다. 채널 A, C는 정합되어 있어서 채널

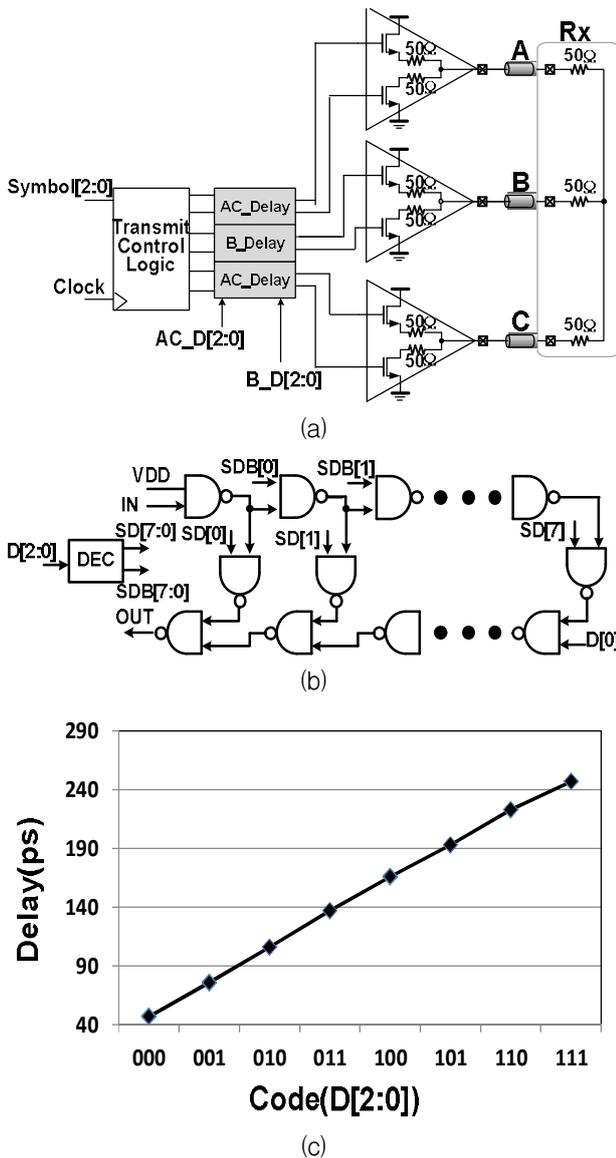


Fig. 7. (a) Block diagram of transmitter (b) delay circuit (c) delay time according to code of delay circuit.
 그림 7. (a) 송신기의 블록도 (b) 지연회로의 회로도 (c) 지연 회로의 코드에 따른 지연 시간

A와 채널 C를 위한 지연 회로는 동일하게 제어되고 채널 B를 위한 지연 회로는 별도로 제어된다. 채널 B가 채널 부정합으로 지연되었다면 채널 A, C를 위한 지연 회로에 지연 시간을 증가시켜 채널 부정합을 보정한다. 반면, 채널A, C의 신호가 지연 되었다면 채널 B를 위한 지연 회로에 지연 시간을 증가시켜 채널 부정합을 보정한다. 그림 7(b)는 지연회로 블록도이다. NAND 게이트로 구성되며 3비트의 제어 코드로 제어한다[8]. 그림 7(c)는 지연 회로의 지연 범위를 나타낸 그래프이다. 지연 범위는 200 ps이며 지연 회로의 해상도는 30 ps이다.

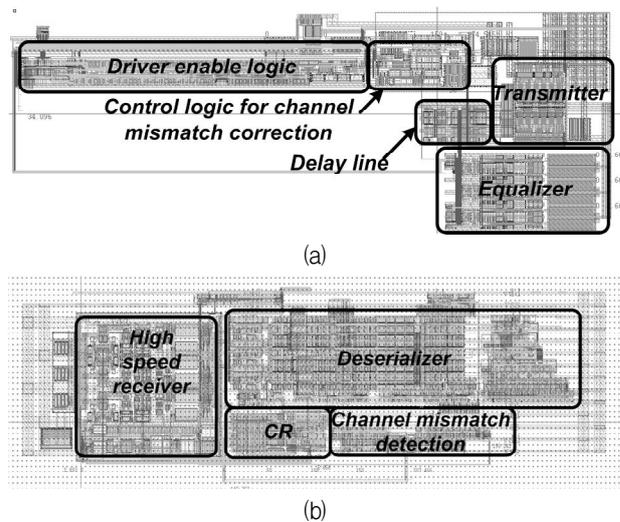
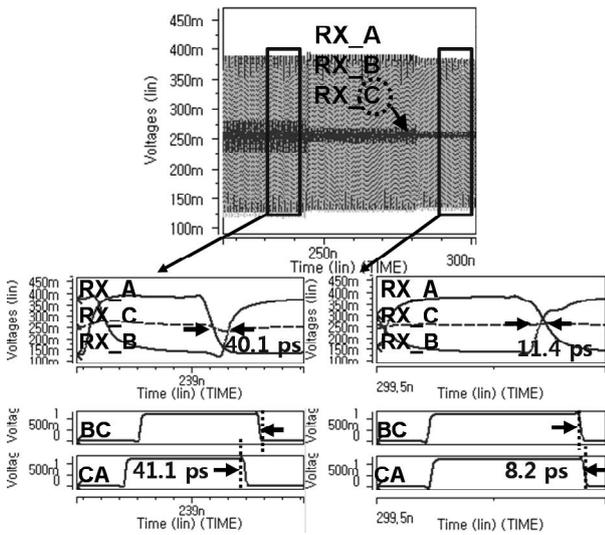


Fig. 8. Layout of designed MIPI C-PHY transceiver (a) transmitter (b) receiver.
 그림 8. 설계된 MIPI C-PHY 송수신기의 레이아웃 (a) 송신기 (b) 수신기

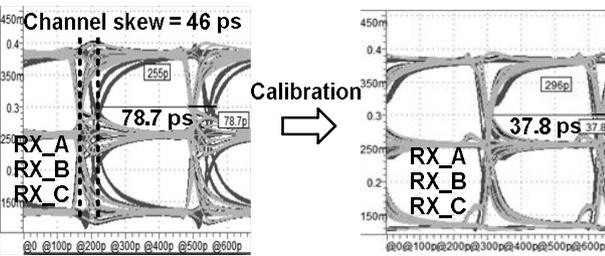
II. 채널 부정합 보정 회로를 위한 송수신기 설계 및 시뮬레이션 검증

채널 부정합 보정 회로를 가진 3-GSymbol/s/lane MIPI C-PHY 송수신기가 1.2 V 공급 전압의 65 nm complementary metal-oxide-semiconductor (CMOS) 공정을 사용하여 설계되었다. 각 송수신기 레인의 면적과 전력소모는 각각 0.136 mm²와 17.4 mW/GSymbol/s이다. 그림 8은 설계된 채널 부정합 보정 회로를 가진 MIPI C-PHY 송신기와 수신기의 레이아웃이다. 채널 부정합 보정을 위해 송신기와 수신기에 추가된 면적은 각각 0.0062 mm²와 0.0025 mm²이다.

채널 부정합 보정 회로의 검증을 위해 인터페이스 속도는 3-GSymbol/s일 때, 채널에 따른 부정합은 채널 A, C의 길이가 10.6 cm, 채널 B의 길이가 10 cm일 때와 채널 A, C의 길이가 10 cm, 채널 B의 길이가 10.6 cm인 두 가지의 경우에 대해 시뮬레이션을 진행하였다. 설계된 송신기에는 기본적인 고속 송신 동작을 위한 3-레벨 신호를 구동하기 위한 드라이버, 각 채널에 지연 회로, 채널 부정합 교정을 위한 제어 회로가 있다. 수신기에 기본적인 고속 수신 동작을 위한 3-레벨 신호를 수신하기 위한 3 개의 수신 회로 및 채널 부정합 검출 회로가 있다. 그림 9(a)는 채널 A, C의 길이가 10 cm, 채널 B의 길이가 10.6 cm일 때 채널 부정합 시뮬레이션



(a)

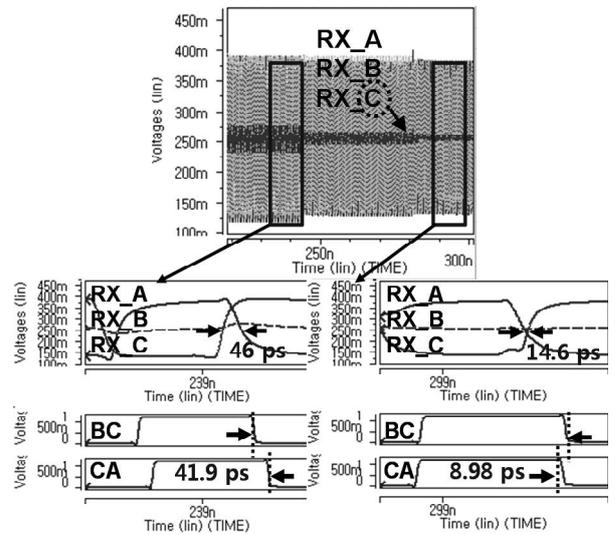


(b)

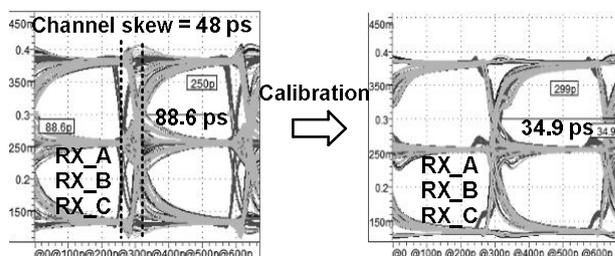
Fig. 9. Simulation results of channel mismatch correction @ 3-GSymbol/s/lane, lengths of channel A, B, and C : 10 cm, 10.6 cm, 10 cm (a) channel mismatch correction process using pre-determined data pattern (b) eye diagram before and after channel mismatch correction.

그림 9. 채널 부정합 보정의 시뮬레이션 결과 @ 3-GSymbol/s/lane, channel A, B, C의 길이 : 10 cm, 10.6 cm, 10 cm (a) pre-determined data pattern을 이용한 채널 부정합 보정 과정 (b) 채널 부정합 보정 전과 후의 아이 다이어그램

이다. 3-레벨 입력신호에서 채널 B의 신호의 지연으로 인한 시간 스큐는 40.1 ps이고 3-레벨 입력신호를 CMOS 레벨로 변환하였을 때 CA 보다 BC가 지연되어 41.1 ps의 위상 차이가 발생하였다. 채널 부정합으로 나타난 스큐가 수신기를 통과하여 CMOS레벨에서도 나타났다. 채널 부정합 보정 후 3-레벨 입력신호의 시간 스큐는 11.4 ps로 줄었으며, CMOS 레벨 데이터의 시간 스큐도 8.2 ps로, 채널 부정합으로 나타나는 시간 스큐가 감소되었다. 그림 9(b)는 3-레벨 입력신호를 pseudo random bit sequence (PRBS)의 데이터로 공급했을 때의 수신기에서의 나타나는 신호의 아이 다이어그램이



(a)



(b)

Fig. 10. Simulation results of channel mismatch correction @ 3-GSymbol/s/lane, lengths of channel A, B, and C : 10.6 cm, 10 cm, 10.6 cm (a) channel mismatch correction process using pre-determined data pattern (b) eye diagram before and after channel mismatch correction.

그림 10. 채널 부정합 보정의 시뮬레이션 결과 @ 3-GSymbol/s/lane, channel A, B, C의 길이 : 10.6 cm, 10 cm, 10.6 cm (a) pre-determined data pattern을 이용한 채널 부정합 보정 과정 (b) 채널 부정합 보정 전과 후의 아이 다이어그램

다. 채널 B의 길이 증가로 인한 시간 스큐는 46 ps이고, 이 때 시간 스큐와 ISI로 나타나는 시간 지터의 합은 78.7 ps이다. 채널 부정합 보정 후에는 입력 데이터의 시간 지터는 37.8 ps로 채널 부정합으로 인한 스큐가 감소하여 시간 스큐와 시간 지터의 합이 감소되었다.

그림 10(a)는 채널 A와 C가 10.6 cm, 채널 B가 10 cm일 때 채널 부정합에 대한 시뮬레이션 결과이다. 3-레벨 입력신호에서 채널 A와 C의 지연으로 인한 시간 스큐는 46 ps이고, 3-레벨 입력신호를 CMOS 레벨로 변환하였을 때 BC 보다 CA가 지연되어 41.9 ps의 위상 차이가 발생한다. 채널 부

Table 1. Performance summary of proposed MIPI C-PHY transceiver.

표 1. 제안된 MIPI C-PHY 송수신기의 특성 요약.

Item		Contents
Application		MIPI C-PHY ver. 1.1
Main function		transmit, receive, channel mismatch correction
Technology		65 nm CMOS
Supply		1.2 V
Data rate		3 Gsymbol/s/lane (6.84 Gb/s/lane)
Time jitter	before cor.	88.6 ps
	after cor.	34.9 ps
Active area		0.136 mm ²
Power consumption		17.4 mW/GSymbol/s

정합 보정 후 3-레벨 입력신호의 시간 스큐는 14.6 ps이고 CMOS 레벨 데이터의 스큐는 CA가 BC보다 8.98 ps로 위상에 앞서 위치한다. 채널 부정합으로 나타나는 시간 스큐가 감소하였다. 그림 10(b)는 3-레벨 입력신호를 PRBS의 데이터로 송신했을 때 수신기에서의 나타나는 신호의 아이 다이어그램이다. 채널 A와 C의 길이 증가로 인한 시간 스큐는 48 ps이고, 이 경우 시간 스큐와 ISI로 나타나는 지터의 합은 88.6 ps이다. 채널 부정합 보정 후에는 데이터의 시간 지터는 34.9 ps로 채널 부정합으로 인한 스큐가 감소하여 스큐와 지터의 합이 감소되었다. 표 1은 제안하는 MIPI C-PHY 송수신기의 특성을 보여준다.

IV. 결론

3개의 채널을 이용하는 MIPI C-PHY의 채널 길이에 따른 부정합을 보정하기 위한 채널 부정합 보정 회로가 1.2 V 공급 전압을 이용하는 65 nm CMOS 공정에서 3-GSymbol/s/lane의 전송속도를 가지는 MIPI C-PHY 송수신기와 함께 설계되었다. 제안된 채널 부정합 보정 회로는 채널 A, C와 채널 B 길이의 차이를 회로적인 시간 지연을 통해 보정하였다. 이를 통해 채널 길이의 차이로 인해 발생하는 시간 스큐를 줄이고 복원되는 클록의 듀티 사이클을 50%로 유지하도록 하였다. 또한, 수신기에서

데이터의 스큐가 줄기 때문에 복원되는 클록과 데이터의 시간 여유를 안정적으로 가지도록 하였다.

References

- [1] J.-H. Kim, D. Oh, R. Kollipara, J. Wilson, S. Best, T. Giovannini, I. Shaeffer, M. Ching, and C. Yuan, "Challenges and Solutions for Next Generation Main Memory Systems," in *Proc. IEEE 18th Topic. Meeting Electr. Performance of Electron. Packag. Syst.*, pp.93-96, 2009. DOI: 10.1109/EPEPS.2009.5338468
- [2] *MIPI Alliance Specification for C-PHY version 1.0*, MIPI Alliance, Aug. 2014.
- [3] *MIPI Alliance Specification for C-PHY version 1.1*, MIPI Alliance, Oct. 2015.
- [4] F. D. Mbairi, W. P. Siebert, and H. Hesselbom, "High-frequency Transmission Lines Crosstalk Reduce Using Spacing Rules," *IEEE Trans. Compon. Packag. Technol.*, vol.31, no.3, pp.601-610 2008. DOI: 10.1109/TCAPT.2008.2001163
- [5] J.-W. Han, P.-H. Lee, Y.-W. Kim, S.-D. Kim, J.-W. Park, and Y.-C. Jang, "A Clock recovery for 2.56 Gsymbol/s MIPI C-PHY receiver," in *Proc. ISOCC*, pp. 246-267, 2018. DOI: 10.1109/ISOCC.2017.8368876
- [6] J. Buckwalter and A. Hajimiri, "A 10Gb/s data-dependent jitter equalizer," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp.39-42, 2004. DOI: 10.1109/CICC.2004.1358728
- [7] S.-J. Bae, H.-J. Chi, Y.-S. Sohn, and H.-J. Park, "A VCDL-based 60-760 MHz Dual-Loop DLL with Infinite Phase Shift Capabilty and Adaptive Bandwidth Scheme," *IEEE JSSC*, vol.40, no.5, pp.1119-1129, 2005. DOI: 10.1109/JSSC.2005.845989
- [8] P.-H. Lee, H.-Y. Lee, Y.-W. Kim, H.-Y. Hong, and Y.-C. Jang, "A 10-Gbps receiver bridge chip with deserializer for FPGA-based frame grabber supporting MIPI CIS-2," *IEEE Trans. on Consumer Electronics*, vol.63, no.3, pp.209-215, 2017. DOI: 10.1109/TCE.2017.014908

BIOGRAPHY

Seokwon Choi (Member)

2018 : BS degree in School of Electronic Engineering, Kumoh National Institute of Technology.
 2018 : pursuing MS degree in Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology.

Chang min Song (Member)

2019 : BS degree in School of Electronic Engineering, Kumoh National Institute of Technology.
 2019 : pursuing MS degree in Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology.

Young-Chan Jang (Member)

1999 : BS degree in School of Electrical Engineering, Kyungpook National University.
 2001 : MS degree in Department of Electronic Engineering, Pohang University of Science and Technology.

2005 : Ph. D. degree in Department of Electronic Engineering, Pohang University of Science and Technology.
 2005~2009 : Senior Engineer, Memory Division, Samsung Electronics.
 2009~2019 : Professor, School of Electronic Engineering, Kumoh National Institute of Technology