

# 팬아웃 웨이퍼 레벨 패키징 공정 중 재료 물성의 불확실성이 휨 현상에 미치는 영향

김금택<sup>1</sup> · 강기훈<sup>1</sup> · 권대일<sup>2,†</sup>

<sup>1</sup>울산과학기술원 기계항공 및 원자력 공학부

<sup>2</sup>건국대학교 기계공학부

## Effect of Material Property Uncertainty on Warpage during Fan Out Wafer-Level Packaging Process

Geumtaek Kim<sup>1</sup>, Gihoon Kang<sup>1</sup>, and Daeil Kwon<sup>2,†</sup>

<sup>1</sup>School of Mechanical, Aerospace and Nuclear Engineering, UNIST, 50, UNIST-gil, Eonyang-eup, Ulju-gun, Ulsan 44919, Korea

<sup>2</sup>Department of Mechanical Engineering, Konkuk University, 120, Neungdong-ro, Gwangjin-gu, Seoul 05029, Korea

(Received March 4, 2019; Corrected March 26, 2019; Accepted on March 29, 2019)

**초 록:** 전자패키지 크기의 소형화와 전자기기의 성능 향상이 함께 이루어지면서 높은 입출력 밀도 구현이 중요한 요소로서 평가받고 있다. 이를 구현하기 위해 팬아웃 웨이퍼 레벨 패키징(FO-WLP)이 큰 주목을 받고 있다. 하지만 FO-WLP는 휨(Warpage) 현상에 취약하다는 약점이 있다. 휨 현상은 생산 수율 감소와 더불어 패키지 신뢰성 하락에 큰 원인 이므로 이를 최소화하는 것이 필수적이다. 유한요소해석을 이용한 재료의 물성 등 FO-WLP의 휨 현상과 연관된 요소에 대한 많은 연구가 진행되어 왔지만, 대부분의 연구는 이러한 요소들의 불확실성을 고려하지 않았다. 재료의 물성, 칩의 위치 등 패키지의 휨 현상과 연관된 요소들은 제조 측면에서 보았을 때 불확실성을 가지고 있기 때문에, 실제 결과와 더 가깝게 모사하기 위해서는 이러한 요소들의 불확실성이 고려되어야 한다. 이번 연구에서는 FO-WLP 공정 중 칩의 탄성 계수가 정규 분포를 따르는 불확실성을 가졌을 때 휨 현상에 미치는 영향을 유한요소해석을 통해 알아보았다. 그 결과 칩의 탄성 계수의 불확실성이 최대 von Mises 응력에 영향을 미치는 것을 확인하였다. Von Mises 응력은 전체 패키지 신뢰성과 관련된 인자이기 때문에 칩의 물성에 대한 불확실성 제어가 필요하다.

**Abstract:** With shrinking form factor and improving performance of electronic packages, high input/output (I/O) density is considered as an important factor. Fan out wafer-level packaging (FO-WLP) has been paid great attention as an alternative. However, FO-WLP is vulnerable to warpage during its manufacturing process. Minimizing warpage is essential for controlling production yield, and in turn, package reliability. While many studies investigated the effect of process and design parameters on warpage using finite element analysis, they did not take uncertainty into consideration. As parameters, including material properties, chip positions, have uncertainty from the point of manufacturing view, the uncertainty should be considered to reduce the gap between the results from the field and the finite element analysis. This paper focuses on the effect of uncertainty of Young's modulus of chip on fan-out wafer level packaging warpage using finite element analysis. It is assumed that Young's modulus of each chip follows the normal distribution. Simulation results show that the uncertainty of Young's modulus affects the maximum von Mises stress. As a result, it is necessary to control the uncertainty of Young's modulus of silicon chip since the maximum von Mises stress is a parameter related to the package reliability.

**Keywords:** Fan out wafer level package, Warpage, Uncertainty, Finite element analysis

## 1. 서 론

최근 스마트폰, 태블릿과 같은 소형 전자기기 시장의 성장으로 팬아웃 웨이퍼 레벨 패키징 (FO-WLP)이 많은 주목을 받고 있다. FO-WLP는 전자기기의 소형화와 고성

능화 수요를 만족할 수 있는 높은 입출력 밀도를 가지고 있을 뿐만 아니라 얇은 두께, 높은 방열 성능 등의 장점을 가지고 있다.<sup>1)</sup> 하지만, FO-WLP는 웨이퍼의 휨 현상, die shift 등에 취약하다는 한계점을 가지고 있다.<sup>2,3)</sup> 웨이퍼의 휨 현상의 주 원인은 패키지를 구성하는 재

<sup>†</sup>Corresponding author

E-mail: [dkwon@konkuk.ac.kr](mailto:dkwon@konkuk.ac.kr)

© 2019, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

료 간 열팽창계수(Coefficient of Thermal Expansion, CTE)의 차이인데, 휨 현상이 심할 경우 재배선층(Redistribution layer, RDL)의 접착을 약화시켜 결과적으로 수율 감소, 패키지 신뢰성 하락 등을 야기하기 때문에 휨 현상을 최소화 하는 것이 중요하다.<sup>4)</sup> 이를 위해 재료의 물성, 몰드의 두께 등 휨 현상과 연관된 파라미터가 휨에 미치는 영향에 대한 많은 연구가 진행되어왔다.<sup>5-11)</sup>

하지만 많은 유한요소해석 연구는 제조 과정 중 오차 등의 이유로 발생하는 파라미터의 불확실성을 고려하지 않았다. 파라미터의 불확실성을 고려한다는 것은 설계의 불확실한 측면을 포함할 수 있기 때문에 보다 현실적인 신뢰성 평가를 가능하게 한다.<sup>12)</sup> 이에 최근 토목, 자동차 등 여러 분야에서 불확실성을 고려한 유한요소해석을 진행하고 있다.<sup>13-15)</sup>

본 연구에서는 유한요소해석을 이용하여 FO-WLP 과정 중 재료의 물성이 불확실성을 가졌을 때 웨이퍼에 미치는 영향을 알아보았다. 실제 공정에서 사용되는 소재가 다양한 정밀도를 가지고 공급되는 것을 가정하여 각 실리콘 칩의 탄성 계수가 총 네 가지 경우의 정규 분포를 따라 무작위로 선정되었다고 가정하였다. 각 경우에 대해 총 50번의 시뮬레이션을 진행하였으며, 시뮬레이션마다 휨의 크기와 최대 von Mises 응력을 측정하였다. 불확실성을 고려했을 때의 결과와 고려하지 않았을 때의 결과 비교를 통해 불확실성이 휨 현상에 미치는 영향을 알아보았다.

### 2. 팬아웃 웨이퍼 레벨 패키지

Fig. 1은 FO-WLP 방법 중 Chip-first, face-down FO-WLP 공정을 간소화한 그림이다.<sup>16)</sup> 먼저 칩이 pick and place 과정을 통해 프레임에 올려진다. 이때 칩은 thermal release tape를 통해 프레임 위에 부착되어진다. 이후 epoxy molding compound (EMC) 도포 후 몰딩 과정을 거친 후, 프레임을 제거한다. 제거된 프레임으로 노출된 칩의 면위로 RDL 조립과 Bumping 공정을 통해 회로를 구성한 후 각 패키지를 절단하는 것으로 전체 공정은 마무리가 된다. 본 연구에서는 EMC 몰딩 후 프레임을 제거한 이후 상태를 모사하였다.

### 3. 유한요소해석

Fig. 2는 프레임이 제거된 이후 웨이퍼의 모습을 도식으로 나타낸 것이다. 칩 위로 몰딩된 EMC에 의해 9×9 mm<sup>2</sup> 크기의 칩 총 232개가 고정되어 있으며 몰딩과 칩의 두께는 각 600 μm, 180 μm이다. 패키지 사이즈는 15×15 mm<sup>2</sup>로 칩과 칩 사이의 간격은 6 mm이다. 칩의 불확실성이 미치는 영향을 잘 확인하기 위해 칩의 두께와 전체 몰드의 두께의 비는 휨 현상이 가장 크게 발생한 0.3을 사용하였다.<sup>6)</sup>

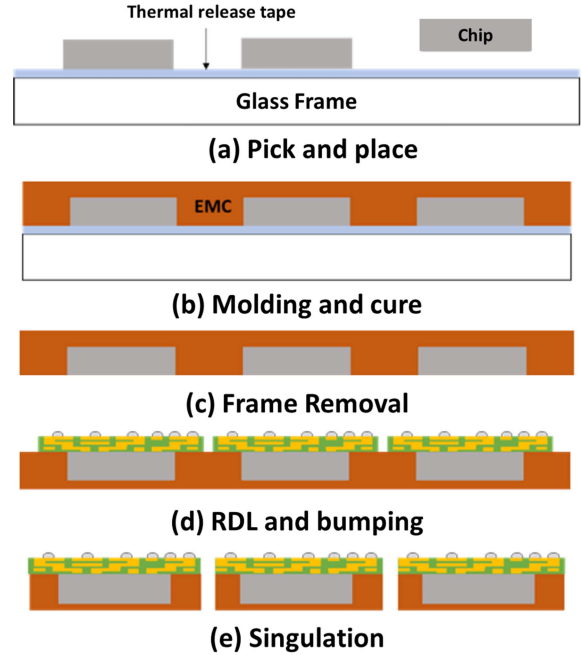


Fig. 1. Process flow for chip first FO-WLP.

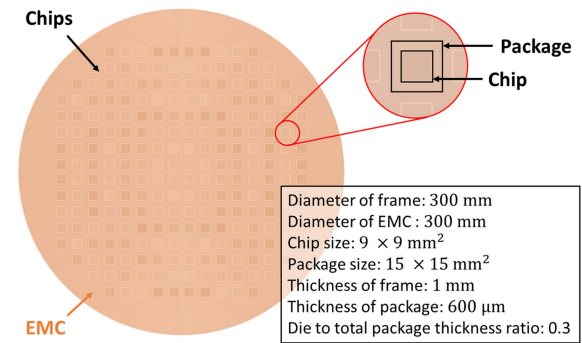


Fig. 2. Model structure.

Fig. 3는 본 유한요소해석에서 사용된 모델을 보여준다. 계산시간의 단축을 위해 1/4 모델을 사용하였으며, 대칭 경계 조건을 적용하였다. 온도 경계조건의 경우 Stress-free 상태를 175°C 로 가정하였으며 상온으로 식혔을 때를 모사하였다.

Table 1과 2는 본 모델에서 사용된 재료의 물성을 보여주고 있다. 사용된 재료의 물성은 참고문헌 (7), (17)을 참고하였다.<sup>7,17)</sup> 실리콘의 탄성 계수의 불확실성을 고려하기 위해 웨이퍼 위의 각 칩의 탄성 계수가 정규 분포를 따른다고 가정하였다. 탄성 계수의 불확실성의 정도가 휨 현상에 미치는 영향을 알아보기 위해 총 네 가지 다른 표준편차를 고려하였으며 자세한 물성은 Table 2와 같다. Table 2에서 탄성 계수의 표준편차는 평균값으로 나눈 후 백분율을 취해 표기하였다. 각 경우 별 총 50회의 유한요소해석을 진행하였다.

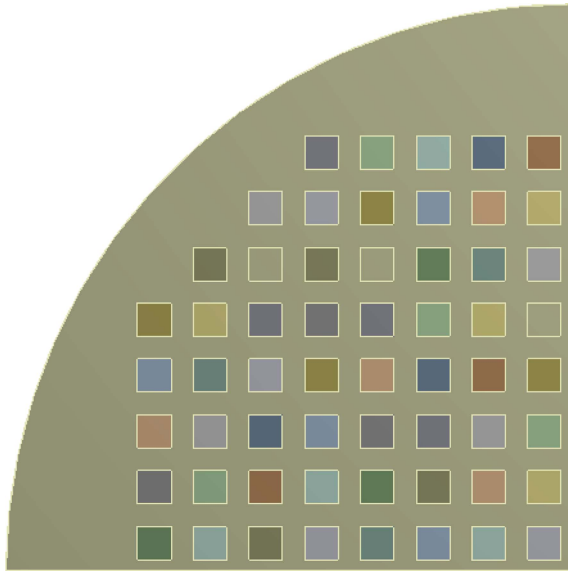


Fig. 3. Finite element model (quarter model).

Table 1. Material properties used in finite element analysis

Material	CTE (ppm/°C)	Young's modulus (GPa)	Poisson's ratio	T <sub>g</sub> (°C)
Mold compound	6.3 (< T <sub>g</sub> ) 28 (> T <sub>g</sub> )	27 (< T <sub>g</sub> ) 0.45 (> T <sub>g</sub> )	0.3	164
Glass frame	7.6	69.3	0.3	-

Table 2. Material properties of silicon

Case	Young's modulus (GPa)		CTE (ppm/°C)	Poisson's ratio
	Mean	Std. Dev.		
1		0		
2	131	2.5%	2.8	0.28
3		5%		
4		7.5%		

### 4. 결과 및 분석

#### 4.1. Warpage

Fig. 4와 Table 3은 각 경우 별 시뮬레이션 시 측정된 휨 크기를 box plot과 표로 나타낸 것이다. 결과 비교의 편의성을 위해 모든 결과는 Case 1의 휨 값의 크기로 정규화하였다. 시뮬레이션 결과 탄성 계수의 불확실성이 커짐에도 휨 크기는 거의 변하지 않음을 확인하였다.

#### 4.2. von Mises 응력

Fig. 5와 Table 4는 시뮬레이션 결과 측정된 최대 von Mises 응력을 Box plot과 표로 나타낸 것이다. 휨 크기와 같은 이유로 모든 결과는 Case 1의 최대 응력 값으로 정규화하였다. 그 결과 탄성 계수의 불확실성이 커짐에 따라 최대 von Mises 응력 크기의 평균이 상승할 뿐만 아니라 표준편차 또한 크게 증가하는 것을 확인하였다.

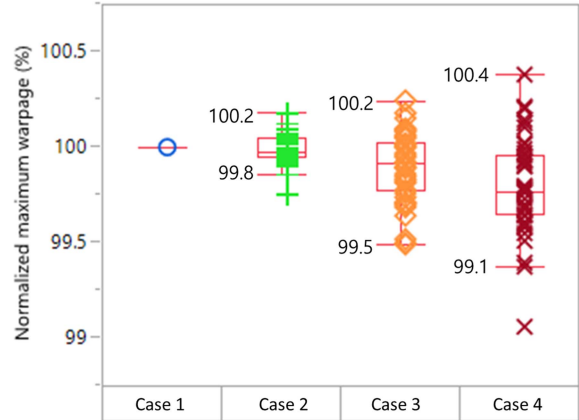


Fig. 4. Normalized maximum warpage (maximum deformation).

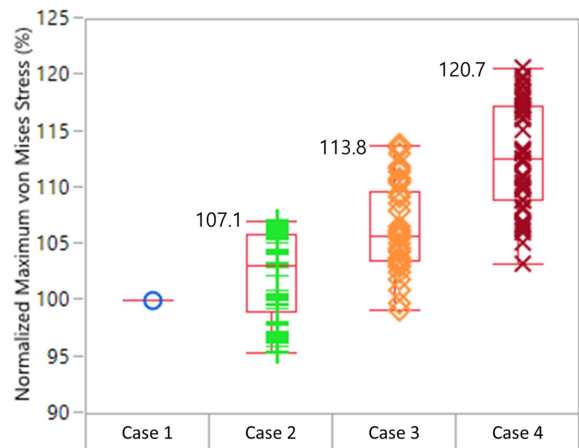


Fig. 5. maximum von Mises stress.

Table 3. Summary of simulation results of warpage

Case	Std. dev.	Normalized warpage (%)			
		Max.	Min.	Average	Std. dev.
1	0	100	100	100	0
2	2.5%	100.2	99.8	100.0	0.08
3	5%	100.2	99.5	99.9	0.2
4	7.5%	100.4	99.1	99.8	0.2

Table 4. Summary of simulation results of von Mises stress

Case	Std. dev.	Normalized warpage (%)			
		Max.	Min.	Average	Std. dev.
1	0	100	100	100	0
2	2.5%	107.1	95.4	102.3	0.08
3	5%	113.8	99.1	106.4	0.2
4	7.5%	120.7	103.3	112.7	0.2

라 표준편차 또한 크게 증가하는 것을 확인하였다. Fig. 6는 4번 경우의 시뮬레이션 결과 중 하나를 나타낸다. 응력의 크기는 탄성 계수와 변형률에 의해 결정되

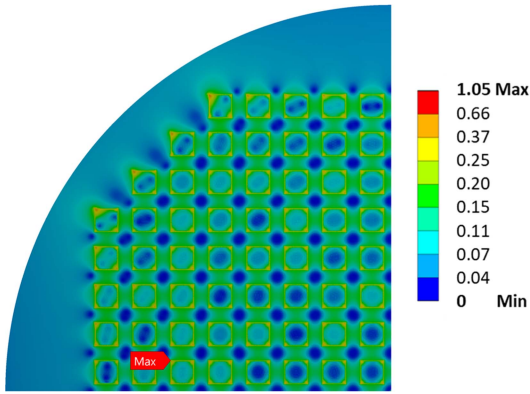


Fig. 6. Stress contour for one of simulations in case 4.

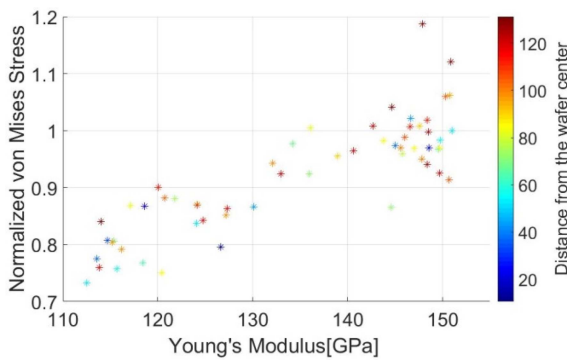


Fig. 7. Relationship among Young's Modulus, von Mises stress and the distance from the wafer center.

기 때문에 불확실성을 고려하지 않았을 때 최대 von Mises 응력은 변형률이 가장 큰 항상 가장자리의 칩에서 관찰된다. 하지만 불확실성이 고려되었을 때 최대 von Mises 응력은 웨이퍼 가장자리에 위치하지 않은 칩에서도 관찰이 되는 것을 확인하였다.

Fig. 7은 칩의 탄성 계수와 최대 응력, 그리고 웨이퍼 중심으로부터의 거리 간 관계를 알아보기 위해 Fig. 6의 시뮬레이션 결과를 그래프로 나타낸 것이다. 그 결과 최대 응력은 거리에 상관없이 탄성 계수와 양의 상관관계를 가지지만, 거리와 큰 상관관계를 가지지 않는 것을 확인하였다. 이를 통해 최대 응력은 웨이퍼 중심으로부터 칩까지의 거리보다 탄성 계수의 크기에 더 지배적인 영향을 받음을 확인하였다.

일반적으로 반도체 패키지의 신뢰성과 가장 밀접한 인자로서 사용되는 인자는 휨 크기이다. 휨 크기는 항상 웨이퍼의 가장자리에서 측정이 되기 때문에 일반적으로 웨이퍼 가장자리에서 발생하는 현상에 초점을 맞춘다. 하지만 최대 von Mises 응력의 경우 웨이퍼 가장자리에 위치하지 않은 칩에서도 관찰이 됨을 확인하였다. 최대 von Mises 응력은 크랙 발생과 밀접한 관계가 있기 때문에 특히 웨이퍼의 가장자리뿐만 아니라 내부 또한 면밀히 분석할 필요가 있다. 또한 탄성 계수와 스트레스 사이의 관

계를 통해 탄성 계수가 다른 칩에 비해 큰 칩이 수율 저하 및 패키지 신뢰성 하락에 영향을 줄 수 있음을 확인하였다.

## 5. 결 론

본 연구에서는 FO-WLP의 과정 중 칩의 탄성 계수의 불확실성이 웨이퍼에 미치는 영향에 대해 유한요소해석을 진행하였다. 그 결과 탄성 계수의 불확실성이 휨 현상의 크기에는 큰 영향을 미치지 않는 것을 확인하였다. 하지만 탄성 계수의 불확실성은 최대 von Mises 응력분포에 영향을 끼치고, 양의 상관관계를 갖는 것을 확인하였다.

탄성 계수의 불확실성을 고려하지 않았을 때, 최대 von Mises 응력은 항상 웨이퍼 가장자리의 칩에서 관찰되었고 이는 일반적인 휨 현상의 경향과 동일하다. 하지만 탄성 계수의 불확실성이 고려되었을 때 가장자리가 아닌 칩에서도 최대 응력이 관찰될 수 있음을 확인하였다. Von Mises 응력은 칩과 EMC 사이의 크랙을 유발하는 인자이기 때문에 전체 패키지 신뢰성 조사 시 휨의 크기뿐만 아니라 모든 칩에서의 von Mises 응력을 분석해야만 한다. 이러한 크랙 발생 가능성을 줄이기 위해서는 칩 탄성 계수의 불확실성에 대한 정밀한 제어가 필요하다.

칩뿐만 아니라 다른 재료의 탄성 계수, 나아가 CTE와 같은 다른 물성, 패키징 공정에서의 설비 공차 등의 불확실성을 고려한 연구를 향후 연구로 계획하고 있으며, 나아가 향후 소재 물성의 연성을 고려한 해석을 통해 제조 현장에서 얻는 결과와 더욱 가까운 유한요소해석 결과를 얻을 수 있을 것으로 기대한다.

## 감사의 글

본 연구는 2017년도 정부(교육부)의 재원으로 한국연구재단의 지원(NRF-017R1D1A1B03028604)으로 수행되었습니다.

## References

1. M. Brunnbauer, E. Fürgut, G. Beer, and T. Meyer, "Embedded wafer level ball grid array (eWLB)", Proc. 8th Electronics Packaging Technology Conference, 1, IEEE (2006).
2. S. C. Chong, C. H. Khong, K. L. C. Sing, D. H. S. Wee, C. T. W. Liang, V. L. W. Sheng, K. H. Joon, J. Lee, and V. S. Rao, "Process challenges and development of eWLP", Proc. 12th Electronics Packaging Technology Conference, 527, IEEE (2010).
3. S. Shin, M. Park, S. E. Kim, and S. Kim, "Effects of Wafer Warpage on the Misalignment in Wafer Level Stacking Process", J. Microelectron. Packag. Soc., 20(3), 71 (2013).
4. J. Lau, "Warpage Issues in Fan-Out Wafer Level Packaging" 3DInCites, (Jun. 26, 2017) from <https://www.3dincites.com/>
5. M. K. Lee, J. W. Jeoung, J. Y. Ock, and S.-H. Choa, "Numer-

- ical Analysis of Warpage and Reliability of Fan-out Wafer Level Package”, *J. Microelectron. Packag. Soc.*, 21(1), 31 (2014).
6. G. T. Kim and D. Kwon, “Warpage Analysis during Fan-Out Wafer Level Packaging Process using Finite Element Analysis”, *J. Microelectron. Packag. Soc.*, 25(1), 41 (2018).
  7. J. H. Lau, M. Li, D. Tian, N. Fan, E. Kuah, W. Kai, M. Li, J. Hao, Y. M. Cheung, and Z. Li, “Warpage and thermal characterization of fan-out wafer-level packaging”, *IEEE Transactions on Components, Packaging Manufacturing Technology*, 7(10), 1729 (2017).
  8. A. Salahouelhadj, M. Gonzalez, A. Podpod, K. Rebibis, and E. Beyne, “Study of the influence of material properties and geometric parameters on warpage for Fan-Out Wafer Level Packaging”, *Proc. 7th Electronic System-Integration Technology Conference (ESTC)*, 1, IEEE (2018).
  9. P. B. Lin, C.-T. Ko, W.-T. Ho, C.-H. Kuo, K.-W. Chen, Y.-H. Chen, and T.-J. Tseng, “A Comprehensive Study on Stress and Warpage by Design, Simulation and Fabrication of RDL-First Panel Level Fan-Out Technology for Advanced Packaging”, *Proc. 67th Electronic Components and Technology Conference (ECTC)*, 1413, IEEE (2017).
  10. S.-S. Deng, S.-J. Hwang, and H.-H. Lee, “Warpage prediction and experiments of fan-out waferlevel package during encapsulation process”, *IEEE Transactions on Components, Packaging Manufacturing Technology*, 3(3), 452 (2013).
  11. T.-C. Chiu and E.-Y. Yeh, “Warpage simulation for the reconstituted wafer used in fan-out wafer level packaging”, *Microelectronics Reliability*, 80, 14 (2018).
  12. D. Moens and M. Hanss, “Non-probabilistic finite element analysis for parametric uncertainty treatment in applied mechanics: Recent advances”, *Finite Elements in Analysis Design*, 47(1), 4 (2011).
  13. C. Wang, Z. Qiu, and Y. Li, “Hybrid uncertainty propagation of coupled structural-acoustic system with large fuzzy and interval parameters”, *Applied Acoustics*, 102, 62 (2016).
  14. H. Turnbull and P. Omenzetter, “Comparison of two optimization algorithms for fuzzy finite element model updating for damage detection in a wind turbine blade”, in *Nondestructive Characterization and Monitoring of Advanced Materials, Aerospace, Civil Infrastructure, and Transportation XII*, 10599, 105991Q, International Society for Optics and Photonics (2018).
  15. F. Lara-Molina, E. Koroishi, and V. Steffen, “Uncertainty analysis of a two-link robot manipulator under fuzzy parameters”, *Proc. Joint Conference on Robotics: SBR-LARS Robotics Symposium and Robocontrol*, 1, IEEE (2014).
  16. J. H. Lau, N. Fan, and M. Li, “Design, material, process, and equipment of embedded fan-out wafer/panel-level packaging”, *Chip Scale Review*, 20(3), 38 (2016).
  17. F. X. Che, D. Ho, M. Z. Ding, and X. Zhang, “Modeling and design solutions to overcome warpage challenge for fan-out wafer level packaging (FO-WLP) technology”, *Proc. 17th Electronics Packaging and Technology Conference*, 1, IEEE (2015).