

Analysis of Potential Risks for Garbage Collection and Wear Leveling Interference in FTL-based NAND Flash Memory

Sungho Kim*, Jong Wook Kwak*

Abstract

This paper presents three potential risks in an environment that simultaneously performs the garbage collection and wear leveling in NAND flash memory. These risks may not only disturb the lifespan improvement of NAND flash memory, but also impose an additional overhead of page migrations. In this paper, we analyze the interference of garbage collection and wear leveling and we also provide two theoretical considerations for lifespan prolongation of NAND flash memory. To prove two solutions of three risks, we construct a simulation, based on DiskSim 4.0 and confirm realistic impacts of three risks in NAND flash memory. In experimental results, we found negative impacts of three risks and confirmed the necessity for a coordinator module between garbage collection and wear leveling for reducing the overhead and prolonging the lifespan of NAND flash memory.

▶ Keyword: NAND Flash Memory, Wear Leveling, Garbage Collection, Lifespan, Interference Risk

I. Introduction

최근 들어 낸드 플래시 메모리는 메모리 반도체 시장에서 호황을 맞이하고 있다. 낸드 플래시 메모리는 기존의 마그네틱 디스크와 달리 메모리 반도체를 이용하여 데이터를 저장한다. 따라서 낸드 플래시 메모리는 마그네틱 디스크와 비교하여 낮은 지연시간, 낮은 대기전력과 같은 장점과 아울러, 랜덤/순차 연산의 대칭, 읽기/쓰기 연산의 비대칭 등 다양한 특성들을 내포하고 있다. 세계 반도체 추세에 대한 통계 기관인 Statista 에 따르면, 낸드 플래시 메모리는 2022년도까지 연 평균 33.9% 이상 성장할 것으로 내다보고 있다 [1]. 특히 낸드 플래시 메모리는 3D 기술의 출현과 상품화를 통해 보다 더 높은 직접도를 가져왔으며, 이로 인해 낸드 플래시 메모리는 점진적으로 마그네틱 디스크 시장을 잠식하고 있다[2]. 이러한 추세로 인해 낸드 플래시 메모리는 스마트폰, IoT 장치, SSD(Solid State Drive)와 같은 산업 전반에 걸쳐서 사용이 증가하고 있다.

그러나 낸드 플래시 메모리는 이러한 다양한 장점들을 가지고 있지만, 기존의 저장 매체와 다른 몇 가지 특수한 성질들을 가지고 있다[3]. 먼저 낸드 플래시 메모리는 페이지 연산과 블록 연산이라

는 두 가지 서로 다른 연산 단위로 구성되어 있다. 페이지(page)는 연산을 수행하는 최소 단위로서 읽기와 쓰기 연산에 해당한다. 블록(block)은 다수의 고정된 페이지들의 묶음으로 구성하는 단위로서, 소거 연산을 수행하는 단위이다. 또한 낸드 플래시 메모리는 이미 데이터가 존재하는 페이지에 대한 쓰기 연산이 불가능하며, 쓰기 연산을 수행하기 위해서는 소거 연산을 선행해야 한다는 특성이 있다. 또한 낸드 플래시 메모리는 기존의 마그네틱 디스크와 비교하여 낮은 수명을 가지고 있다. 이러한 낮은 수명 문제는 3D 낸드 플래시 메모리와 자가 치유(self healing)와 같은 기술적인 발전을 통해 점차 극복되어 가고 있지만, 여전히 낸드 플래시 메모리의 수명 문제는 산업이나 학계에서 중요한 연구 주제이다[2,4].

낸드 플래시 메모리는 이러한 특수한 성질들을 보완하고 해결하기 위해, 플래시 사상 계층(FTL: Flash Translation Layer)이라 불리는 소프트웨어 계층을 사용한다[5]. 플래시 사상 계층은 주소 매핑 테이블(address mapping table), 가비지 컬렉션(garbage collection), 마모도 평준화(wear leveling)와 같은 핵심 구성 요소

• First Author: Sungho Kim, Corresponding Author: Jong Wook Kwak
*Sungho Kim (boca123@ynu.ac.kr), Dept. of Computer Engineering, Yeungnam University
*Jong Wook Kwak (kwak@yu.ac.kr), Dept. of Computer Engineering, Yeungnam University
• Received: 2019. 01. 15, Revised: 2019. 03. 18, Accepted: 2019. 03. 18.
• This work was supported by the 2018 Yeungnam University Research Grant.
• This work is the extended reasearch of 2018 KSCI Winter Conference (HC-O-1).

를 가지고 있다. 그 외에도 설계 목적에 따라 암호화, 버퍼 관리, 회복 기법 등을 다양하게 포함할 수 있다[6-7]. 특히 가비지 컬렉션과 마모도 평준화는 낸드 플래시 메모리에서 낮은 수명 문제를 극복하기 위한 핵심 요소에 해당한다[8-9]. 기존의 많은 연구자들은 플래시 사상 계층의 이러한 구성 요소들의 향상을 통해서 낸드 플래시 메모리의 낮은 수명 문제를 해결해 왔다[10-13].

그러나 기존의 연구자들은 낸드 플래시 메모리의 수명을 연장하기 위해 가비지 컬렉션 혹은 마모도 평준화와 같은 단일 기법만을 적용했다. 즉, 기존 연구들은 가비지 컬렉션과 마모도 평준화를 동시에 수행하는 환경과 이러한 두가지 기법들을 동시에 사용하였을 때 존재하는 다양한 문제점들을 고려하지 않았다. 결과적으로 이러한 단일 환경을 기반으로 하는 수명 연장 기법들은 상호 기법들을 동시에 수행하는 환경에서 다양한 위험성들을 초래할 수 있다. 이러한 위험성들을 파악하고 상호 조율할 수 있는 가능성을 제시하는 것은 낸드 플래시 메모리의 추가적인 수명 연장에 기여할 것 이다.

본 연구에서는 가비지 컬렉션과 마모도 평준화를 동시에 수행하는 환경에서 발생할 수 있는 잠재적인 위험성을 세가지 관점에서 파악했다. 첫 번째는 기법들 상호간의 적용으로 인해 특정한 블록만이 집중적으로 마모도가 소모될 수 있는 위험성이다. 가비지 컬렉션과 마모도 평준화의 동시 적용으로 인해 상호 기법들의 내재된 장점을 활용할 수 없는 것이 두 번째 위험성이다. 마지막 위험성은 마모도 평준화를 통해 참여한 블록들의 데이터가 가비지 컬렉션에 불필요한 쓰기를 유발할 수 있는 위험성이다. 기존의 연구자들은 이러한 위험성에 대한 고려가 없었다. 결국 이러한 위험성들은 낸드 플래시 메모리 수명 저하에 직간접적인 원인이 될 수 있다.

본 논문에서는 이러한 위험성들이 발생할 수 있는 상황을 제시하고, 그에 대한 원인들을 서술한다. 이후 제시한 세 가지 위험성들이 낸드 플래시 메모리의 수명 향상 혹은 감소에 초래할 수 있는 영향을 분석한다. 이러한 분석을 기반으로 가비지 컬렉션과 마모도 평준화를 동시에 사용하는 환경에서 적용 가능한 수명 연장의 방향성을 실험 결과 분석을 통해 제시할 것이다.

이하 본 논문의 구성은 다음과 같다. 2장에서는 낸드 플래시 메모리의 배경 지식에 대하여 서술한다. 3장에서는 FTL 기반의 가비지 컬렉션과 마모도 평준화 기법들에 대한 관련 연구들을 언급한다. 4장에서는 가비지 컬렉션과 마모도 평준화를 동시에 수행하는 환경에서 발생할 수 있는 세 가지 위험성들을 제시하고, 이러한 세 가지 위험성들에 대한 이론적인 고찰을 상세하게 제시한다. 5장에서는 실험 결과 분석을 통해 상호 기법들을 동시에 수행하는 세 가지 위험성에 대한 정량적 평가를 진행한다. 마지막 6장에서는 본 논문의 결론을 맺는다.

II. Background

낸드 플래시 메모리(NAND flash memory)는 메모리를 대용량화하기 위해 고안된 방식이다[2]. 이것은 플래시 셀의 배

열을 병렬로 배치하여 플래시 메모리의 용량을 증대시켰다. 그러나 이러한 셀의 배열로 인해 낸드 플래시 메모리는 몇 가지 단점들을 가지게 된다. 낸드 플래시 메모리의 읽기/쓰기 단위는 4-16KB의 페이지로 가능하다. 이는 기존의 마그네틱 디스크와 비교하여 상대적으로 큰 단위에 해당한다. 또한 플래시 셀의 배열 특성상 소거 연산의 단위는 페이지들의 묶음인 블록 단위로 진행되며, 이는 많은 페이지들을 포함하게 된다. 이러한 단점들이 존재함에도 불구하고 낸드 플래시 메모리는 대용량화의 장점이 크기에 기존의 마그네틱 디스크를 대체하는 용도로 사용되고 있다. 이 외에도 낸드 플래시 메모리는 플래시 셀을 다수의 비트로 분리하여 용량을 증대시켰고, 이것을 SLC(Single Level Cell), MLC(Multi Level Cell), TLC(Triple Level Cell)로 구분했다. 다음 표 1은 이러한 셀들의 주요 특징들을 요약하고 있다[14-16].

Table 1. Features of flash cells

Description	SLC	MLC	TLC
read latency	25us	60us	100us
program latency	200us	800us	2.4ms
erase latency	700us	1.5ms	3.0ms
bit per flash cell	1bit	2bit	3bit
endurance	10 ⁵	10 ⁴	10 ³
price per bit	high	low	very low

표 1에서 알 수 있듯이 SLC는 산업 현장에서 데이터의 신뢰성과 빠른 연산 속도를 기반으로 한 시스템에 주로 적용된다. 반면, TLC는 신뢰성 보다는 값싼 가격으로 대용량화 할 수 있는 개인 전용 시스템에 사용한다. MLC는 보편적으로 SLC보다는 느슨한 신뢰성과 연산 속도에 TLC보다는 상대적으로 적은 용량을 요구하는 일반적인 시스템에서 채택한다. 따라서 오늘날 주로 스마트폰, IoT와 같은 장치에서는 MLC가 사용되고, USB, SD 카드, SSD에서는 TLC를 주로 채택한다.

오늘날 낸드 플래시 메모리는 시장과 산업 전반에서 보편적으로 사용되고 있음에도 불구하고 기존의 마그네틱 디스크와 비교하여 몇 가지 특수한 성질을 내포하고 있다[3]. 서론에서 간략히 언급하였지만 이를 정리하면 다음과 같다.

1. 낸드 플래시 메모리는 기존의 읽기와 쓰기 연산 이외에 추가적인 소거 연산이 있다. 또한 연산 단위는 상호 비대칭적인 페이지와 블록 단위로 구성한다. 페이지는 연산의 최소 단위로서 읽기와 쓰기 단위이며, 블록은 페이지들의 묶음으로서 소거 단위에 해당한다.
2. 플래시 셀은 한 번 쓰기 연산을 수행한 후, 소거 연산이 없이는 해당 위치에 다시 쓰기 연산을 진행할 수 없다. 이를 쓰기 전 소거(erase-before-write) 특징이라고 한다.
3. 플래시 셀은 데이터를 쓰고 소거하는 작업을 반복하면서 수명이 단축된다. 이러한 작업을 P/E(program/erase) 사이클이라 한다. 셀의 수명 관리를 효과적으로 수행하기 위한 수명 관리 기법이 필수적이다.

낸드 플래시 메모리 시스템은 이러한 특징을 지원하고 관리하기 위해 소프트웨어 계층인 플래시 사상 계층(FTL: Flash Translation Layer)을 채택하고 있다[5]. 그림 1은 일반적인 플래시 사상 계층의 구조와 주요 구성 요소들을 보여주고 있다.

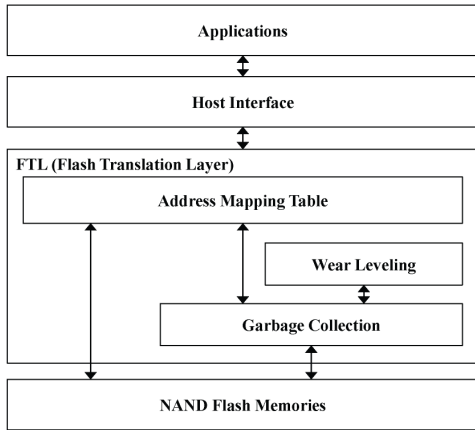


Fig. 1. Major components of a general FTL

플래시 사상 계층은 낸드 플래시 메모리 위에 새로운 소프트웨어 계층으로 구성된다. 이를 통해 낸드 플래시 메모리는 어플리케이션들에게 기존의 마그네틱 디스크와 동일한 환경을 제공하게 된다. 플래시 사상 계층의 주요 구성 요소는 주소 매핑 테이블, 가비지 컬렉션, 마모도 평준화가 대표적이다. 이외에도 플래시 사상 계층은 데이터 신뢰성을 보장하기 위한 암호화 기법, 호스트 인터페이스와 낸드 플래시 메모리 사이 지연시간을 감소하기 위한 버퍼 관리 기법, 낸드 플래시 메모리 상태를 감시하는 모니터링 기법 등의 다양한 추가 모듈이 존재한다[6-7].

주소 매핑 테이블은 쓰기 전 소거 문제를 해결하기 위한 모듈이다[3]. 이를 위해 주소 매핑 테이블은 각 주소를 논리 주소와 물리 주소의 묶음으로 관리한다. 여기서 논리 주소는 어플리케이션에서 전달 받은 주소이며, 물리 주소는 낸드 플래시 메모리의 실질적인 주소이다. 읽기 연산은 단순히 논리 주소에 해당하는 물리 주소를 찾아 데이터를 읽는다. 쓰기 연산은 해당하는 논리 주소에 물리 주소가 존재한다면, 직전 물리 주소를 무효화한다. 이후 쓰기 연산이 이루어지지 않은 낸드 플래시 메모리에 데이터를 쓰고 주소 변환 테이블에 새로운 물리 주소를 기록한다. 이러한 쓰기 연산의 일련의 과정을 외부 자리 갱신(out-place update)이라 부른다. 주소 매핑 테이블은 주소를 매핑하는 단위에 따라 페이지, 블록, 하이브리드 매핑 방식으로 추가 구분이 가능하다.

가비지 컬렉션은 새로운 공간을 확보하기 위한 기법이다[9]. 가비지 컬렉션의 동작은 주소 매핑 테이블과 밀접한 연관성이 있다. 주소 매핑 테이블은 쓰기 연산의 수행에서 직전 물리 주소를 무효화한다. 무효화된 물리 주소는 불필요한 데이터로 취급되지만 낸드 플래시 메모리 내에 여전히 공간을 선점하고 있다. 따라서 이러한 불필요한 데이터를 가지는 공간을 수거하고

새로운 공간을 확보하는 작업이 필수적이다. 이것이 가비지 컬렉션의 목적이다. 하지만 가비지 컬렉션의 수행은 낸드 플래시 메모리의 수명 감소에 직접적인 영향을 준다. 가비지 컬렉션으로 발생하는 소거 연산이 메모리의 수명을 직접적으로 감소시키기 때문이다. 결과적으로 가비지 컬렉션은 새로운 공간을 확보하기 위해 필수적이지만 낸드 플래시 메모리의 수명 감소를 고려하여 신중하게 설계할 필요성이 있다.

마모도 평준화는 가비지 컬렉션의 대상이 되지 않는 블록을 활용하여 낸드 플래시 메모리의 수명을 연장하는 기법이다[9]. 이 기법은 거의 갱신이 이루어지지 않은 데이터들이 점유하는 공간 관리에 초점을 잡았다. 이러한 데이터들의 대표적인 사례는 OS 커널 데이터, 음원 파일, 동영상 파일 등이 있다. 즉 거의 모든 연산이 읽기 집중적이라 할 수 있다. 따라서 이러한 데이터를 가지는 공간들은 다른 공간들과 비교하여 상대적으로 남은 수명이 많을 것이며, 이를 자료의 적절한 재배치를 통해 낸드 플래시 메모리의 전반적인 수명을 연장시킬 수 있다. 하지만 마모도 평준화는 가비지 컬렉션을 통한 공간 확보에 대한 추가적인 오버헤드를 피할 수 없다. 이러한 오버헤드를 감수하더라도 마모도 평준화가 효과적으로 구현된다면 낸드 플래시 메모리의 수명 연장에 기여할 수 있다.

III. Related Works

이 장에서는 플래시 사상 계층 기반의 낸드 플래시 메모리에서 수명을 연장시키는 기법들에 대해 소개한다. 낸드 플래시 메모리에서 수명을 연장하는 기법은 가비지 컬렉션과 마모도 평준화로 구분할 수 있다. 가비지 컬렉션은 공간을 확보하는 기본적인 역할을 수행한다. 즉 최소한 하나 이상의 무효화된 데이터 페이지를 가지는 블록 공간을 확보한다. 마모도 평준화는 갱신이 거의 이루어지지 않은 유효 데이터 공간을 활용하여 수명을 연장하는 기법에 해당한다. 먼저 가비지 컬렉션 연구들에 대해서 서술한 후에 마모도 평준화와 관련된 연구를 소개한다.

GA(Greedy Algorithm)는 가장 대표적인 기본 가비지 컬렉션 기법이다[10]. 이 기법은 최대한의 신규 공간 확보에 중점을 두고 설계되었다. 이러한 목적 아래 GA는 가비지 컬렉션이 발생하였을 경우 가장 많은 무효화 데이터를 가지는 블록들을 확보하는데 주력한다. 그러나 이 기법은 설계 목적상 공간을 확보를 초점으로 두었기 때문에, 특정한 블록들만 집중적으로 수명이 감소하는 문제점이 발생하였다. 이러한 이유로 GA는 공간 확보 면에서는 유리하나 수명 관리에 대한 고려가 없기 때문에 플래시 메모리 시스템에 직접 적용되기에는 문제가 된다.

CB(Cost Benefit)는 메모리의 수명을 연장하기 위해 시간 정보를 활용한다. CB에서 사용한 시간 정보는 가장 오랜 기간 동안 사용하지 않은 블록들을 선정할 수 있도록 한다. 만약 특정한 블록이 오랜 기간 동안에 쓰기 연산에 의해서 갱신이 이

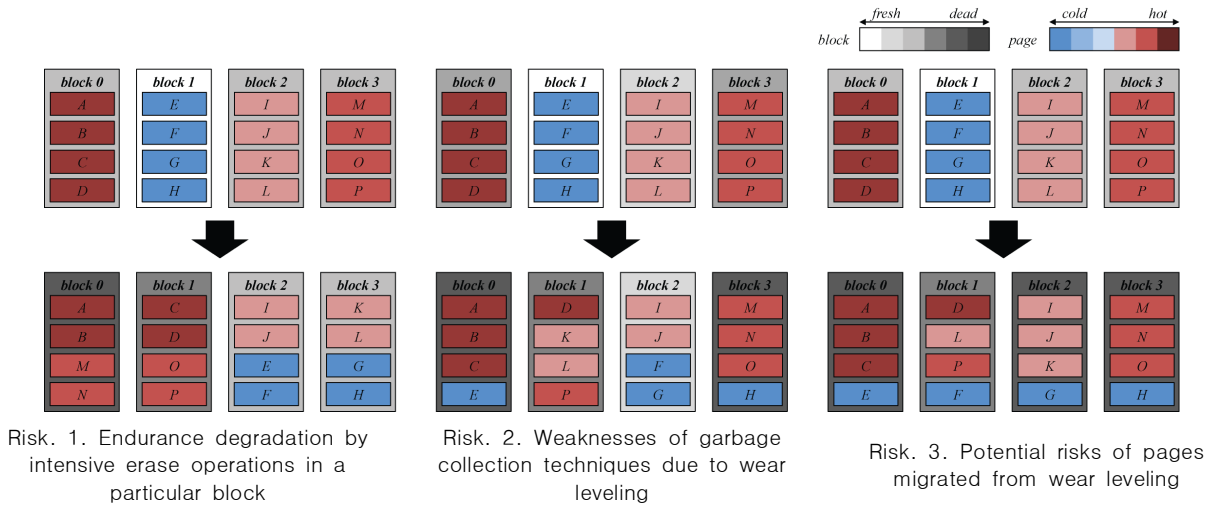


Fig. 2. Potential risks by garbage collection and wear leveling interference

루어지지 않을 경우, CB는 해당 블록들을 가비지 컬렉션 대상 블록으로 선정한다. 이러한 블록들은 다른 블록들과 비교하여 상대적으로 쓰기 연산에 의해서 갱신이 이루어지지 않았기 때문에 블록의 마모도 손상 역시 적은 것이다. 결과적으로 CB는 가비지 컬렉션 대상 블록들의 시간 정보를 활용해 모든 블록들이 고르게 사용될 수 있도록 유도한다. 이를 통해 CB는 낸드 플래시 메모리의 전반적인 수명을 연장시켰다.

SAGC(Swap Aware Garbage Collection)는 기존의 CB와 달리 블록 내에 모든 데이터에 대한 시간 정보를 활용한 가비지 컬렉션 기법이다[12]. SAGC는 블록 내의 각 데이터들에 대하여 무효화가 발생한 명확한 시간을 파악하고, 이를 기반으로 후보 블록들을 선정했다. 또한 이 기법은 다른 기법과 달리 시간 정보와 함께 블록의 마모도 정보를 사용하여 블록 할당 정책을 운영한다. 마모도 정보 기반의 블록 할당 정책은 새로운 블록을 할당하는데 마모도 손상이 적은 블록들을 선정할 수 있도록 유도했다.

한편, SWL(Static Wear Leveling)은 대표적인 마모도 평균화 기법이다[13]. 이 기법은 가비지 컬렉션의 대상으로 선정되지 않은 블록을 활용하는 방법을 처음으로 제안하였다. 이를 위해 SWL은 가비지 컬렉션에서 소거 연산이 발생하였을 경우 이를 기록하는 1비트 테이블을 활용했고, 이것을 BET(Block Erase Table)이라 명명했다. SWL은 BET를 활용하여 가비지 컬렉션에서 소거 연산이 발생하지 않은 비트에 해당하는 블록들을 대상으로 마모도 평균화를 수행했고, 이를 통해 낸드 플래시 메모리 전반의 수명 연장에 기여를 하였다. 하지만, SWL은 초기 설계상 임베디드 장치와 같은 적은 메모리를 내장한 시스템에서의 구현에 초점을 두었기 때문에, 마모도 평균화의 성능 상 일반 시스템으로의 구현을 위한 제약 사항은 피할 수 없다.

IV. Analysis of Potential Risks caused by Garbage Collection and Wear Leveling Interference

1. Potential Risks by Interference

전술한 바와 같이, 기존 연구들은 가비지 컬렉션 혹은 마모도 평균화를 단독으로 수행하여 수명을 연장하는 기법들이다. 하지만, 실제 시스템에서는 이러한 두가지 기법이 동시에 적용되고 있으며, 이러한 기법들을 상호 동시에 적용하였을 경우, 두 정책간의 상호 간섭에 의한 예기치 않은 성능 저하가 발생할 수 있다. 이 장에서는 가비지 컬렉션과 마모도 평균화 기법들을 동시에 수행하는 환경에서 발생할 수 있는 문제점들을 서술하며, 다음은 가비지 컬렉션과 마모도 평균화를 동시에 수행하는 환경에서 발생할 수 있는 세 가지 위험성들이다.

1. 가비지 컬렉션과 마모도 평균화 기법 상호간의 적용으로 인해 특정한 블록만이 집중적으로 마모도가 소모될 수 있는 위험성
2. 마모도 평균화 수행으로 인해 가비지 컬렉션 기법들이 가지는 정점들을 수행할 수 없는 위험성
3. 마모도 평균화를 통해서 선정되고 이주한 페이지들이 초래하는 불필요한 쓰기의 위험성

이상의 위험성들은 마모도 평균화를 수행하지 않을 경우에는 발생하지 않은 위험성이다. 결국 이러한 위험성들은 가비지 컬렉션과 마모도 평균화를 동시에 수행할 경우 발생한다. 본 논문에서는 그림 2를 통해 세 가지 위험성들이 발생할 수 있는 사례를 제시하였다. 그림 2에서 낸드 플래시 메모리는 4개의 블록들로 구성되어 있으며, 각각의 블록은 4개의 페이지들로 이루어져 있다. 또한 그림 2에 초기 상태는 블록 0, 2, 3이 가비지 컬렉션 대상 블록들이며 블록 1은 마모도 평균화 대상 블록이다.

위험성 1은 특정한 블록만이 집중적으로 마모도가 소모하는 위험성이며, 그림 2의 위험성 1은 이러한 상황에 예시이다. 주어진 상황에서 마모도 평준화 모듈이 블록 1의 데이터들을 블록 2와 블록 3에 각각 2개씩 나누어 이주시켰다고 가정하자. 이 때 가비지 컬렉션 모듈 측면에서 보면 블록 1, 2, 3이 주로 선택해야한다. 즉, 블록 0은 이미 마모도가 상대적으로 더 소모된 상태이기 때문이다. 그러나 마모도 평준화로 인해 블록 2와 블록 3에 콜드 데이터들이 이주했기 때문에, 블록 0과 블록 1에 무효화 페이지가 발생할 가능성 및 그 개수가 높기 때문에 이들 블록이 가비지 컬렉션의 주된 대상이 된다. 이러한 경우 블록 0이 빠르게 마모되어 낸드 플래시 메모리 시스템의 전반적인 수명이 낮아질 수 있다.

위험성 2는 마모도 평준화 수행으로 인해 가비지 컬렉션 기법이 가지는 장점을 활용할 수 없는 위험성이다. 이로 인해 가비지 컬렉션 혹은 마모도 평준화 기법들의 상호 단점이 부각될 수 있다. 이는 그림 2의 위험성 2에 해당한다. 그림 2의 위험성 2에서 블록 0과 블록 3은 블록 2와 비교하여 상대적으로 마모도 소모가 많이 이루어졌다. 이 때 블록 2는 마모도 평준화로 인해서 다른 블록들 보다 많은 페이지 이주가 되었다고 가정하자. 이 경우 블록 2는 다른 가비지 컬렉션 대상 블록들보다 오랜 기간 동안 선정되지 않게 된다. 즉 이 블록은 가비지 컬렉션으로 선정되기에 적합한 블록임에도 불구하고, 마모도 평준화에서 이주한 페이지들로 인해 가비지 컬렉션 대상 블록에 선정되지 않을 수 있다. 이는 블록들의 마모도 불균형 현상을 악화시킬 뿐 아니라, 가비지 컬렉션과 마모도 평준화 기법이 내포하고 있는 장점들을 활용할 수 없게 된다.

위험성 3은 마모도 평준화 수행으로 페이지들이 전체 블록에 고르게 분포한 경우에 해당한다. 이는 그림 2의 위험성 3에 해당한다. 해당 그림에서 블록 1의 페이지들은 마모도 평준화로 인해 모든 블록에 하나씩 고루 이주되어 분포한 것을 보여주고 있다. 이러한 작업 이후에는 더 이상 마모도 평준화 작업이 수행되지 않을 것이며, 이를 통해 낸드 플래시 메모리의 이상적인 수명 연장에 도달하는 것 같아 보인다. 하지만 마모도 평준화에 의해서 모든 블록에 고르게 분포된 페이지들은 앞으로 쓰기 연산에 의해서 갱신이 이루어지지 않을 확률이 높다. 하지만, 새로운 블록을 확보하기 위한 가비지 컬렉션 수행 시, 매번 이주하지 않아도 되는 하나의 페이지를 고정적으로 이주시킨다. 이러한 데이터들은 순수하게 가비지 컬렉션의 이주 오버헤드로 작용하므로, 추가적인 쓰기를 통한 낸드 플래시 메모리의 수명에 부정적인 영향을 초래하게 된다.

2. Theoretical Considerations of Lifespan Prolongation

앞서 제시한 위험성들은 낸드 플래시 메모리의 수명 연장에 부정적인 영향을 초래할 수 있다. 따라서 낸드 플래시 메모리는 이러한 위험성들을 고려하여 가비지 컬렉션과 마모도 평준화 모듈을 설계하거나, 이러한 상호 기법들을 중재할 수 있는 새로

운 기법이 요구된다. 본 연구에서는 이와 같은 새로운 기법에서 요구되는 주요 고려 사항을 크게 두 가지로 구분하였으며, 각각에 대한 구현 방향성을 제시하면 다음과 같다.

첫 번째 방향성은 위험성 1과 위험성 2에 해당한다. 이 두 가지 사항은 마모도 평준화 기법을 적용하고 수행하는 과정에서 가비지 컬렉션 기법이 대상 블록의 선정에 방해받을 수 있다는 것이다. 기존의 가비지 컬렉션 기법들은 시간 정보를 활용하는 특성을 가지고 있다. 즉 이들은 오랜 기간 동안 가비지 컬렉션에 의해 선정되지 않았고, 수명이 상대적으로 많은 블록을 선정하는 경향이 있다. 따라서 이러한 관점에서 마모도 평준화 기법은 그 수행에 있어서 가비지 컬렉션의 동작을 방해하지 않기 위해, 대상 블록들 중에 오랜 기간 동안 소거 연산이 이루어지지 않은 블록의 페이지 이주를 회피하고 또한 수명이 상대적으로 많은 블록으로 데이터를 이주하는 것을 피하도록 하는 것이 유리하다. 이러한 방법을 통해 가비지 컬렉션 정책과 마모도 평준화의 장점을 동시에 적용할 수 있을 것이다.

두 번째 방향성은 마모도 평준화를 통해 이주하는 데이터는 일반적으로 거의 갱신이 이루어지지 않은 데이터라는 사실이다. 이는 위험성 3에 해당한다. 특히 마모도 평준화의 경우 낸드 플래시 메모리의 표면상으로는 이상적인 수명 연장에 도달한 것처럼 보인다. 하지만 이것은 마모도 평준화로 인해서 발생할 수 있는 또 하나의 내재적 위험성이다. 따라서 마모도 평준화에 의해서 이주하는 페이지들은 별도로 관리할 필요성이 있다. 기본적으로 마모도 평준화에 의해 이주하는 페이지들은 쓰기 연산이 거의 발생하지 않는 페이지이기 때문이다. 따라서 이러한 페이지들을 가지고 있는 블록들을 가비지 컬렉션의 대상에서 제외시킬 수 있는 기법이 필요하다. 예를 들면 마모도가 많이 소모된 특정한 블록들에 이러한 페이지들을 마모도 평준화 모듈이 이주시킬 경우 이 블록은 가비지 컬렉션 대상에서 제외될 수 있다.

이 장에서는 가비지 컬렉션과 마모도 평준화를 동시에 수행할 경우 발생 가능한 세 가지 위험성들을 제시하였으며, 이들에 대한 이론적 고찰 및 그에 따른 두 가지 방향성을 언급하였다. 기존의 기법들은 앞서 언급한 위험성들을 고려하지 않아도 낸드 플래시 메모리의 수명 연장에 어느 정도 기여할 수 있었을 것이다. 그러나 본 논문에서 묘사하고 제시된 위험성들에 대한 추가 고려가 있다면, 가비지 컬렉션과 마모도 평준화를 효율적으로 수행할 뿐 아니라 낸드 플래시 메모리의 이상적인 수명에 도달할 수 있는 발판을 마련할 수 있을 것이다.

V. Experiments and Quantitative Analysis

1. Experimental Setup

이 장에서는 본 논문에서 제시한 위험성들이 낸드 플래시 메모리에 미치는 실질적인 영향력에 대해서 실험하고 정량적으로

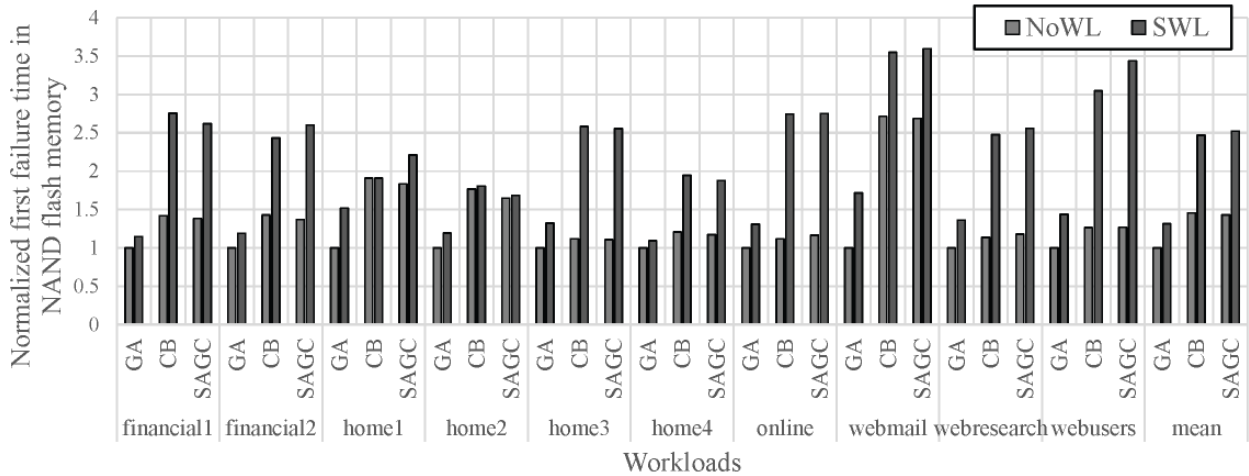


Fig. 3. The normalized first failure time in NAND flash memory

분석한다. 본 논문에서는 실험 환경으로 디스크 시뮬레이터인 DiskSim 4.0을 사용했다[17]. DiskSim 4.0은 보조 기억 장치의 성능을 평가하는 목적으로 많은 연구자들이 사용하고 있다. 이를 기반으로 마이크 소프트웨어의 낸드 플래시 메모리의 내장 (Built-in) 모델을 사용하였으며, 실험 환경에서 사용한 매개변수들의 정보는 표 2와 같다[18].

Table 2. Parameters of simulation environment

Parameter	Description
Total capacity	4Gb
Reserved free blocks	15%
Garbage Collection Trigger	# of free blocks < 5%
Flash chip elements	1
Planes per elements	1
Blocks per plane	4096
Pages per block	128
Page size	4KB
Page read latency	60us
Page program latency	800us
Block erase latency	1.5ms
Blocks per lifetime	10 ⁴

Table 3. Features of SPC and FIU workloads

Workload	ratio of requests (%)		avg. request (byte)	
	read	write		
SPC	financial1	23.16	76.84	4754.3
	financial2	82.28	17.72	4394.0
FIU	home1	1.12	98.88	7246.9
	home2	12.40	87.60	13079.9
	home3	3.94	96.06	51446.2
	home4	0.03	99.97	16558.1
	online	35.55	64.45	17566.8
	webmail	26.03	73.97	17930.5
	webresearch	0.14	99.86	22323.3
	webusers	29.24	70.76	16942.0

본 논문의 벤치마크 프로그램으로는 실험 환경의 신뢰성을 보장하기 위해 UMass Trace Repository의 SPC와 IOTTA Repository의 FIU 워크로드를 사용했다. UMass Trace Repository의 SPC는 OLTP에서 동작하는 어플리케이션의 특

성을 가지고 있다[19]. IOTTA Repository의 FIU는 서버 측면에서 단말 사용자, 웹 서비스 등의 연산 특징을 가지는 워크로드이다[20]. 주어진 워크로드들의 주요 특징들은 표 3과 같다. 실험 환경에서는 상호 다른 특징을 가지는 세 가지의 가비지 컬렉션 기법(GA, CB, SAGC)을 채택했다. 이러한 환경에서 대표적인 마모도 평준화 기법인 SWL을 결합하여 세 가지 위험성 분석을 진행하였고, 참고로 마모도 평준화를 적용하지 않은 경우는 NoWL로 표기했다.

2. Experimental Results and Quantitative Analysis

실험 환경에서 채택한 가비지 컬렉션 기법들과 마모도 평준화 기법을 기반으로 이 절에서는 정량적 분석을 진행한다. 정량적 분석에서 사용할 세 가지 지표들은 다음과 같다.

1. 낸드 플래시 메모리의 첫 번째 베드 블록 발생 시간 : 이것은 낸드 플래시 메모리의 수명을 나타내는 객관적인 지표이다. 낸드 플래시 메모리는 일반적으로 첫 번째 베드 블록 발생 시간 이후에 급격하게 많은 베드 블록이 발생하게 된다.
2. 낸드 플래시 메모리에서 활용 가능한 수명 : 일반적으로 낸드 플래시 메모리 시스템의 수명은 전체 블록 중 일정 비율 이상의 블록에서 베드 블록이 발생하였을 때 최종 수명에 도달하였다고 판단한다.
3. 가비지 컬렉션 동안에 페이지 이주에 대한 변화 추이 : 해당 지표는 가비지 컬렉션 단독 수행 환경과 마모도 평준화를 동시에 수행하는 환경에서 페이지 이주에 대한 추이를 확인하는 지표다. 즉 이를 통해 마모도 평준화에 대한 오버헤드 지표를 측정할 수 있다.

그림 3은 낸드 플래시 메모리의 첫 번째 베드 블록 발생 시간을 GA의 NoWL 기준으로 정규화한 것이다. 결과에서 확인하듯이, 가비지 컬렉션 단독 기법으로만 비교하였을 때 CB와 SAGC는 GA보다 낸드 플래시 메모리의 수명을 연장하였다는 것을 확인할 수 있다. 비록 워크로드마다 다소간 상이한 결과를 보이나 CB와

SAGC는 각 워크로드별로는 유사한 결과를 보여주고 있다. 결국 시간 정보 기반의 가비지 컬렉션 기법들은 그것을 단독으로 수행하였을 때 상호 수명 연장에 차이는 거의 없다. 반대로 마모도 평준화 기법을 함께 적용하였을 때 GA를 비롯한 모든 정책에서 수명 연장의 결과를 보였다. GA는 NoWL을 기준으로 평균 31.4% 수명 연장을 하였고, 특히 CB와 SAGC는 기준 대비 최대 3.5배까지 낸드 플래시 메모리의 수명을 연장 시켰다.

이 결과에서 CB와 SAGC와 같은 시간 정보 기반의 가비지 컬렉션 기법들은 위험성 1과 위험성 2를 어느 정도 회피하고 있다는 것을 확인할 수 있다. 즉 기존의 시간 정보를 기반으로 하는 기법들은 방향성 1의 특성을 내포하고 있음을 의미한다. 기존의 시간 정보 기반 기법들이 이와 같은 고려를 사전에 하였다고는 할 수 없을 것이나, 결과적으로 기존 기법들은 이와 같은 문제를 회피하였다. 하지만 시간 정보 기반 기법 이외의 다른 기법들이 향후 새롭게 제안될 경우 이와 같은 위험성 고려는 여전히 필요하다. 결과적으로 가비지 컬렉션과 마모도 평준화를 동시에 수행하는 환경에서 가비지 컬렉션 기법들이 우선적으로 고려해야 할 정보들은 시간, 유효한 데이터들의 개수, 블록의 마모도 정도를 고려하여 위험성 1과 위험성 2를 회피할 수 있다.

그림 4는 낸드 플래시 메모리 시스템이 최종 수명에 도달한 후 남아 있는 낸드 플래시 메모리 블록의 평균 잔여 P/E 사이클을 보여주고 있다. 일반적으로 낸드 플래시 메모리 시스템은 첫 번째 베드 블록이 발생한 이후 빠르게 수명이 감소한다. 이후 낸드 플래시 메모리는 확보할 수 있는 공간이 특정한 수치 이하에 해당할 경우 최종 수명에 도달했다고 인식한다. 본 연구의 실험에서는 베드 블록이 15% 이상의 경우를 가정하였다.

그림 4에서 평균 잔여 P/E 사이클을 살펴보면 NoWL이 더 우수한 것처럼 보인다. 즉 잔여 수명이 더 많은 것처럼 관찰되지만, 이를 표준 편차와 함께 비교해 보면 오히려 그 반대라는 것을 확인할 수 있다. 즉, NoWL 기법은 잔여 P/E 사이클의 수는 더 많으나 각 메모리 블록들 사이의 마모도 편차가 커서 향후 베드 블록이 연속적으로 발생할 것으로 예상할 수 있다. 반면, SWL 기법은 비록 평균 잔여 P/E 사이클의 수는 적지만 편차 또한 작다. 이는 모든 블록이 고루 마모되어가고 있음을 의미하며, 메모리 시스템에서 베드 블록이 마지막 수명 직전까지 발생하지 않고 대부분의 블록이 잘 활용됨을 의미한다. 그 후, 거의 모든 블록에서 베드 블록이 동시에 함께 발생하게 된다. 즉, 베드 블록의 발생 시점이 거의 일치해 간다는 것을 의미한다.

그림 5는 가비지 컬렉션 동안 발생하는 페이지 이주 횟수의 변화 추이를 보여주고 있다. 이는 위험성 3의 분석을 위한 실험 결과이다. 그림 5에서 가비지 컬렉션 기법들은 마모도 평준화를 고려하지 않았을 경우 소거 연산 한 번에 발생하는 페이지이주 횟수가 상대적으로 적은 것을 확인할 수 있다. 반면에 마모도 평준화를 함께 적용할 경우, 가비지 컬렉션 기법들은 일정한 시점 즉, 초기 마모도 평준화를 처음 실행한 시점 이후를 기준으로 급격하게 많은 페이지 이주를 발생시킨다는 사실을 확인할 수 있다. 하지만, CB와 SAGC와 같은 시간 정보 기반의 가비지 컬렉션 기법들은 이러한 페이지 이주에 대한 오버헤드를 어느 정도 완화시킨다고 할 수 있다. 즉, 그림 5의 (b)와 (c)의 경우 두 그래프 결과 사이의 값 차이 혹은 값 자체가 (a)에 비해 작다는 것을 확인할 수 있다. 그럼에도 불구하고 본 논문에서의 위험성 3은 실험 환경에서 사용한 모든 가비지 컬렉션 기법들에서 예외 없이 발생한다는 것을 확인할

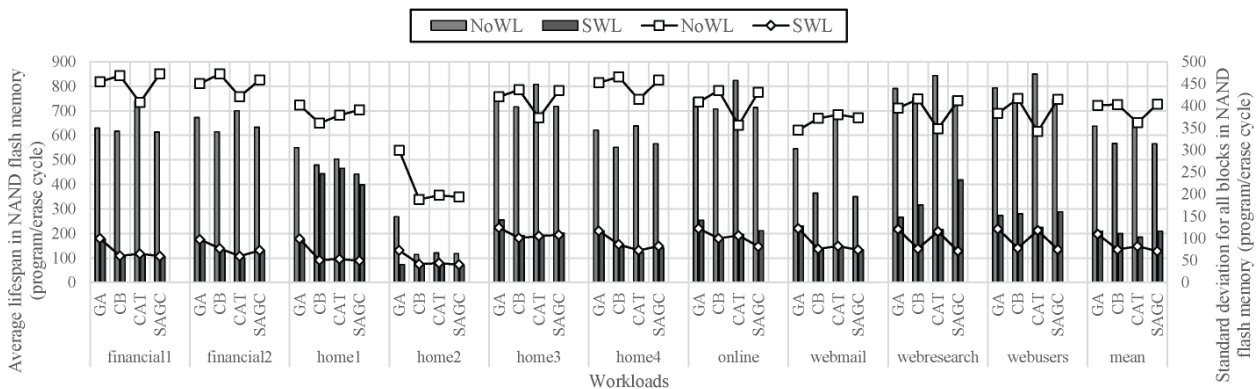


Fig. 4. Average lifespan and standard deviation in NAND flash memory

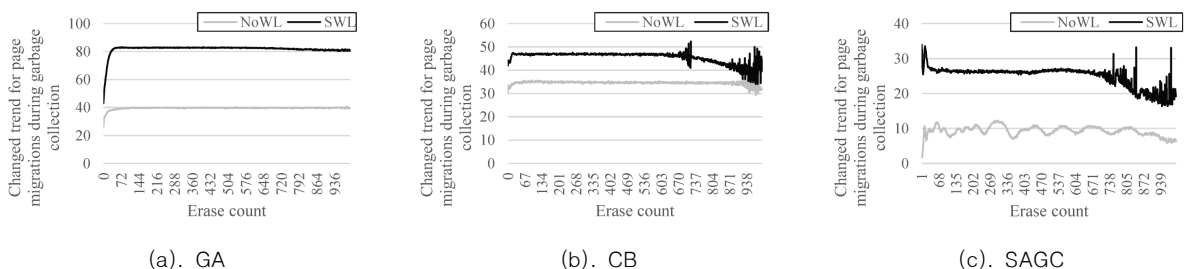


Fig. 5. Changed trend for page migrations during garbage collection

수 있다. 이는 결과적으로 페이지 이주를 위한 추가적인 쓰기 오버헤드를 유발시키는 요인으로 작용한다.

이상으로 본 논문에서 제시한 세 가지 위험성들의 낸드 플래시 메모리에 대한 실질적인 영향력 측면에서 실험하고 분석을 진행했다. 실험을 통해 분석한 결과, 두 가지의 유의미한 결과를 얻을 수 있었다. 첫 번째, 시간 정보 기반의 가비지 컬렉션 기법들은 마모도 평준화를 동시에 수행하는 환경에서 어느 정도 상호 기법에 대한 방해 내성을 가지고 있다. 즉 시간 정보를 활용한 가비지 컬렉션 기법들은 위험성 1과 위험성 2에 대한 내성을 가지고 있으며, 방향성 1의 특성을 내포하고 있다. 하지만 향후 추가로 연구될 다른 가비지 컬렉션 기법에서는 이와 같은 특성을 고려하여 설계되어야 한다. 두 번째, 가비지 컬렉션 기법들은 마모도 평준화를 적용하였을 때 페이지 이주가 모든 환경에서 증가하였다. 이는 마모도 평준화로 인해 이주하는 페이지들에 의해서 증가한 것을 의미한다. 페이지 이주는 불필요한 쓰기를 유발시키며, 위험성 3으로 인해 낸드 플래시 메모리의 최대 기대 수명이 이로 인해 감소 될 것을 예상할 수 있다. 이는 가비지 컬렉션 기법 한가지만을 수행하였을 때보다는 여전히 높은 수명이지만, 최대 수명 대비 낮은 수명이다. 이러한 결과는 가비지 컬렉션과 마모도 평준화 모듈의 상호 간섭에 의한 결과이며, 본 연구의 실험을 통해 간섭의 정도와 기대 수명의 감소 정도를 실험을 통해 정량적으로 확인하였다.

VI. Conclusions

본 논문에서는 낸드 플래시 메모리에서 가비지 컬렉션과 마모도 평준화를 동시에 수행하는 환경에서 발생할 수 있는 세 가지 위험성들을 제시하였고, 이들을 극복하기 위하여, 낸드 플래시 메모리의 수명 연장을 위한 두 가지 방향성을 소개하였다. 두 가지 방향성은 가비지 컬렉션과 마모도 평준화를 동시에 수행하는 환경에서 기법들 상호 간에 알고리즘 설계시의 주요 고려 사항이었으며, 본 연구는 이러한 방향성 제시를 통해 낸드 플래시 메모리의 수명 연장을 위한 새로운 발판을 마련하였다. 본 연구의 고찰에 대한 타당성을 분석하고자 본 논문에서는 낸드 플래시 메모리 실험 환경을 구축하였고, 앞서 제시한 위험성들이 낸드 플래시 메모리의 수명과 성능에 미치는 실질적인 영향을 확인하였다. 향후 연구에서는 위험성 분석을 통해 얻은 결과를 기반으로 가비지 컬렉션과 마모도 평준화를 동시에 수행하는 환경에서 상호 기법들을 중재할 수 있는 새로운 모듈의 설계를 모색할 것이다.

REFERENCES

- [1] Statistik-Portal, Statista-Das. "statista-The statistics portal." 2017.
- [2] Park, Ki-Tae, et al. "Three-dimensional 128 Gb MLC vertical NAND flash memory with 24-WL stacked layers and 50 MB/s high-speed programming." *IEEE Journal of Solid-State Circuits* 50.1 (2015): 204-213.
- [3] Ma, Dongzhe, Jianhua Feng, and Guoliang Li. "A survey of address translation technologies for flash memories." *ACM Computing Surveys (CSUR)* 46.3 (2014): 36.
- [4] Chen, Renhai, et al. "Heating dispersal for self-healing NAND flash memory." *IEEE Transactions on Computers* 66.2 (2017): 361-367.
- [5] Chung, Tae-Sun, et al. "System software for flash memory: a survey." *International Conference on Embedded and Ubiquitous Computing*. Springer, Berlin, Heidelberg, 2006.
- [6] Samsung, V., and NAND SSD. "860 EVO." (2018).
- [7] Micron, M. L. C. "SSD Specification, 2013."
- [8] Chung, Tae-Sun, et al. "A survey of flash translation layer." *Journal of Systems Architecture* 55.5-6 (2009): 332-343.
- [9] Yang, Ming-Chang, et al. "Garbage collection and wear leveling for flash memory: Past and future." *Smart Computing (SMARTCOMP)*, 2014 International Conference on. IEEE, 2014.
- [10] Wu, Michael, and Willy Zwaenepoel. "eNVy: a non-volatile, main memory storage system." *ACM SIGOPS Operating Systems Review*. Vol. 28. No. 5. ACM, 1994.
- [11] Kawaguchi, Atsuo, Shingo Nishioka, and Hiroshi Motoda. "A flash-memory based file system." *USENIX*. 1995.
- [12] Kwon, Ohhoon, and Kern Koh. "Swap space management technique for portable consumer electronics with NAND flash memory." *IEEE Transactions on Consumer Electronics* 56.3 (2010).
- [13] Chang, Yuan-Hao, Jen-Wei Hsieh, and Tei-Wei Kuo. "Improving flash wear-leveling by proactively moving static data." *IEEE Transactions on Computers* 59.1 (2010): 53-65.
- [14] MT29F4G08ABADAWP 8Gbit SLC NAND Flash Memory Data Sheet, Micro Technology, 2009.
- [15] K9GAG08U0M 2G x 8bit MLC NAND Flash Memory Data Sheet, Samsung Electronics, <https://www.samsung.com>, 2007
- [16] Hachiya, Shogo, et al. "TLC/MLC NAND flash mix-and-match design with exchangeable storage array." *Extended Abstracts 2013 Int. Conf. Solid State Devices Mater.* 2013.

- [17] Bucy, John S. et al. "The disksim simulation environment version 4.0 reference manual (cmu-pdl-08-101)." Parallel Data Laboratory (2008): 26.
- [18] Prabhakaran, Vijayan, and Ted Wobber. "SSD extension for DiskSim simulation environment." Microsoft Research (2009).
- [19] Liberatore, Marc, and Prashant Shenoy. "Umass trace repository." (2017).
- [20] Trace, Exchange. "SNIA IOTTA Repository." (2010).

Authors



Sungho Kim received a B.S. degree in Department of Computer Engineering from Yeungnam University College, Daegu, Korea in 2012, and he received a Ph.D. degree in Department of Computer Engineering from Yeungnam University,

Gyeongsan, Korea in 2019. His current research interests include embedded systems and non-volatile memory systems.



Jong Wook Kwak received a B.S. degree in Computer Engineering from Kyungpook National University, Daegu, Korea in 1998, a M.S. degree in Computer Engineering from Seoul National University, Seoul, Korea in 2001, and a Ph.D. degree in

Electrical Engineering and Computer Science from Seoul National University, Seoul, Korea in 2006. From 2006 to 2007, he worked as a senior engineer in the SoC R&D Center, at Samsung Electronics Co., Ltd. He is currently a professor in the Department of Computer Engineering, Yeungnam University. His research interests include advanced processor architecture, low-power mobile embedded system, and high performance parallel and distributed computing.