

자체 보정 CDAC를 이용한 10비트 20MS/s 비동기 축차근사형 ADC

A 10-bit 20-MS/s Asynchronous SAR ADC using Self-calibrating CDAC

윤 은 지*, 장 영 찬*

Eun-ji Youn*, Young-Chan Jang*

Abstract

A capacitor self-calibration is proposed to improve the linearity of the capacitor digital-to-analog converter (CDAC) for an asynchronous successive approximation register (SAR) analog-to-digital converter (ADC) with 10-bit resolution. The proposed capacitor self-calibration is performed so that the value of each capacitor of the upper 5 bits of the 10-bit CDAC is equal to the sum of the values of the lower capacitors. According to the behavioral simulation results, the proposed capacitor self-calibration improves the performances of differential nonlinearity (DNL) and integral nonlinearity (INL) from $-0.810/+0.194$ LSBs and $-0.832/+0.832$ LSBs to $-0.235/+0.178$ LSBs and $-0.227/+0.227$ LSBs, respectively, when the maximum capacitor mismatch of the CDAC is 4%. The proposed 10-bit 20-MS/s asynchronous SAR ADC is implemented using a 110-nm CMOS process with supply of 1.2 V. The area and power consumption of the proposed asynchronous SAR ADC are 0.205 mm^2 and 1.25 mW, respectively. The proposed asynchronous SAR ADC with the capacitor calibration has a effective number of bits (ENOBs) of 9.194 bits at a sampling rate of 20 MS/s about a $2.4-V_{PP}$ differential analog input with a frequency of 96.13 kHz.

요 약

본 논문은 10비트 비동기 SAR ADC에 사용되는 CDAC의 선형성을 개선하기 위한 커패시터 자체 보정 기법을 제안한다. 제안된 커패시터 자체 보정 기법은 10비트 CDAC의 상위 5비트의 각각의 커패시터의 값이 하위 커패시터의 값들의 합과 같아지도록 수행된다. Behavioral 시뮬레이션의 결과에 의하면, CDAC의 커패시터의 최대 부정합 오류가 4%일 때, 제안된 커패시터 자체 보정 기법은 DNL과 INL를 각각 $-0.810/+0.194\text{LSB}$ 와 $-0.832/+0.832\text{LSB}$ 에서 $-0.235/+0.178\text{LSB}$ 와 $-0.227/+0.227\text{LSB}$ 로 개선시킨다. 1.2V 공급전압과 110nm CMOS 공정을 이용하여 제작된 10비트 비동기 SAR ADC의 면적과 전력소모는 각각 0.205mm^2 와 1.25mW이다. 20MS/s의 샘플율과 96.13kHz 입력 주파수에 대해 제안한 10비트 비동기 SAR ADC의 측정된 ENOB는 9.194비트이다.

Key words : Asynchronous SAR ADC, Capacitor DAC, Capacitor self-calibration

* Department of Electronics Engineering, Kumoh National Institute of Technology

★ Corresponding author

E-mail : ycjang@kumoh.ac.kr, Tel : +82-54-478-7434

※ Acknowledgment

• This research was supported by the Basic Science Research Program (2016R1D1A3B03934487) and the Priority Research Centers Program(2018R1A6A1A03024003) through the NRF funded by the Ministry of Education.

• Authors are thankful to IDEC for supporting EDA softwares.

Manuscript received Feb. 23, 2019; revised Mar. 18, 2019; accepted Mar. 20, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

최근 모바일 디스플레이 및 대형 디스플레이를 위해 유기 발광 다이오드(OLED : organic light emitting diode)가 사용되고 있다. OLED는 구동 방식에 따라 수동형 유기 발광 다이오드(PMOLED : passive matrix OLED)와 능동형 유기 발광 다이오드(AMOLED : active matrix OLED)로 나뉜다. AMOLED는 적색, 녹색, 청색 소자를 사용하는데, 이 중에서 청색 소자의 수명이 다소 짧고 주변 온도에 크게 좌우되어 문턱전압이 변화하게 된다. 특히, 디스플레이의 발열 때문에 수명이 쉽게 단축된다. 이로 인해 디스플레이를 사용할수록 색 좌표의 왜곡이 발생하고, 디스플레이에 잔상이 남을 수 있다. 이는 디스플레이의 문제점 중 하나로, 이러한 문제를 해결하기 위해 AMOLED 픽셀의 문턱전압을 검출하고 보상하는 보상 기법에 대한 연구도 진행되고 있다. 이러한 픽셀의 문턱전압 검출회로는 보정 정밀도를 높이고, 빠른 시간 내에 애노드 전압을 측정하기 위해서, 높은 해상도와 높은 변환 속도를 가지는 아날로그-디지털 변환기(ADC : analog-to-digital converter)가 요구된다. 따라서 본 논문에서는 10비트의 해상도를 가지고 20MHz 변환 속도를 가지는 ADC를 설계하되, 저전력, 저면적 구조를 가지도록 설계한다.

본 논문에서 제안하는 ADC는 전력 소모를 최대한 줄이면서 샘플링 속도와 동일한 주파수를 가지는 클럭을 동기 신호로 사용하기 위해 비동기 successive approximation register(SAR) ADC 구조를 이용한다. 정적 전력소모를 줄이기 위한 SAR ADC는 주로 커패시터 디지털-아날로그 변환기(CDAC : capacitor digital-to-analog converter)를 사용하는데, CDAC의 커패시터의 용량이 클수록 스위칭 전력이 증가됨으로 CDAC의 커패시터의 용량을 줄이는 연구가 진행되었다[1]-[4]. CDAC의 커패시터 용량을 줄이는 과정에서 발생하는 커패시터 부정합 오류를 보정하기 위한 다양한 기법들[5][6]이 발표되었으나, 그 보정 기법의 복잡성과 관련 회로가 증가되었다. 본 논문에서는 V_{CM} 기반 스위칭 구조[3]의 CDAC을 이용하되 하드웨어의 증가를 최소로 한 커패시터 부정합 오류를 자체 보정하는 기법[7]을 제안한다.

II. 10비트 20MS/s 비동기 SAR ADC

1. 10비트 20MS/s 비동기 SAR ADC의 구조

그림 1은 제안하는 10비트 20MS/s 비동기 SAR ADC의 블록도와 타이밍도이다. 비동기 SAR ADC는 요구되는 CDAC의 해상도를 1비트 줄임으로 CDAC의 면적과 스위칭 소비전력을 줄인 V_{CM} 기반 스위칭 구조의 CDAC, 준안정성 상태(Meta-stability state) 검출회로[8]를 포함한 비교기, 그리고 커패시터 보정 로직을 포함하는 SAR 로직으로 구성된다. CDAC은 V_{CM} 기반 스위칭 구조를 이용함으로 전체 9비트의 해상도를 가진다. 이 중 상위 5비트를 제외한 커패시터($C_4 \sim C_0$)는 Binary weight 커패시터 배열로 구성되었고, 상위 5비트에 해당하는 커패시터($C_9 \sim C_5$)는 커패시터 보정을 위해 특정한 값으로 커패시터를 구성하였다. 또한, 커패시터 보정을 위해 보정용 커패시터($C_9' \sim C_5'$)가 추가로 구성되어 있으며, 커패시터 보정 로직은 적절한 보정 코드를 찾고, 보정용 커패시터의 스위치 제어를 위해 15비트 디지털 코드를 생성한다.

그림 1(b)는 비동기 SAR ADC의 타이밍도이다. SAR 로직 내부의 샘플(SAMPLE) 신호가 'high'일 때, 커패시터 하판에 아날로그 입력신호(V_{INP} , V_{INM})가 인가되고, 커패시터 상판에는 V_{CM} 전압이 인가된다. 그 후 외부 클럭(EXCLK)의 상승 엣지에 동기화되어 샘플 동작이 종료된다. 샘플 동작이

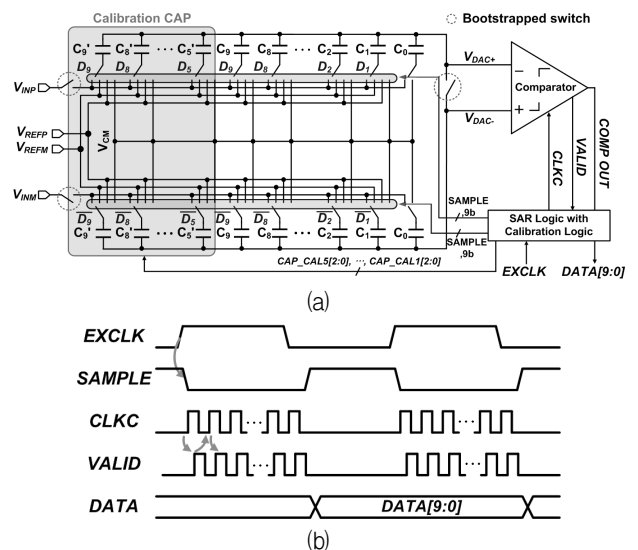


Fig. 1. Proposed asynchronous SAR ADC (a) block diagram (b) timing diagram.

그림 1. 제안하는 비동기 SAR ADC (a) 블록도 (b) 타이밍도

종료되면 커패시터 하판에 V_{CM} 전압이 인가되면서 커패시터 상판에는 V_{DAC+} , V_{DAC-} 의 전압이 출력된다. 비교기는 내부 클럭인 $CLKC$ 신호에 동기화되어 커패시터 상판의 두 신호 V_{DAC+} 와 V_{DAC-} 의 전압 값을 비교한다. 비교가 완료되면 비교기는 비교가 완료되었음을 알리는 $VALID$ 신호를 활성화시키고, SAR 로직은 $VALID$ 신호의 상승 엣지에 동기화되어 비교기의 결과를 레지스터에 저장한다. 또한, SAR 로직은 비교 결과를 이용하여 CDAC의 다음 변환을 위한 스위치 제어 신호를 생성하고, $CLKC$ 신호와 $VALID$ 신호를 'low'으로 천이시킨다. 위와 같은 변환을 10번 반복하여 10비트의 디지털 코드를 생성하고, 마지막 $VALID$ 의 상승 엣지에 동기화되어 다음 데이터 변환을 위한 새로운 샘플 동작을 시작한다.

2. 제안하는 커패시터 보정 기법

가. 제안하는 커패시터 보정 기법의 기본 개념

그림 2는 CDAC의 선형성 그래프를 나타낸다. 회색 점선으로 표시된 그래프는 이상적인 경우의 선형성 그래프이다. 이상적인 CDAC의 경우 CDAC 입력 코드(DAC Input Code $D[9:1]$)가 증가할수록 CDAC의 출력신호인 V_{DAC} 의 전압 값이 선형적으로 증가한다. 그러나 그림 2(a)의 경우와 같이 최상위 비트(MSB: most significant bit) 커패시터가 MSB를 제외한 커패시터의 합보다 작은 경우 전달 그래프는 검은색 실선처럼 나타난다. 이 경우 CDAC의 입력 코드가 증가하지만, V_{DAC} 의 전압 값

이 감소하는 구간이 생긴다. 이로 인해 SAR ADC의 출력 코드가 2^N 에 해당하는 지점에서 디지털 코드의 누락이 발생할 수 있다. SAR ADC에 디지털 출력 코드가 누락될 경우 differential nonlinearity (DNL)과 integral nonlinearity(INL)의 특성이 저하되므로 적절한 보정용 커패시터가 부착되어야 한다. 그림 2(b)는 적절한 최적의 보정용 커패시터보다 더 많은 보정용 커패시터가 부착된 경우이다. 그림 2(c)는 CDAC의 선형성을 개선하기 위한 커패시터 보정기법의 개념을 나타내는 선형성 그래프이다. MSB 커패시터에 보정용 커패시터를 추가하면, MSB의 커패시터와 MSB를 제외한 커패시터들의 합과의 차이가 이전보다 작아진다. 차이가 작아질수록 CDAC의 선형성이 개선된다.

그림 3은 제안하는 보정 기법을 사용하여 CDAC의 선형성 시뮬레이션을 진행한 결과이다. 여러 파형 중 아래에서 첫 번째 그래프는 보정될 해당 상위 비트의 커패시터가 해당 상위 비트의 하위 비트 커패시터들의 합보다 작은 경우이다. 이 경우 V_{DAC+} 의 전압 값이 V_{DAC-} 의 전압 값보다 작다. 아래에서 두 번째 그래프는 첫 번째 그래프의 조건에서 보정될 해당 상위 비트의 커패시터에 보정용 커패시터를 추가한 CDAC의 선형성 그래프이다. 이 경우 보정용 커패시터가 적절한 값보다 작게 부착된 경우이기 때문에 여전히 V_{DAC+} 의 전압 값이 V_{DAC-} 의 전압 값보다 작다. 아래에서 세 번째 그래프는 적절한 보정용 커패시터가 추가된 경우로 V_{DAC+} 의 전압 값이 V_{DAC-} 의 전압 값보다 1LSB에 해당되는

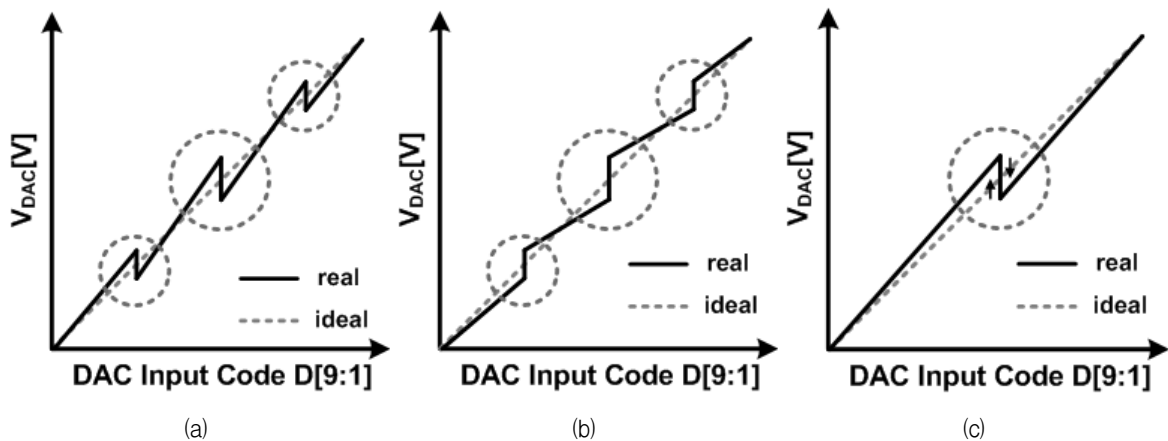


Fig. 2. Linearity of CDAC (a) case of smaller capacitor for MSB than sum of capacitors for LSBs (b) case of larger capacitor for MSB than sum of capacitors for LSBs (c) concept for improvement of linearity.
 그림 2. CDAC의 선형성 그래프 (a) MSB의 커패시터가 하위 커패시터들의 합보다 작은 경우 (b) MSB 커패시터가 하위 커패시터들의 합보다 큰 경우 (c) 제안하는 커패시터 보정 기법의 개념.

전압 값보다 크게 되어 적절한 선형성을 나타낸다. 마지막으로 가장 위 그래프는 적정 수준 이상의 보정용 커패시터가 해당 상위 커패시터에 부착된 경우로 V_{DAC+} 의 전압 값이 V_{DAC-} 의 전압 값보다 1LSB에 해당되는 전압 값 이상으로 증가되어 선형성이 악화된다.

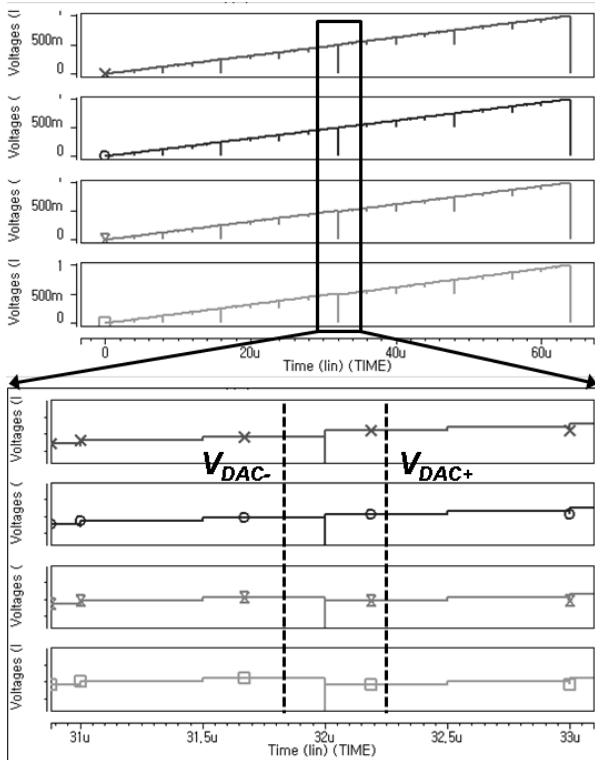


Fig. 3. Simulation results for linearity of CDAC.
그림 3. CDAC의 선형성을 위한 시뮬레이션 결과

나. 제안하는 커패시터 보정의 수행

그림 4는 제안하는 커패시터 보정기법의 수행 순서를 나타낸다. 차동 구조의 CDAC을 두 개의 9-bit CDAC으로 나타냈다. 제안하는 커패시터 보정기법은 커패시터를 보정할 때 하위 커패시터들의 오류가 먼저 제거되어야 한다. MSB 커패시터부터 보정을 시작하면 MSB 커패시터와 하위 커패시터들의 오류를 포함한 값의 합을 비교하기 때문에 정확한 커패시터 보정 코드($CAP_CAL[2:0]$)를 얻을 수 없다. 따라서 그림 4의 Step1에서 Step5 순으로 MSB-4를 위한 커패시터부터 보정을 시작하며, MSB의 커패시터에서 보정을 끝낸다. 그 후, 각 DAC에 인가하는 보정용 코드를 바꾸어 Step6에서 Step10의 순으로 진행하며, 동일하게 MSB-4의 커패시터부터 보정을 진행한다. 이하 커패시터 자체 보정 과정의

설명에서는 Step1에서 Step5의 상황만을 설명한다.

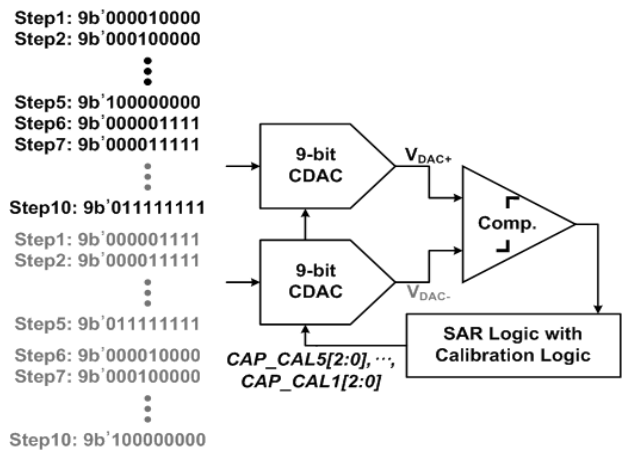


Fig. 4. Flow of calibration for upper 5-bit capacitors of CDAC.

그림 4. CDAC의 상위 5비트 커패시터를 보정하는 커패시터 보정 흐름도

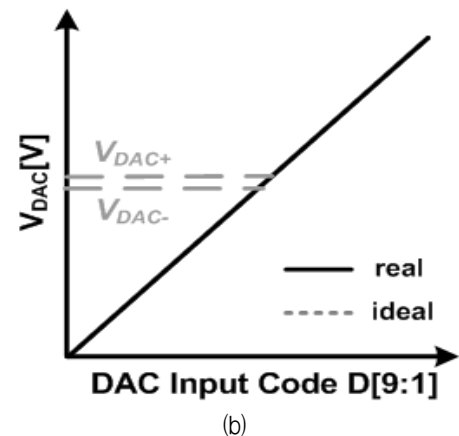
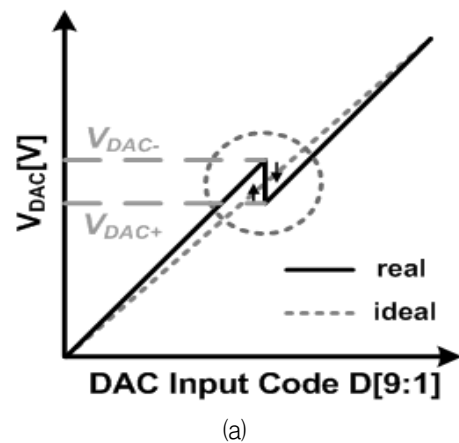


Fig. 5. (a) V_{DAC} voltage when each correction code is applied to CDAC in step 1 (b) criterion for determining optimal $CAP_CAL [2:0]$.

그림 5. (a) Step1에서 각각의 보정용 코드를 CDAC에 인가하여 출력되는 V_{DAC} 전압 (b) 최적의 $CAP_CAL[2:0]$ 을 판단하는 기준

그림 5는 Step1에서 차동 구조의 CDAC의 각 9-bit CDAC에 각각의 보정용 코드를 인가하여 출력되는 V_{DAC+} 의 전압 값과 V_{DAC-} 의 전압 값에 따라 최적의 보정용 코드를 찾기 위한 과정을 보여준다. Step1에서 V_{DAC+} 를 생성하는 CDAC에는 비교기 출력이 9b'000010000일 때의 제어 신호를 인가하고, V_{DAC-} 를 생성하는 CDAC에는 비교기 출력이 9b'000001111일 때의 제어 신호를 각각 인가한다. 각 9-bit CDAC에 인가된 보정용 코드의 차이는 한 코드이므로 두 9-bit CDAC의 출력전압의 차이는 이상적으로 1LSB이다. 그러나 초기의 상태에서 MSB-4를 위한 커패시터는 하위 커패시터의 합보다 작은 경우 그림 5(a)와 같이 V_{DAC+} 의 전압과 V_{DAC-} 의 전압이 결정된다. 이와 같은 경우에 V_{DAC+} 의 전압이 V_{DAC-} 의 전압보다 작기 때문에 비교기의 출력은 'high'가 된다. 그 후, 보정 로직을 통해 $CAP_CAL1[2:0]$ 을 3b'000에서부터 한 코드씩 증가시키며 V_{DAC+} 의 전압과 V_{DAC-} 의 전압을 비교한다. $CAP_CAL1[2:0]$ 을 증가시키면 MSB-4를 위한 커패시터에 보정용 커패시터가 추가로 부착된다. 보정용 커패시터가 부착될수록 V_{DAC+} 의 전압은 초기의 값보다 커지게 되고, V_{DAC-} 의 전압은 초기의 값보다 작아지게 된다. 최적의 $CAP_CAL1[2:0]$ 은 그림 5(b)와 같이 V_{DAC+} 의 전압이 V_{DAC-} 의 전압보다 커지는 지점의 값으로 결정된다. 즉, 비교기의 출력이 'high'에서 'low'으로 천이하는 지점의 $CAP_CAL1[2:0]$ 를 최적의 코드로 판단한다.

그림 6(a)는 보정용 코드를 CDAC에 인가하여 출력되는 초기의 V_{DAC+} 의 전압, V_{DAC-} 의 전압, 그리고 비교기 출력($D[0]$) 그래프이다. 초기에 V_{DAC+} 의 전압과 V_{DAC-} 의 전압은 그림 5(a)와 같이 V_{DAC+} 의 전압이 V_{DAC-} 의 전압보다 작은 값으로 출력된다. 그림 6(b)는 적절한 보정용 커패시터가 부착될 경우를 보여주는 시뮬레이션 결과로, V_{DAC+} 의 전압이 V_{DAC-} 의 전압보다 커지게 되어 $D[0]$ 이 'high'에서 'low'으로 천이한다. 따라서 이 경우를 커패시터 자체 보정을 위한 최적의 $CAP_CAL[2:0]$ 코드로 판단한다.

다. 커패시터 자체 보정의 시뮬레이션 결과

그림 7(a)는 일반적인 SAR ADC에 커패시터 부정합 오류를 이상적인 값에 최대 4%를 인가한 경우의 behavioral 시뮬레이션의 결과를 보여준다. 정적

특성인 DNL과 INL의 특성이 각각 $-0.810/+0.194$ LSB과 $-0.832/+0.832$ LSB으로 나타난다. 그림 7(b)는 그림 7(a)와 같은 조건에서 제안하는 커패시터 자체 보정 기법을 적용한 경우의 behavioral 시뮬레이션 결과이며, DNL과 INL의 정적 특성이 $-0.235/+0.178$ LSB과 $-0.227/+0.227$ LSB로 개선되었다.

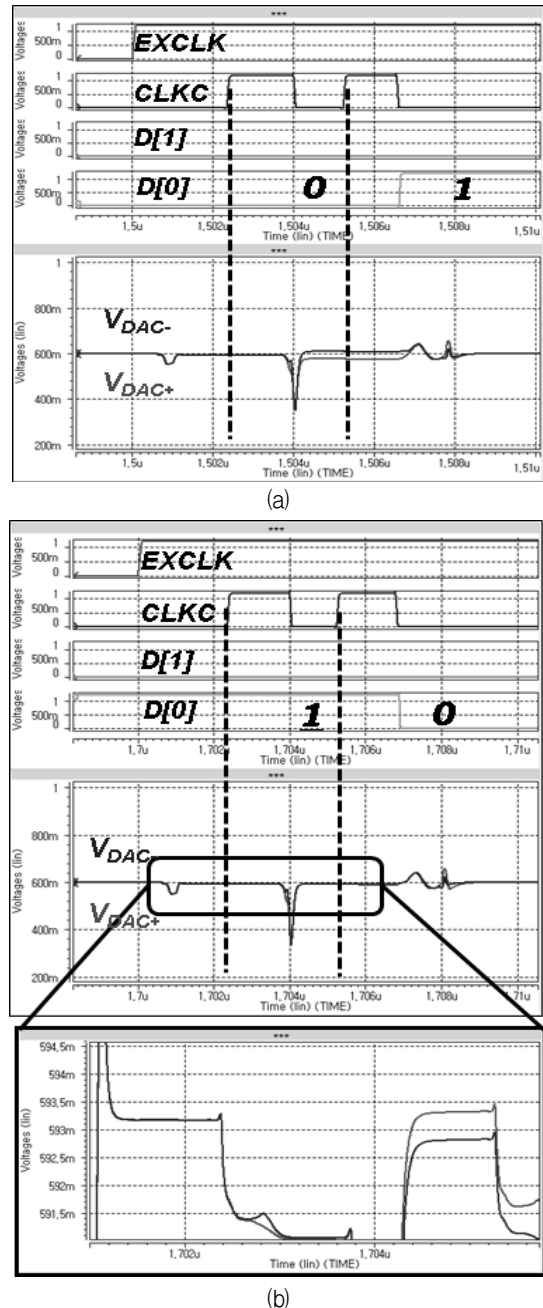


Fig. 6. Simulation results of capacitor self-calibration (a) when $CAP_CAL[2:0]$ is less than optimal $CAP_CAL[2:0]$ (b) when $CAP_CAL[2:0]$ is optimal.

그림 6. 커패시터 자체 보정의 시뮬레이션 결과 (a) $CAP_CAL[2:0]$ 이 최적의 $CAP_CAL[2:0]$ 보다 작은 경우 (b) 최적의 $CAP_CAL[2:0]$ 의 경우

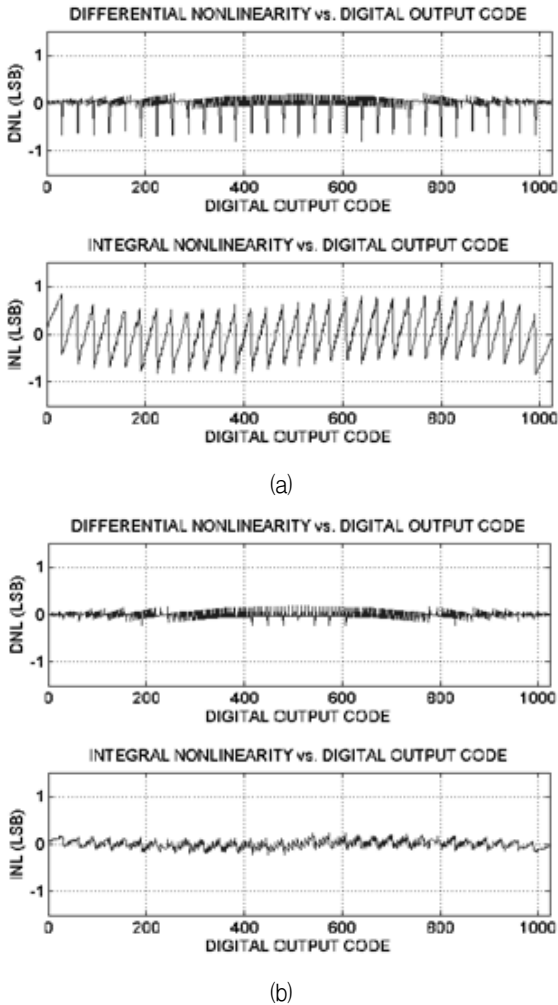


Fig. 7. Behavioral simulation results (a) w/o capacitor self-calibration (b) w/ capacitor self-calibration.
 그림 7. Behavioral 시뮬레이션 결과 (a) 커패시터 자체 보정 기법을 적용하지 않은 경우 (b) 커패시터 자체 보정 기법을 적용한 경우

3. 회로 설계

가. CDAC의 구조

그림 8은 제안하는 차동 구조의 CDAC에서 단일 출력의 9-bit CDAC의 구조를 보여준다. 제안하는

10비트 ADC는 기본적으로 V_{CM} 기반 스위칭 구조의 CDAC 구조를 사용하고, 상위 5비트에 해당하는 커패시터는 커패시터 보정을 위해 MSB~(MSB-4) 커패시터가 하위 커패시터들의 합보다 작게 설계되어 있다. 즉, 481개의 단위 커패시터와 추가적인 보정용 커패시터가 54.25개의 단위 커패시터로 구성되어 있다. 단위 커패시터는 공정에서 제공하는 최소 커패시터스인 5.312fF이다.

표 1은 설계된 단일 출력의 9-bit CDAC에 사용된 커패시터에 구성을 보여준다. 커패시터 보정 코드가 증가할수록 더 많은 보정용 커패시터가 SAR ADC의 일반 동작 모드에 참여한다. 이상적인 경우, 일반 동작 모드에 사용되는 커패시터 보정 코드는 $3b'100$ 으로 결정된다.

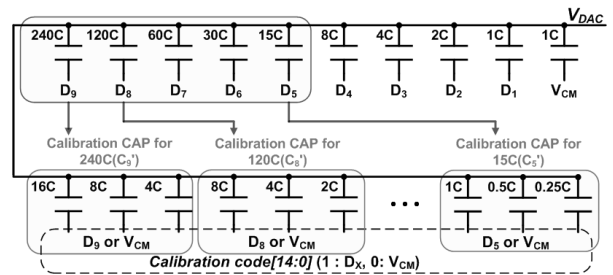


Fig. 8. Proposed CDAC structure.
 그림 8. 제안하는 CDAC 구조

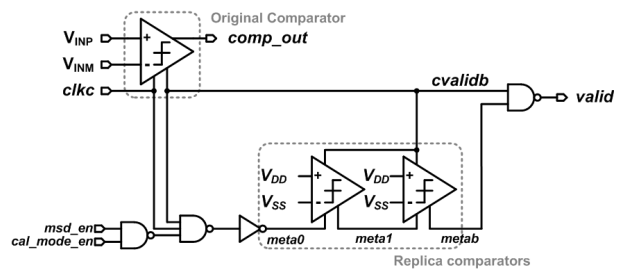


Fig. 9. Circuit diagram of comparator including replica comparator.
 그림 9. 레플리카 비교기를 포함한 비교기의 회로도

Table 1. Capacitors of designed CDAC.

표 1. 설계된 CDAC의 커패시터

CDAC 커패시터	단위 커패시터	일반 동작 모드에 사용되는 보정용 커패시터 ($3b'100$)	보정용 커패시터	커패시터 보정 코드: $3b'000 \sim 3b'111$
C_9	$240 \cdot C_u$	$16 \cdot C_u$	C_9'	$(0 \sim 28) \cdot C_u$
C_8	$120 \cdot C_u$	$8 \cdot C_u$	C_8'	$(0 \sim 14) \cdot C_u$
C_7	$60 \cdot C_u$	$4 \cdot C_u$	C_7'	$(0 \sim 7) \cdot C_u$
C_6	$30 \cdot C_u$	$2 \cdot C_u$	C_6'	$(0 \sim 3.5) \cdot C_u$
C_5	$15 \cdot C_u$	$1 \cdot C_u$	C_5'	$(0 \sim 1.75) \cdot C_u$

나. 준안정 상태 검출 회로를 가진 비교기

비동기 SAR ADC에서 비교기가 준안정 상태일 경우 데이터 변환에 큰 오류를 발생시킬 수 있다. 따라서 준안정 상태를 검출하고 준안정 상태에 빠진 경우 비교 동작을 강제로 종료시킬 수 있는 회로가 필요하다. 그림 9는 준안정 상태를 검출하는 회로를 포함한 비교기를 나타낸다. 준안정 상태를 검출하기 위해서 최소의 지연시간을 가지도록 V_{DD} 와 V_{SS} 를 입력으로 가지는 레플리카 비교기를 사용하였다[8]. 레플리카 비교기는 오리지널 비교기와 같은 구조로 설계되었다. 준안정 상태로 판단되면 *valid* 신호를 강제로 'high'로 만들어 비교를 강제로 종료한다.

III. 10비트 20MS/s 비동기 SAR ADC의 구현 및 측정 결과

그림 10은 제작된 10비트 20MS/s 비동기 SAR ADC 칩의 사진과 레이아웃의 그림이다. 제안된 비동기 SAR ADC는 1.2V의 공급전압을 이용하는 1-poly 5-metal 110nm CMOS 공정에서 제작되었다. ADC의 core 면적은 0.205mm^2 이고, 전력 소모는 일반 비교 모드일 때 1.25mW, 커패시터 보정 모드일 때 0.652mW이다. 또한, 정적 전력소모는 8uW이다. 그림 11(a)는 커패시터 부정합 오류가 이상적인 커패시터의 값 대비 최소 0%에서 최대 20%까지 발생된 상황을 가정하여, 보정코드를 인가 후 측정을 진행하였다. 측정된 DNL과 INL은 각각 $-1/+0.646\text{LSB}$, $-2.401/+1.806\text{LSB}$ 이다. DNL의 측정값은 ADC의 출력 코드에 누락 코드가 발생되었음을 보여준다. 커패시터 자체 보정 이후 측정된 DNL과 INL은 그림 11(b)와 같이 각각 $-0.358/+0.742\text{LSB}$,

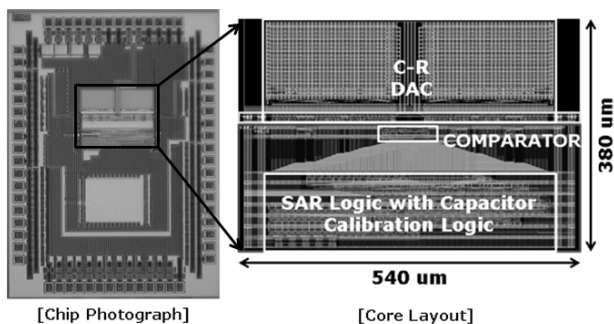
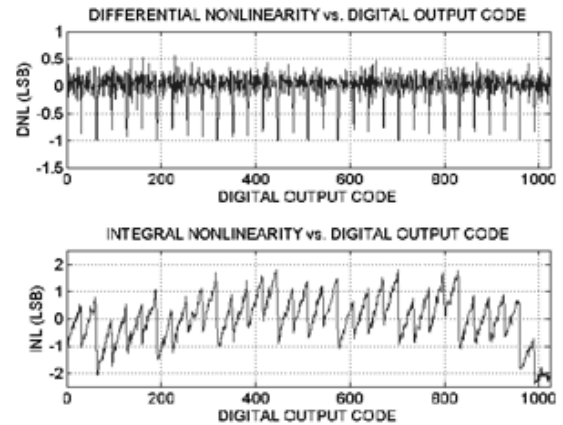
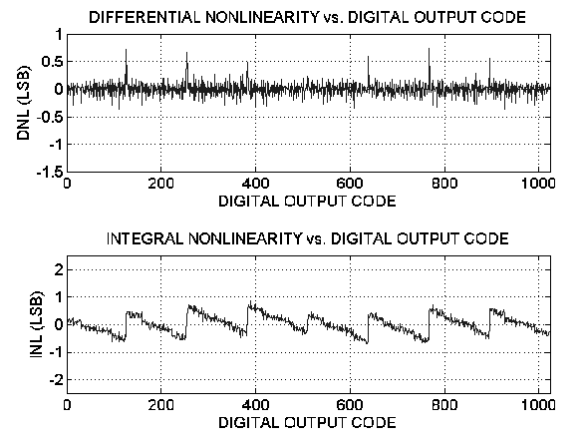


Fig. 10. Photograph and layout of implemented chip.
그림 10. 제작된 칩의 사진과 레이아웃



(a)



(b)

Fig. 11. Measured static performance according to capacitor self-calibration (a) case that capacitor self-calibration code is applied when the capacitor mismatch is assumed to be at least 0% to 20%. (b) after applying capacitor self-calibration.

그림 11. 커패시터 자체 보정에 따른 측정된 정적특성 그래프 (a) 커패시터 부정합을 최소 0%에서 최대 20%로 가정할 때의 커패시터 보정 코드를 인가한 경우 (b) 커패시터 자체 보정 기법 적용 후.

$-0.730/+0.857\text{LSB}$ 이다. 그림 8과 표 1에 나타난 상위 커패시터의 보상용 단위 커패시터의 제어 해상도를 향상시킬 경우 DNL과 INL의 추가적인 개선이 기대된다.

그림 12는 커패시터의 자체 보정이 수행된 후 20MS/s의 샘플 주파수와 96.13kHz의 낮은 주파수를 가지는 아날로그 입력에 대해 측정된 동적 특성을 보여주며, 측정된 signal-to-noise and distortion ratio(SNDR)과 ENOB는 각각 57.109dB와 9.194비트이다. 그림 13은 아날로그 입력 주파수의 변화에 따른 ADC의 동적 특성을 나타낸다. 낮은 입력 주파수부터 Nyquist 주파수까지 8.50비트 이상의 ENOB

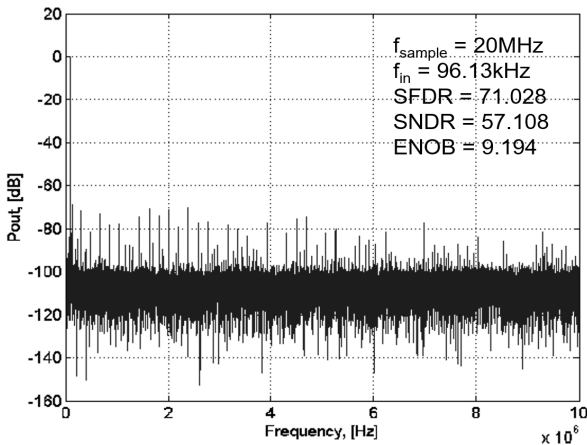


Fig. 12. Measured power spectrum of ADC output @ $f_{sample}=20\text{MHz}$, $f_{in}=96.13\text{kHz}$.

그림 12. 측정된 ADC 출력의 주파수 스펙트럼 @ $f_{sample}=20\text{MHz}$, $f_{in}=96.13\text{kHz}$.

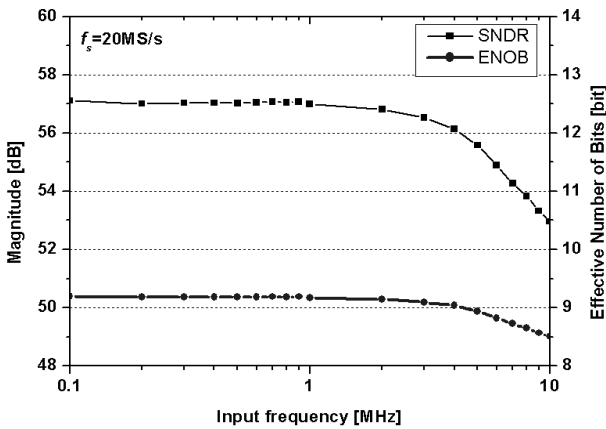


Fig. 13. Dynamic performance (SNDR and ENOB) of ADC according to frequency change of analog input.

그림 13. 아날로그 입력신호의 주파수에 변화에 따른 ADC의 동적 특성 (SNDR과 ENOB).

Table 2. Performance of proposed 10-bit 20-MS/s asynchronous SAR ADC.

표 2. 제안된 10비트 20MS/s 비동기 SAR ADC의 특성

Item	Contents
Resolution	10 bits
Sampling rate	20 MHz
Supply voltage	1.2 V
Process	110nm CMOS
ENOB	9.194 bits (@ DC)
	8.5 bits (@ Nyquist)
DNL	-0.358/+0.742 LSBs
INL	-0.730/+0.857 LSBs
Power consumption	1.25 mW
Active area	0.205 mm ²

를 유지한다. 표 2는 제안된 자체 보정 CDAC를 이용하여 제작된 10비트 20MS/s 비동기 SAR ADC의 전체 특성이다.

IV. 결론

본 논문에서는 커패시터 자체 보정 기법을 이용하는 10비트 20MS/s 비동기 SAR ADC가 제안되었다. 제안하는 커패시터 보정 기법은 상위 5비트에 해당하는 커패시터를 보정하기 위해서 사용되었고, 이는 커패시터 오류가 발생할 경우에 효과적으로 사용할 수 있다. Behavioral 시뮬레이션 결과는 일반적인 SAR ADC의 커패시터 부정합이 이상적인 커패시터 값의 최대 4%가 발생할 경우 -0.810/+0.194LSB, -0.832/+0.832LSB의 DNL과 INL 특성이 제안하는 커패시터 보정 기법의 적용으로 -0.235/+0.178LSB과 -0.227/+0.227LSB으로 개선됨을 보여주었다. 1.2V 공급 전압을 이용하는 110nm CMOS 공정에서 제작된 10비트 비동기 SAR ADC는 20MS/s의 샘플 주파수, 그리고 96.13kHz의 주파수를 가지는 아날로그 입력신호에 대해 57.109dB의 SNDR과 9.194비트의 ENOB를 가졌다. 제안한 10비트 20MS/s 비동기 SAR ADC의 면적은 0.205mm²이며, 데이터 변환 모드에서의 전력소모와 정적 전력 소모는 각각 1.25mW와 8uW이다.

References

[1] W.-Y. Pang, C.-S. Wang, Y.-K. Chang, N.-K. Chou, and C.-K. Wang, "10-bit 500-KS/s low power SAR ADC with splitting capacitor for biomedical applications," *IEEE ASSCC Tech. Papers*, pp. 149-52, 2009. DOI: 10.1109/ASSCC.2009.5357200

[2] C.-C. Liu, S.-J. Chang, G.-Y. Huang, and Y.-Z. Lin, "10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 731-740, 2010. DOI: 10.1109/JSSC.2010.2042254

[3] Y. Zhu, C.-H. Chan, U.-F. Chio, S.-W. Sin, S.-P. U, and R. P. Martins, "A 10-bit 100-MS/s Reference-Free SAR ADC in 90 nm CMOS,"

- IEEE J. Solid-State circuits*, vol. 45, no. 6, pp. 1111–1121, 2010. DOI: 10.1109/JSSC.2010.2048498
- [4] G.-Y. Huang, S.-J. Chang, C.-C. Liu, and Y.-Z. Lin, “10-bit 30-MS/s SAR ADC using switchback switching method,” *IEEE Transactions on VLSI Systems*, vol. 21, no. 3, pp. 584–588, 2013. DOI: 10.1109/TVLSI.2012.2190117
- [5] H.-S. Lee, D. A. Hodges, and P. R. Gray, “A Self-Calibrating 15 Bit CMOS A/D Converter,” *IEEE J. Solid-State circuits*, vol. sc-19, no. 6, pp. 813–819, 1984. DOI: 10.1109/JSSC.1984.1052231
- [6] J.-Y. Um, Y.-J. Kim, E.-W. Song, J.-Y. Sim, and H.-J. Park, “A Digital-Domain Calibration of Split-Capacitor DAC for a Differential SAR ADC Without Additional Analog Circuit,” *IEEE Transactions on circuit and systems*, vol. 60, no. 11, pp. 2845–2856, 2013. DOI: 10.1109/TCSI.2013.2252475
- [7] E. Youn and Y.-C. Jang, “12-bit 20M-S/s SAR ADC using C-R DAC and Capacitor Calibration,” *IEEE ISOCC*, pp. 1–2, 2018. DOI: 10.1109/ISOCC.2018.8649894
- [8] S.-M. Park, Y.-H. Jeong, Y.-J. Hwang, P.-H. Lee, Y.-W. Kim, J. Son, H.-Y. Lee, and Y.-C. Jang, “A 10-bit 20-MS/s Asynchronous SAR ADC with Meta-stability Detector using Replica Comparators,” *IEICE transaction on Electronics*, vol. E99-C, no. 6, pp. 651–654, 2016. DOI: 10.1587/transele.E99.C.651

BIOGRAPHY

Eun-ji Youn (Member)



2017 : BS degree in School of Electrical Engineering, Kumoh National Institute of Technology.
 2019 : MS degree in Department of Electronic Engineering, Kumoh National Institute of Technology.

Young-Chan Jang (Member)



1999 : BS degree in School of Electrical Engineering, Kyungpook National University.
 2001 : MS degree in Department of Electronic Engineering, Pohang University of Science and Technology.

2005 : PhD degree in Department of Electronic Engineering, Pohang University of Science and Technology.
 2005~2009 : Senior Engineer, Samsung Electronics.
 2009~2019 : Assistant and Associate Professor, Kumoh National Institute of Technology