

센서 네트워크를 위한 2.4 GHz 저잡음 커플드 링 발진기

심재훈⁺

A 2.4 GHz Low-Noise Coupled Ring Oscillator with Quadrature Output for Sensor Networks

Jae Hoon Shim⁺

Abstract

The voltage-controlled oscillator is one of the fundamental building blocks that determine the signal quality and power consumption in RF transceivers for wireless sensor networks. Ring oscillators are attractive owing to their small form factor and multi-phase capability despite the relatively poor phase noise performance in comparison with LC oscillators. The phase noise of a ring oscillator can be improved by using a coupled structure that works at a lower frequency. This paper introduces a 2.4 GHz low-noise ring oscillator that consists of two 3-stage coupled ring oscillators. Each sub-oscillator operates at 800 MHz, and the multi-phase signals are combined to generate a 2.4 GHz quadrature output. The voltage-controlled ring oscillator designed in a 65-nm standard CMOS technology has a tuning range of 800 MHz and exhibits the phase noise of -104 dBc/Hz at 1 MHz offset. The power consumption is 13.3 mW from a 1.2 V supply voltage.

Keywords: Ring oscillator, VCO, Coupled Oscillator, USN, WSN

1. 서 론

전압제어발진기(Voltage-Controlled Oscillator)는 무선 센서 네트워크를 비롯한 여러 통신시스템의 RF 송수신기에 사용되는 핵심적인 부품이다. 통신에 필요한 여러 주파수의 신호를 생성하기 위해 위상고정회로(Phase-Locked Loop)와 함께 사용된다. 전압제어발진기의 위상잡음은 통신 품질과 바로 연결되기 때문에 저잡음의 전압제어발진기를 설계하는 것은 매우 중요하다. 일반적으로 LC 공진 회로를 이용한 발진기가 위상잡음이 우수하나 큰 면적을 차지하고 다른 회로들에 간섭을 크게 일으키는 문제점을 갖고 있다. 반면 링 발진기는 디지털 인버터 회로로 구성되기 때문에 매우 작은 면적을 차지하고 표준 공정에서도 쉽게 구현할 수 있다. 또한 링 발진기는 LC 발진기에 비해 주파수 조절 범위가 넓고 여러 개의 위상을 동시에 만들 수 있다

는 장점을 지닌다. 링 발진기는 LC 발진기에 비해 위상잡음이 크다는 문제점이 있지만, 무선 센서 네트워크 등의 일부 통신 시스템에서는 위상잡음에 대한 요구 조건이 크게 까다롭지 않아 링 발진기를 이용하는 것이 가능하다[1].

일반적으로 발진기의 위상잡음을 좋게 하려면 더 많은 전력을 소모하여야 한다. 센서 네트워크에서는 전력 소모를 줄이는 것이 매우 중요하므로 적은 전력 소모로 낮은 위상잡음을 갖는 발진기를 설계하는 것은 매우 중요한 일이다.

링 발진기의 위상 잡음을 줄이기 위해 다양한 방법을 시도할 수 있다. 먼저, 링 발진기를 구성하는 MOSFET의 $1/f$ 잡음으로 인한 위상 잡음을 줄이기 위해서는 MOSFET의 크기를 키우는 것이 바람직하다 [2]. 그러나 MOSFET의 채널 폭(W) 및 길이(L)를 키우는 것은 기생 커패시턴스 성분을 크게 만들어 단위 인버터 회로의 딜레이를 증가시키고 따라서 동작 주파수를 떨어뜨리게 된다. $1/f$ 잡음의 영향을 줄이면서도 동작 주파수의 감소를 완화하기 위하여 Fig. 1과 같이 음의 딜레이를 갖는 신호를 PMOS 트랜지스터를 구동할 때 활용할 수 있다 [3]. 일반적으로 PMOS 트랜지스터는 NMOS 트랜지스터보다 동작 속도가 떨어지므로, NMOS 트랜지스터의 게이트 신호보다 먼저 변하는 신호를 PMOS 트랜지스터의 게이트에 인가함으로써 링 발진기의 동작 속도를 증가시킬 수 있다. 다만, 이렇게 할 경우 PMOS, NMOS 트랜지스터가 동시에 켜짐으로 인해 발생하는 단락회로 전류가 증가하여 전력 소모 또한 증가할 수 있다.

경북대학교 전자공학부(School of Electronics Engineering, Kyungpook National University)

School of Electronics Engineering, Kyungpook National University, 80 Daehakro, Buk-gu, Daegu, 41566, Korea

⁺Corresponding author: jhshim@knu.ac.kr

(Received: Mar. 23, 2019, Accepted: Mar. 27, 2019)

This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

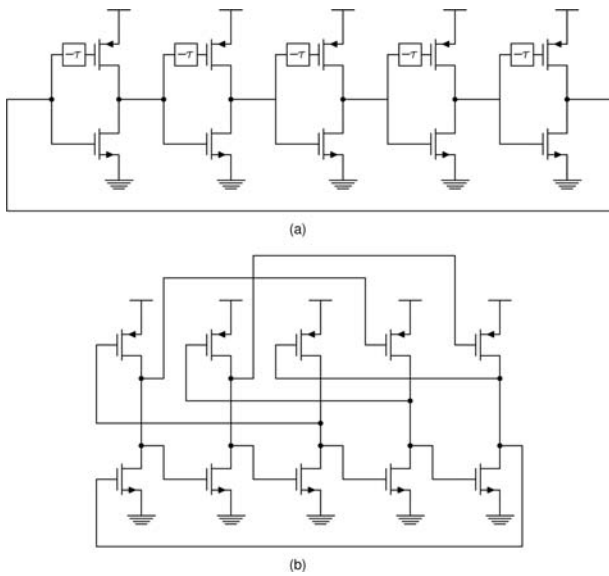


Fig. 1. Ring oscillator using negative skewed scheme: (a) conceptual diagram, (b) schematic diagram [3].

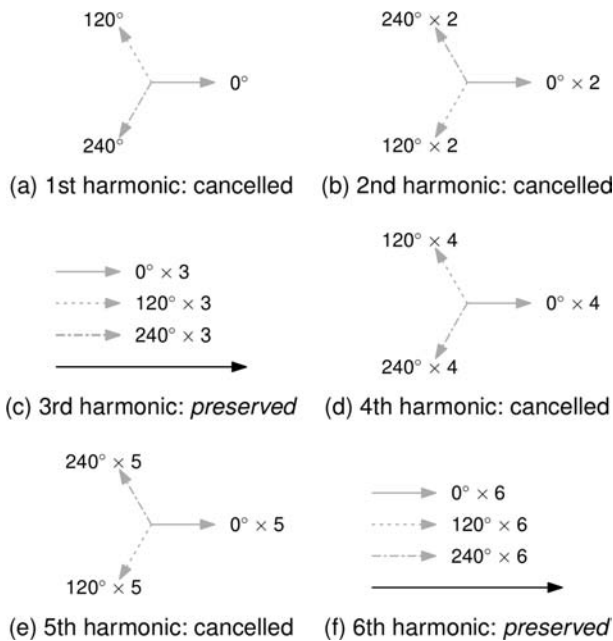


Fig. 2. Frequency multiplication by combining 0° , 120° , 240° signals.

크기가 큰 MOSFET으로 구성된 링 발진기로부터 더 높은 주파수를 만들어내기 위하여 고조파 신호를 이용할 수 있다 [4-7]. 링 발진기에서 생성된 120° 위상차를 갖는 세 개의 신호를 같은 크기로 더할 경우, 그 결과로 얻어지는 신호에는 원래 신호의 3차, 6차, 9차 등의 고조파 성분은 남지만 1차, 2차, 4차, 5차 등의 고조파 신호는 상쇄된다 (Fig. 2) [7]. 따라서 원래 신호의 3배에 해당하는 주파수를 갖는 신호를 만들어내는 것이 가능하다. 물론 이것이 가능하기 위해서는 링 발진기에서 발생하는 신호에 충분히 큰 3차 고조파 성분이 존재하여야 한다.

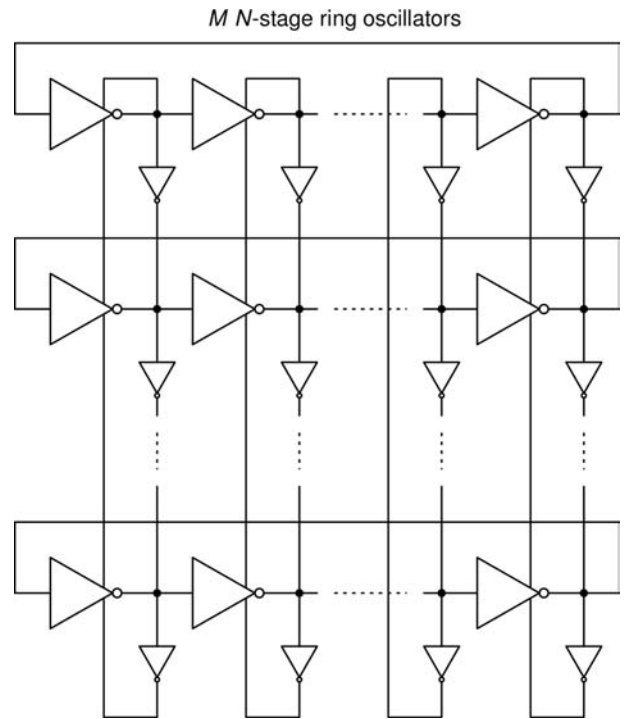


Fig. 3. Coupled ring oscillators [7,8].

링 발진기의 위상 잡음을 향상시키기 위한 또다른 방법으로 Fig. 3과 같이 여러 개의 링 발진기를 연결한 커플드 링 발진기 구조를 활용할 수 있다 [7-9]. M 개의 링 발진기를 순서대로 연결한 구조에서는 일반적으로 위상 잡음이 약 $10\log M$ dB 만큼 향상된다 [7]. 또한 M개의 링 발진기를 이용함으로써 더 많은 개수의 위상 신호를 만들 수 있다. 일반적인 링 발진기에서는 생성되는 위상의 개수를 늘리려면 링 발진기를 구성하는 인버터의 개수를 늘려야 하는데 이는 동작 주파수의 감소를 가져온다. 그러나 커플드 링 발진기 구조에서는 각 링 발진기의 동작 속도는 그대로인 채 서로 연결된 링 발진기 사이에 일정한 위상 차가 발생하게 만들 수 있으므로 동작 속도의 감소 없이 더 많은 위상 신호를 만들 수 있다.

이 논문에서는 앞에 기술한 링 발진기의 위상 잡음 향상 방법들을 적용한 무선 센서 네트워크 용 2.4 GHz 링 발진기 회로를 제시한다. 2장에서는 링 발진기의 구조 및 구성 회로를 설명한다. 3장에서는 제안하는 링 발진기의 성능을 분석하고 4장에서 결론을 제시한다.

2. 제안하는 회로

2.1 전체 구조

제안하는 링 발진기의 구조는 Fig. 4와 같다. 두 개의 800MHz 링 발진기가 서로 연결된 구조이다. 각 링 발진기는 차동 딜레이

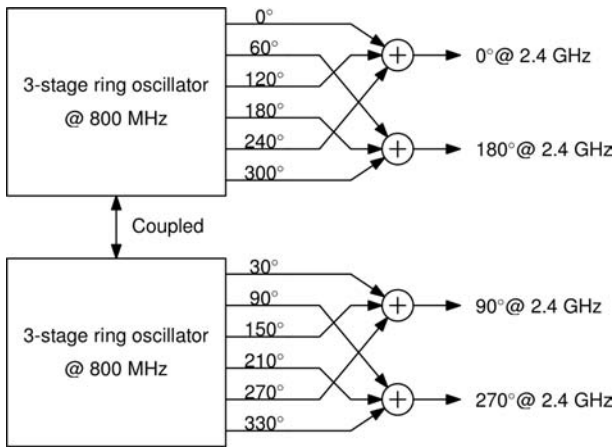


Fig. 4. Overall architecture of the proposed oscillator.

이 셀 세 개가 연결된 구조이고 따라서 0°, 60°, 120°, 180°, 240°, 300°의 총 여섯 개의 위상 신호를 생성해낸다. 두 개의 링 발진기는 서로 연결되어 있어 서로 간에 30°만큼의 위상 차이가 있다. 결국 30°의 위상 간격을 갖는 총 열두 개의 신호가 생성된다. 열두 개의 신호는 네 개의 그룹으로 묶이고 각 그룹에 있는 120° 위상 간격을 갖는 세 개의 신호가 같은 크기로 더해진다. 그 결과 원래의 링 발진기 주파수의 세 배에 해당하는 주파수 신호가 생성되고 각 그룹에서 만들어진 신호들은 90° 위상 간격을 갖게 된다. 결과적으로 90° 위상 간격을 갖는 네 개의 2.4 GHz 신호를 만들어낼 수 있다.

2.2 세부 회로

2.2.1 딜레이 셀

링 발진기에 사용된 딜레이 셀은 Fig. 5와 같다. PMOS 크로스커플 로드를 갖는 차동 딜레이 셀로서 두 쌍의 차동 입력 신호를 받는다. NMOS 트랜지스터를 구동하는 입력 신호는 해당 링 발진기 바로 앞 단의 출력 신호로부터 온다. PMOS 트랜지스터 입력단은 두 개의 링 발진기를 서로 연결할 때 사용되며, NMOS 트랜지스터 구동 신호보다 30° 앞선 위상을 갖는 신호를 다른 링 발진기로부터 받아온다. 1/f 잡음을 줄이기 위하여 모든 트랜지스터의 W/L 값은 비교적 큰 20 um/0.6 um를 사용하였다.

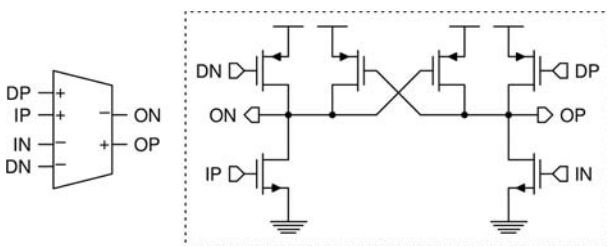


Fig. 5. Delay cell.

2.2.2 커플드 링 발진기

세 개의 차동 딜레이 셀이 연결된 링 발진기 두 개가 서로 연결된 구조이다. 각 셀의 출력단에는 주파수 조절을 위하여 Fig. 6과 같이 버랙터(Varactor)를 연결하였다. Fig. 7은 커플드 링 발진기를 시뮬레이션한 결과 파형이다. 30° 간격으로 열두 개의 위상 신호가 생성된다.

2.2.3 주파수 체배기

커플드 링 발진기에서 만들어진 열두 개의 신호 중 120° 위상 간격을 갖고 있는 세 신호를 더하여 원 신호 주파수의 세 배 주파수를 갖는 신호를 생성한다. Fig. 8과 같이 세 신호가 구동하는 인버터의 출력 노드를 연결하여 인버터 출력 전류를 더한다. 이렇게 더해진 신호는 Fig. 9에 보인 바와 같이 원래 신호보다 세 배 높은 주파수를 갖게 된다.

그러나 3차 고조파를 사용하여 주파수를 체배하기 때문에 최

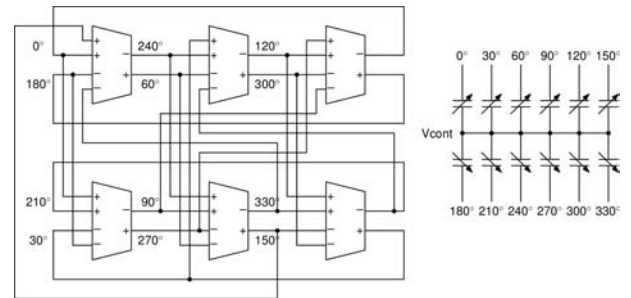


Fig. 6. Coupled 3-stage ring oscillators.

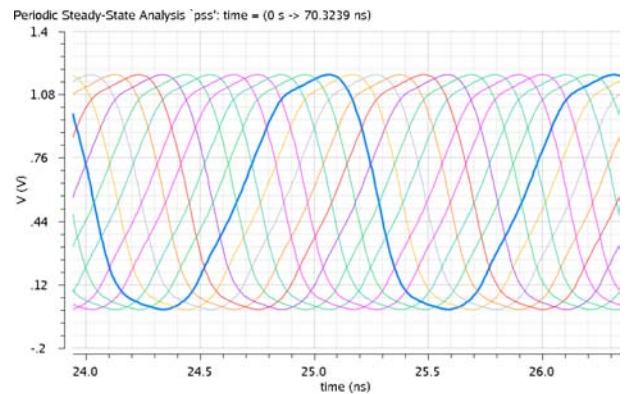


Fig. 7. Simulated waveform of multiphase signals.

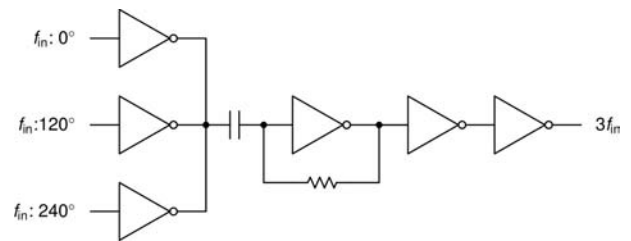


Fig. 8. Frequency multiplier.

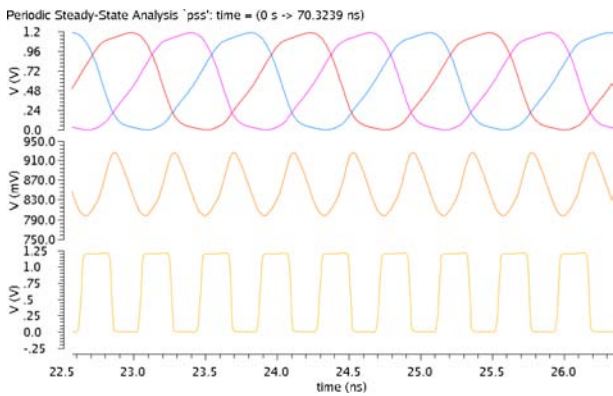


Fig. 9. Simulated waveform of frequency multipliers.

중 결과는 원래의 신호보다 진폭이 작아지게 된다. 이 신호를 셀프-바이어스를 이용한 CMOS 인버터 증폭기로 증폭시켜 최대 진폭을 갖는 신호로 변환한다. 커플드 링 발진기에서 나온 신호를 모두 사용하면 주파수는 세 배이고 위상 간격은 90°인 네 개의 최종 신호를 만들어낼 수 있다.

3. 결과 및 고찰

3.1 링 발진기 구조별 성능 비교

2장에서 제안한 링 발진기 구조를 65nm CMOS 표준 공정을 이용하여 설계하였다. 제안된 회로의 성능을 다른 구조와 비교하기 위하여 Table 1과 같이 다섯 개의 다른 구조 또한 함께 설계하였다. P는 제안된 회로이다. C1은 2단으로만 구성된 링 발진기이다. 차동 딜레이 셀을 사용하기 때문에 C1 구조는 총 4개의 위상을 얻을 수 있다. C2는 3 단으로 구성된 링 발진기이고, C3는 C2와 기본적으로 같은 구조이나 Fig. 5의 딜레이 셀을 이용하여 Fig. 10과 같이 구성한 링 발진기이다 [10]. C4는 C3의 구조에서 세 개의 위상 신호를 결합하여 주파수가 3 배가 되도록 한 구조이다. C5는 6 단으로 구성된 하나의 링 발진기의 출력 주파수를 3배로 채배하는 구조이다. Table 1의 모든 링 발진기는 최종 신호의 주파수가 2.4 GHz가 되도록 딜레이 셀

Table 1. List of designed ring oscillators.

Code	Architecture	# of phases
P	Proposed coupled 3-stage ring w / 3x freq. multiplication	4
C1	2-stage ring	4
C2	3-stage ring	6
C3	3-stage double-delay ring	6
C4	3-stage double-delay ring w/ 3x freq. multiplication	2
C5	6-stage double-delay ring w/ 3x freq. multiplication	4

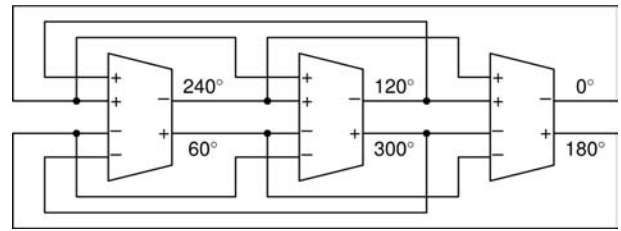


Fig. 10. The 3-stage ring oscillator with dual delay path(C3 structure).

의 크기를 조정하여 설계되었다. 또한 설계를 간단히 하기 위해 버퍼는 사용하지 않았다.

설계된 회로는 Cadence Spectre-RF 시뮬레이션 툴을 이용하여 성능을 평가하였다. Table 2는 각 링 발진기의 성능을 비교한 것이다. C1과 C2를 비교하면, 같은 주파수에서 동작할 경우 링 발진기 단의 개수와 상관 없이 비슷한 성능을 내는 것을 알 수 있다. 단의 개수가 늘어나면 미세하나마 위상잡음 성능이 안 좋아지지만 더 많은 위상 신호를 생성할 수 있다는 장점이 있다. C2와 C3를 비교해 보면, Fig. 10의 구조는 위상 잡음은 비슷하나 전력소모가 증가하는 것을 볼 수 있다. C3의 구조는 같은 크기의 딜레이 셀을 사용할 경우 더 높은 주파수에서 동작시킬 수 있고 전압 조절 범위도 넓어지지만[10], 위상잡음이나 전력 소모 면에서는 크게 개선되지 않음을 확인하였다. C4는 P의 경우를 제외하고는 가장 좋은 위상 잡음 성능을 보여 주고 있다. 주파수 채배를 하기 때문에 기본 링 발진기의 동작 속도가 낮아도 되고 이는 딜레이 셀의 크기를 키울 수 있어 위상잡음이 향상된다. C4를 이용하면 0°, 180°의 두 위상을 만들 수 있는데 90°, 270°의 위상도 함께 만들 필요가 있다면 C5와 같이 6 단의 링 발진기를 이용할 수 있다. 다만, 이 경우 위상잡음 특성이 안 좋아지는 것을 볼 수 있다. 제안된 발진기(P)와 같이 3단짜리 링 발진기를 서로 커플링 시킬 경우 위상잡음이 크게 향상됨을 알 수 있다. 위상 잡음이 좋은 대신 전력 소모도 가장 크지만, 같은 전력 소모 대비 위

Table 2. Performance comparison of various ring oscillator structures.

Code	Phase Noise @ 1MHz Offset (dBc/Hz)	Power Consumption (mW)	FoM ¹ (dB)
P	-105	13.5	161.0
C1	-97	4.9	157.6
C2	-96	4.6	156.9
C3	-96	6.0	155.7
C4	-101	7.5	159.5
C5	-98	7.7	157.0

¹FoM = 20 log(f₀/Δf) + 10 log(1mW/P_{dc})-L(Δf)

상 잡음의 특성을 나타내는 FoM의 값을 비교하더라도 가장 좋은 성능을 내는 것을 알 수 있다. 또한 C5와 같이 네 개의 위상 신호를 생성할 수도 있다.

3.2 전압제어 링 발진기

3.1절의 구조 비교에서 알 수 있듯이 커플드 링 발진기를 이용하여 주파수 체배를 할 경우 가장 좋은 성능을 얻을 수 있다. 이 구조를 이용하여 전압제어 발진기를 설계하였다. 링 발진기에서 주파수를 조절하는 여러 방법이 있으나 버랙터를 이용하는 것이 비교적 주파수에 따른 위상 잡음의 변화를 적게 만들 수 있다 [11]. Fig. 6과 같이 링 발진기 각 출력 노드에 버랙터를 연결하여 주파수를 조절할 수 있게 하였고 각 버랙터의 W/L 값은 $20 \mu\text{m}/0.25 \mu\text{m}$ 이다. 추가적으로 35 fF 커패시터 7개를 각 노드에 스위치로 연결하여 외부 디지털 코드에 따라 주파수를 조절할 수 있게 하였다. 그 결과 Fig. 11에 보인 바와 같이 2.1 GHz에서 2.9 GHz까지의 주파수 조절 범위와 약 145 MHz/V의 이득을 갖는다. Fig. 12는 주파수 옵셋에 따른 위상잡음의 변화를 보여준다. 1 MHz 옵셋에서 약 -104 dBc/Hz의 위상 잡음을 보이고 이 값은 입력 제어 전압과 상관 없이 거의 일정한 특성을 유지한다.

Table 3은 제안된 전압제어 발진기의 성능과 기존에 발표된

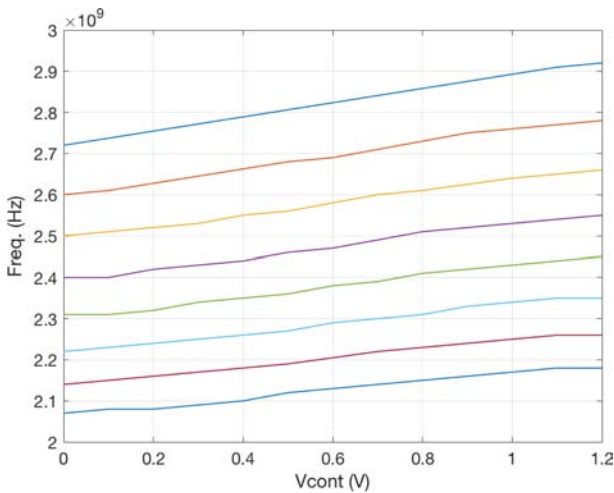


Fig. 11. Simulated frequency range of the proposed VCO.

Table 3. Performance summary and comparison of VCOs

	This Work	[7]	[9]	[12]	[13]
Technology	65nm	90nm	130nm	90nm	90nm
Tuning Range (GHz)	2.1~2.9	1.0~12.8	1.0~1.5	0.63~8.1	0.2~1.8
PN @ 1MHz (dBc/Hz)/Freq.(GHz)	-104 / 2.4	-105 / 7.7	-107 / 1.5	-106 / 0.63	-110 / 1.0
Power(mW)	13.3	13~200	2.6~9.2	7~26	4.7
# of Phases	4	3	8	4	6
FoM (dB)	161	160	161	135	163

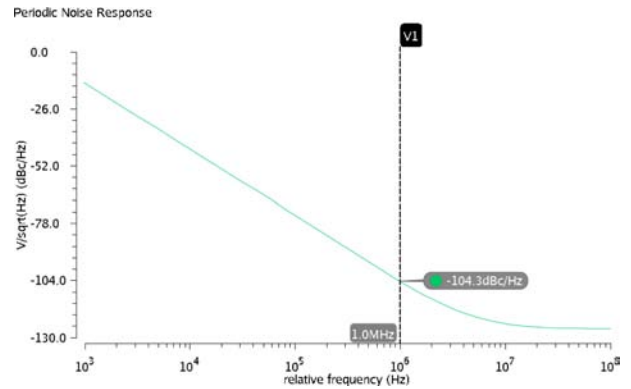


Fig. 12. Simulated phase noise.

결과들을 비교한 것이다. 제시된 전압 제어 발진기의 성능이 시뮬레이션 결과라는 한계가 있으나 최상의 성능에 가까움을 볼 수 있다.

4. 결 론

링 발진기는 표준 CMOS 공정을 사용하여 작은 면적으로 구현할 수 있고 여러 위상을 갖는 신호를 생성할 수 있다는 장점이 있으나 LC 발진기에 비하여 위상잡음 특성이 좋지 않다는 단점이 있다. 링 발진기의 위상잡음을 향상시키기 위하여 커플드 구조와 주파수 체배를 활용한 전압제어 링 발진기를 설계하고 기존의 다른 구조와 비교한 결과 제안한 구조가 가장 좋은 위상 잡음 특성을 내는 것을 확인하였다. 65 nm CMOS 표준 공정을 이용하여 설계한 전압제어 발진기는 2.1 ~ 2.9 GHz의 주파수 범위에서 동작하고 1 MHz 옵셋 주파수에서 -104 dBc/Hz의 낮은 위상 잡음 특성을 보였다. 1.2V 전원 전압으로부터 13.3 mW 전력을 소모하여 161 dB의 좋은 FoM을 얻을 수 있었다.

감사의 글

본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였습니다.

REFERENCES

- [1] O. Jung, H. Seok, A. Dissanayake, and S. Lee, "A 45-uW, 162.1-dBc/Hz FoM, 490-MHz Two-Stage Differential Ring VCO Without a Cross-Coupled Latch", *IEEE Trans. Circuits Syst. II Exp. Briefs*, Vol. 65, No. 11, pp. 1579-1583, 2018.
- [2] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, New York, pp. 215-217, 2001.
- [3] S.-J. Lee, B. Kim, and K. Lee, "A novel high-speed ring oscillator for multiphase clock generation using negative skewed delay scheme", *IEEE J. Solid-State Circuits*, Vol. 32, No. 2, pp. 289-291, 1997.
- [4] Y.-L. Tang and H. Wang, "Triple-push oscillator approach: Theory and experiments", *IEEE J. Solid-State Circuits*, Vol. 36, No. 10, pp. 1472-1479, 2001.
- [5] C.-C. Li, C.-C. Chen, B.-J. Huang, P.-C. Huang, K.-Y. Lin, and H. Wang, "A novel ring-based triple-push 0.2-to-34 GHz VCO in 0.13 μm CMOS technology", *IEEE IMS Dig. Tech. Pap.*, pp. 347-350, Atlanta, U.S.A, 2008.
- [6] B. Catli and M. M. Hella, "Triple-push operation for combined oscillation/division functionality in millimeter-wave frequency synthesizers", *IEEE J. Solid-State Circuits*, Vol. 45, No. 8, pp. 1575-1589, 2010.
- [7] M. M. Abdul-Latif and E. Sanchez-Sinencio, "Low Phase Noise Wide Tuning Range N-Push Cyclic-Coupled Ring Oscillators", *IEEE J. Solid-State Circuits*, Vol. 47, No. 6, pp. 1278-1294, 2012.
- [8] J. G. Maneatis and M. A. Horowitz, "Precise delay generation using coupled oscillators", *IEEE J. Solid-State Circuits*, Vol. 28, No. 12, pp. 1273-1282, 1993.
- [9] R. Wang and F. F. Dai, "A 171.5 GHz capacitive coupled inductor-less multi-ring oscillator with improved phase noise", *42nd Eur. Solid-State Circuits Conf.*, pp. 377-380, Lausanne, Switzerland, 2016.
- [10] C.-H. Park and B. Kim, "A low-noise, 900-MHz VCO in 0.6- μm CMOS", *IEEE J. Solid-State Circuits*, Vol. 34, No. 5, pp. 586-591, 1999.
- [11] L. Kong and B. Razavi, "A 2.4 GHz 4 mW Integer-N Inductorless RF Synthesizer", *IEEE J. Solid-State Circuits*, Vol. 51, No. 3, pp. 626-635, 2016.
- [12] E. J. Pankratz and E. Sanchez-Sinencio, "Multiloop High-Power-Supply-Rejection Quadrature Ring Oscillator", *IEEE J. Solid-State Circuits*, Vol. 47, No. 9, pp. 2033-2048, 2012.
- [13] C. Zhai, J. Fredenburg, J. Bell, and M. P. Flynn, "An N-path filter enhanced low phase noise ring VCO", *2014 Symp. VLSI Circuits Dig. Tech. Pap.*, pp. 1-2, Honolulu, U. S. A., 2014.