

저온 공정을 통해 제작이 가능한 Sn/SWNT 혼합 파우더 기반의 TSV구조 개발

정동건¹ · 정대웅² · 공성호^{1*}

Manufacture of TSVs (Through-Silicon Vias) based on Single-Walled Nanotubes (SWNTs)/Sn Composite at Low Temperature

Dong Geon Jung¹, Daewoong Jung², and Seong Ho Kong^{1*}

Abstract

In this study, the fabrication of through-silicon vias (TSVs) filled with SWNTs/Sn by utilizing surface/bulk micromachining and MEMS technologies is proposed. Tin (Sn) and single-walled nanotube (SWNT) powders are used as TSV interconnector materials in the development of a novel TSV at low temperature. The measured resistance of a TSV filled with SWNT/Sn powder is considerably reduced by increasing the fraction of Sn and is lower than that of a TSV filled with only Sn. This is because of a decrease in the surface scattering of electrons along with an increase in the grain size of sintered SWNTs/Sn. The proposed method is conducted at low temperatures (<400 °C) due to the low melting temperature of Sn; hence, the proposed TSVs filled with SWNTs/Sn can be utilized in CMOS based applications.

Keywords: TSV(Through silicon via), SWNT(Single walled nanotube), Low temperature process

1. 서 론

메모리, 시스템 LSI를 막론하고, 반도체 업체들의 가장 큰 화두는 무어의 법칙을 언제까지 연장할 수 있는지 여부이다. 무어의 법칙을 이어가야 칩 사이즈 축소를 통한 성능 개선과 가격 하락을 꾀할 수 있기 때문에, 무어의 법칙은 수요 증가에 가장 중요한 부분이다. 현재의 기술 수준에서 이러한 문제를 해결하고 무어의 법칙을 연장하기 위해서는 TSV (Through Silicon Via) 기술의 적용이 필수적이다. TSV는 반도체를 패키징하기 전 웨이퍼 상태의 칩을 수직으로 적층하고, 웨이퍼에 구멍을 뚫어 연결하는 방식으로, MCP (Multi-Chip Package)와 유사하지만 와이어로 연결하지 않는 점이 다르다. 이러한 TSV 구조를 이용하

면 칩 사이즈를 축소시킬 수 있으며, 빠른 데이터 전송 및 전력 소모를 획기적으로 줄일 수 있는 장점이 있다[1-7].

TSV 구조를 제작하기 위해서는 실리콘 웨이퍼를 식각하여 관통 구멍 (via hole)을 형성한 후, 도금 공정 (electroplating process)을 통해서 금속을 관통 구멍에 채움으로써 전기적 배선을 형성시킨다. 관통 구멍을 채울 때 사용되는 대표적인 물질은 구리 (Cu)이다[8-9]. 그러나 구리를 사용하여 관통구멍을 채울 경우, Seed layer 및 Barrier layer가 반드시 필요한데 대부분의 관통 구멍은 큰 종횡비(high aspect ratio)를 가지고 있어 Seed layer 및 Barrier layer를 균일하게 형성시키기 어려우며 도금 방식을 이용하여 구리를 균일하게 채우기도 어려워 공정의 안정성이 매우 떨어지는 단점이 있다. 이러한 단점을 해결하기 위해 구리를 대체하여 TSV 구조에 적용시킬 물질을 찾는 연구가 필요하다. 최근 전기적 배선에 쓰일 물질로써 주목받고 있는 물질 중 하나로 카본나노튜브 (Carbon NanoTubes, CNTs)가 있다. 카본나노튜브는 탄성이 있어 유연하고 외부 충격에 대해 기계적으로 매우 안정하며, 낮은 열 팽창 계수를 갖고 있다. 또한, 전류전달 밀도 (current-carrying capacity)가 구리보다 높은 10^9Acm^{-2} 에 달하며 열적으로 매우 안정하여 전류가 흐를 시 발생하는 줄열 (Joule heating)이 매우 적다. 구리와 비교하여 큰 종횡비를 갖는 관통 구멍을 채우기에도 매우 용이하다. 그러나, 기존의 카본나노튜브는 Chemical Vapor Deposition (CVD)을 이용하여 주로 형성되는데 보통 700~1000°C의 높은 온도에서 형성된다. 이러한 높은 공정 온도는 기존의 CMOS (Complementary Metal Oxide

¹ 경북대학교 전자공학부(School of Electronics Engineering, Kyungpook National University)

Kyungpook National University, Daehakro, Buk-gu, Daegu 41566, Korea

² 한국생산기술연구원 한국시스템기술그룹 (Aircraft System Technology Group, Korea Institute of Industrial Technology)

Korea Institute of Industrial Technology, Gyeongsangbukdo, Yeongcheon 38822, Korea

*Corresponding author:

(Received: Dec. 27, 2018, Accepted: Mar. 27, 2019)

This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Semiconductor) 공정과의 호환이 어려운 치명적인 단점으로 작용된다. 본 연구에서는 기존 구리를 대신하여 전기적/물리적 특성이 우수한 카본나노튜브를 TSV에 적용함과 동시에 CMOS 공정과 호환이 가능한 새로운 공정법 (저온, 저가격, 단순한 공정)을 개발하고자 한다

2. 연구 방법

고 중횡비를 갖는 TSV 구조를 제작하기 위하여, 600 μm 의 두께를 가지는 p형 실리콘 (Si) 웨이퍼를 사용하였다. 먼저, 습식 산화 공정 (Wet oxidation process)을 통하여 준비된 실리콘 기판의 양면에 1.6 μm 의 두께를 가지는 산화막 (SiO_2)을 성장시켰다. 성장된 산화막은 Deep Si Etching (DRIE) 공정을 통해 실리콘을 식각할 때, 마스크 레이어로 사용된다. 산화막을 성장시킨 후, 포토레지스트 (AZ9260)를 사용하여 노광 공정을 진행하였다.

노광 공정을 통해 실리콘 웨이퍼에 성장된 산화막이 선택적으로 노출되었고 노출된 산화막은 Buffered Oxide Etchant (BOE) 용액을 통하여 식각되었다. 고 중횡비를 갖는 TSV 구조를 제작하기 위하여 DRIE 공정을 통한 실리콘 식각 공정을 수행하였다. DRIE 공정을 통하여 실리콘 웨이퍼에 관통 구멍을 제작한 후, 전자 빔 증착장치 (E-beam evaporator)를 통하여 타이타늄 (Ti)와 금 (Au) 박막을 관통 구멍 측벽에 증착시켰다. 증착된 Ti/Au 박막은 Sn/SWNT를 관통 구멍에 채울 때, Seed layer로서의 역할을 하게 된다.

그림 1은 제안된 TSV 구조를 제작하기 위한 공정순서도이다. 다음으로, 제작된 TSV 구조에 전도성 물질을 충전하기 위하여 주석 (Sn) 파우더 (Alfa aesar, USA)와 단일벽 탄소나노튜브 (Single walled carbon nanotubes, SWNT)를 혼합하였으며 혼합 비율을 변화시켜가며 제작하였다. 동시에 가장 빈번히 사용되는 전도성 물질 중 하나인 알루미늄 (Al) 파우더를 사용하여 Sn/SWNT 혼합 파우더와 전기적 특성을 비교하였다. Al은 저항이 매우 낮으며 가격이 저렴하기 때문에 다양한 분야에서 전도성 물질로 많이 사용되고 있지만 비교적 높은 녹는점 (약 600°C)으로 인해 TSV구조에 적용하기에는 어려울 것으로 예상된다. 반면 Sn 파우더는 Al 파우더에 비하여 저항이 높지만 매우 낮은 녹는점 (약 239 °C)을 가지고 있어 저온 공정이 가능하다는 장점이 있다. 따라서, CMOS 공정 및 MEMS 기반 센서/액추에이터 공정과 같은 다양한 응용분야에 적용될 수 있다. 또한, 우수한 전기적/기계적 성질을 가지는 SWNT를 Sn 파우더에 첨가함으로써 Sn 파우더의 전기적 성질을 개선시킬 수 있을 것으로 기대된다. 준비된 Al 파우더와 Sn/SWNT 파우더는 제작된 TSV 구조에 채워진 후 퍼니스 장비를 통해 소결되어진다.

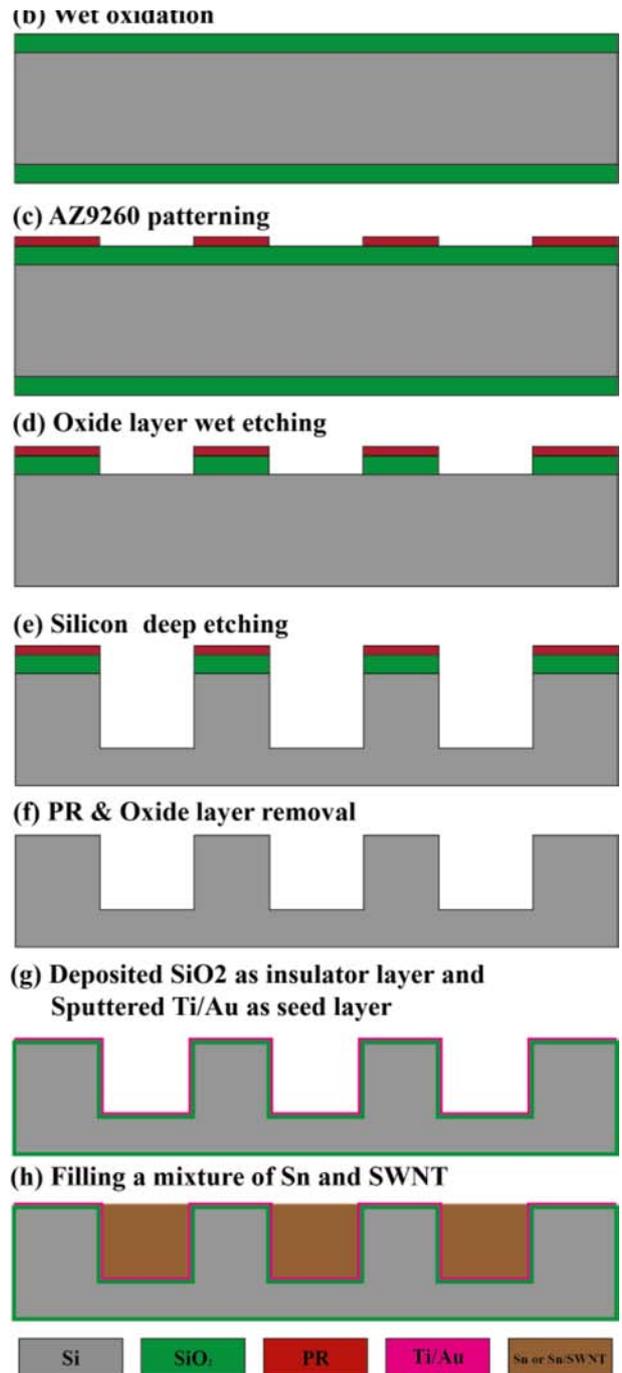


Fig. 1. Fabrication process of the proposed TSV structure

3. 결과 및 고찰

그림 2는 Sn 파우더 및 Al 파우더로 채워진 TSV 구조의 SEM (Scanning Electron Microscopy) 사진을 보여준다. 그림 2를 통해 제작된 관통 구멍에 Sn 파우더 및 Al 파우더가 가득 채워졌음을 확인할 수 있었고, 제작된 TSV 구조의 전기적 특성을 평가하기 위하여 프로브 스테이션 (Probe station, 4156C) 장비를

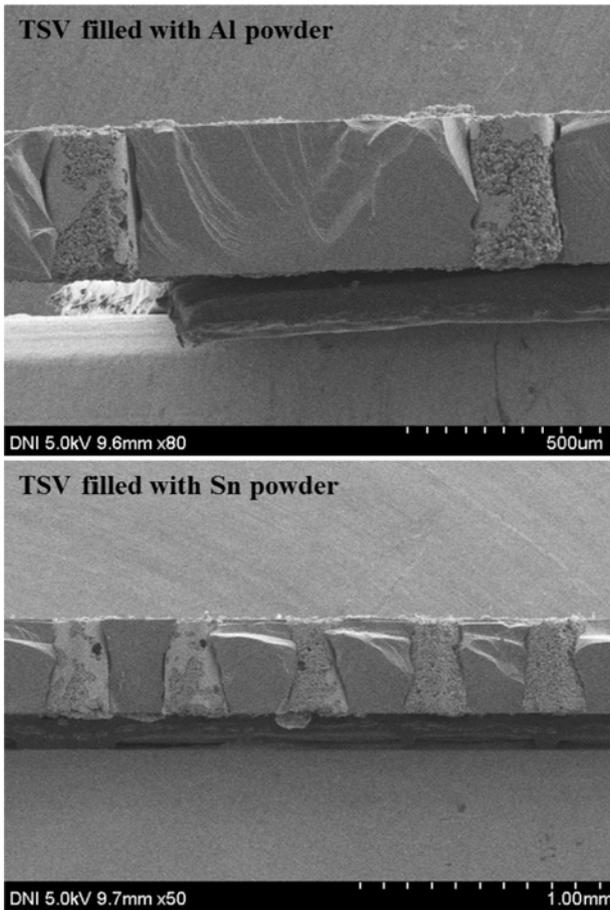


Fig. 2. SEM images of TSVs filled with Al and Sn powder

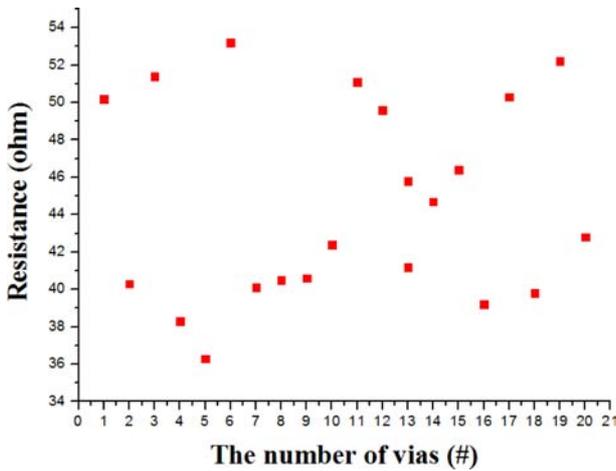


Fig. 3. Measured resistance of TSVs filled with Sn powder

활용하여 제작된 TSV구조의 저항을 측정하였다.

그림 3은 소결된 Sn 파우더 기반의 TSV의 저항 특성을 나타낸다. Sn 파우더로 채워진 TSV의 저항 값은 평균적으로 약 30 옴(Ω)을 나타내었다. 이는 비교적 높은 저항 값으로 상업용 TSV 충전 물질로는 부적합하다.

반면에 약 700 °C의 열처리를 통하여 소결된 Al 파우더 기반

의 TSV의 평균 저항은 약 2.67 옴(Ω)을 나타내었으며 이는 상업용 TSV 충전 물질로 적합함을 확인할 수 있었다 (일반적으로 구리로 도금된 상업용 TSV구조는 약 2-5 옴(Ω)의 저항값을 가진다). 그러나, 높은 소결 온도 (600 °C 이상)조건이 반드시 필요하기 때문에 다양한 분야에 활용될 수 없다는 단점이 존재하게 된다. 이러한 점을 극복하기 위하여 기존의 금속 분말보다 월등히 우수한 전기적/기계적 특성을 가지는 SWNT 파우더를 낮은 소결 온도를 가지는 Sn 파우더와 혼합하여 TSV 구조를 제작하였다.

최적의 Sn/SWNT 파우더 혼합 비율을 도출하기 위하여 다양한 비율로 Sn/SWNT 파우더를 혼합하여 관통 구멍에 채워넣은 후, 퍼니스 장비를 활용하여 소결시켰다. Sn/SWNT의 혼합비율은 1:1에서 1:10 및 1:1에서 10:1로 변화시켰으며, Sn 파우더의 충분한 소결을 위하여 소결 온도는 400 °C로 설정하였다.

본 실험을 수행할 때 가장 중요한 점은, SWNT 파우더를 균일하게 분산시키는 것이다. SWNT 파우더는 매우 높은 표면적 (약 200m²/g 이상)을 가지고 있기 때문에 van der waal force에 의한 강한 뭉침 현상 (agglomeration)을 가지고 있다. 따라서, Sn/SWNT 혼합 파우더를 제작할 때 충분히 교반해주는 것이 매우 중요하다[10-11]. 본 실험에서는 Sn 파우더와 SWNT 파우더를 혼합한 후, magnetic stirring bar를 활용하여 24시간 동안 교반하였다.

그림 4은 Sn과 SWNT파우더의 혼합비율을 1:1에서 1:10으로 변화시켜가며 제작된 관통 구멍에 채워 제작된 TSV의 SEM 사진이다. SEM 사진을 살펴보면 SWNT의 비율이 낮을때는 혼합된 SWNT 파우더가 비교적 균일하게 분포되어 있으며, 비율이 점점 높아질수록 SWNT 파우더들 간의 van der waal force에 의한 강한 뭉침현상으로인해 SWNT 파우더가 번들 (bundle)형태로 존재할 확률이 높아짐을 확인할 수 있었다. 그림 5은 Sn과 SWNT 파우더의 혼합비율을 1:1에서 10:1으로 변화시켜가며 제작된 관통 구멍에 채워 제작된 TSV의 SEM 사진이다.

앞선 실험결과와는 달리, 비교적 SWNT 파우더가 소량으로 존재하기 때문에 SWNT 파우더의 뭉침 현상은 심하지 않았으며 비교적 균일하게 분포되어 있음을 확인할 수 있었다. 또한, Sn 파우더의 비율이 높아질수록 소결된 Sn/SWNT 혼합 파우더의 그레인 (grain)사이즈 크기가 점점 증가됨을 확인할 수 있었으며, 이는 전자들이 소결된 그레인 사이를 이동할 때 발생하는 표면 산란 (surface scattering)이 줄어들 수 있음을 예상할 수 있다.

다양한 비율로 혼합된 Sn/SWNT 파우더에 의해 채워진 TSV의 전기적 특성을 평가하기 위하여, 프로브 스테이션 (Probe station, 4156C)를 통해 저항을 측정하였다.

그림 7은 SWNT 파우더의 비율을 증가시켜가며 파우더를 혼합한 후, 제작된 관통 구멍에 채워 저항을 측정한 결과 그래프이다. SWNT 파우더의 혼합 비율이 증가할수록 제작된 TSV의 저항이 증가함을 확인할 수 있었다. 반면, Sn 파우더의 혼합 비율이 증가할수록 제작된 TSV의 저항이 감소함을 그림 8을 통

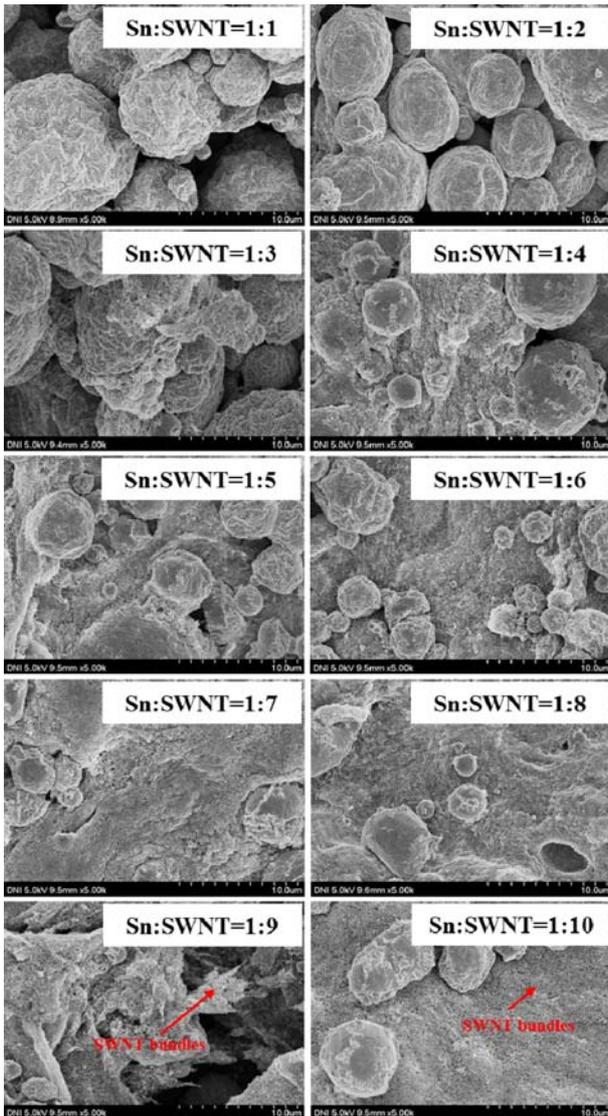


Fig. 4. SEM images of TSVs along with increasing SWNTs proportion

해 확인할 수 있었다. Sn 파우더에 SWNT 파우더가 첨가될 때, SWNT파우더의 우수한 전기적 특성으로 인해 제작된TSV의 저항이 낮아지기 위해서는 첨가된 SWNT가 균일하게 분포되어야 한다. 이는, SWNT 파우더가 균일하게 분포되어 수많은 SWNT 파우더가 연결됨에 따라 SWNT를 통해 전자가 이동할 수 있는 확률을 높여주기 때문이다. 그림 4을 통해 확인할 수 있듯이, Sn 파우더에 비해 SWNT 파우더의 비율이 급격하게 증가할수록 SWNT 파우더들 사이의 van der waal force가 강하게 작용하게 되고 그 결과, 강한 뭉침현상으로 인해 SWNT 파우더는 번들(bundle)형태를 띄게된다. 따라서, 혼합된 Sn/SWNT 파우더에 의해 채워진 TSV는 수많은 공극(void)가 형성되고, SWNT 파우더가 대부분 연결되지 못한 상태로 존재하게 된다. 이로 인해 전자들이 SWNT 파우더를 통해 원활하게 이동하지 못하거나 대부분 소결된 Sn 파우더를 통해서만 이동하게 된다.

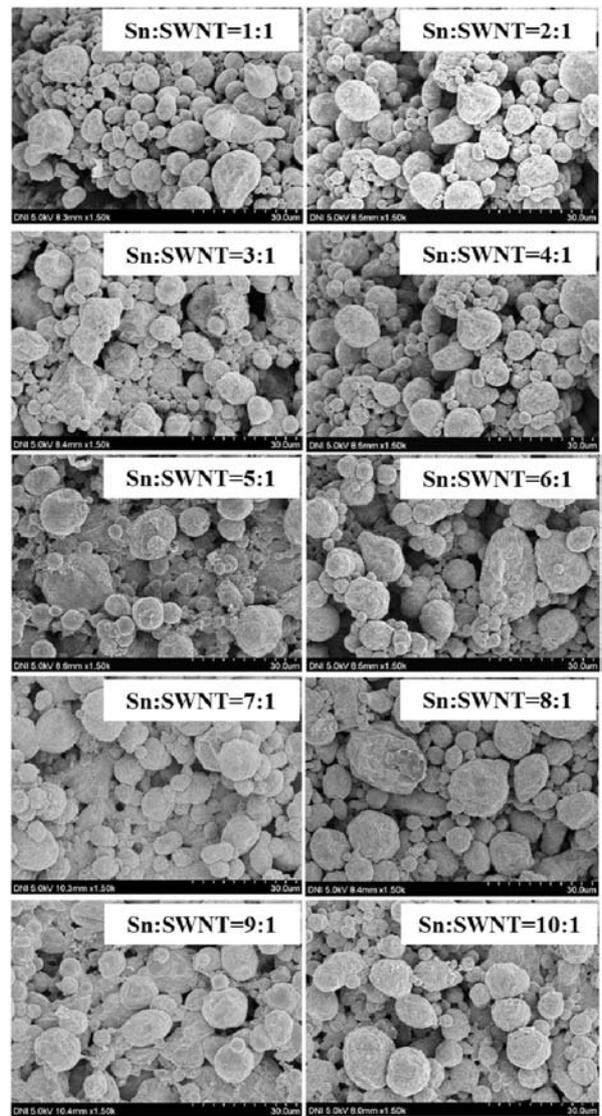


Fig. 5. SEM images of TSVs along with increasing Sn powder proportion

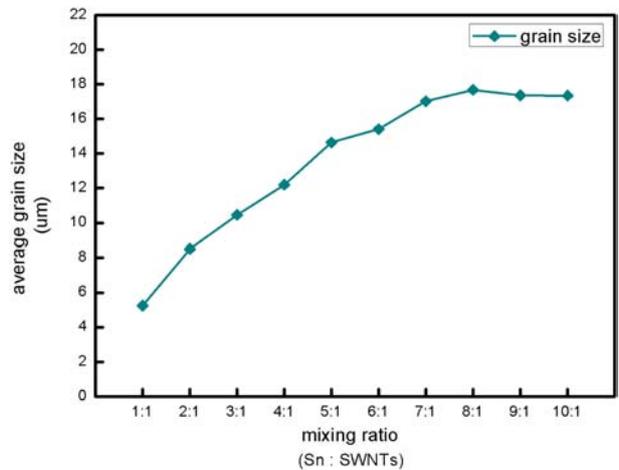


Fig. 6. Sintered Sn/SWNT powder's grain size along with increasing Sn powder proportion

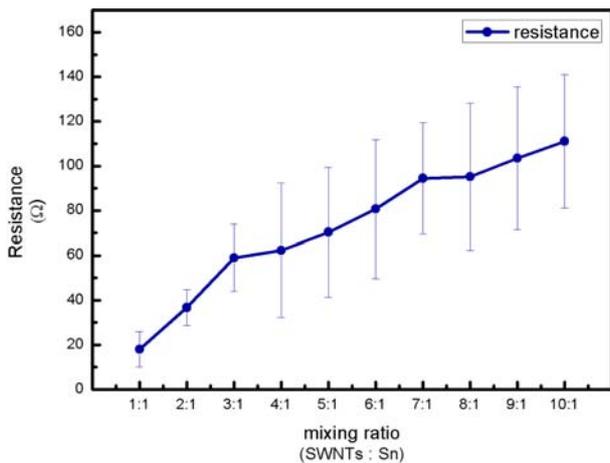


Fig. 7. Measured resistance of TSVs along with increasing SWNT powder

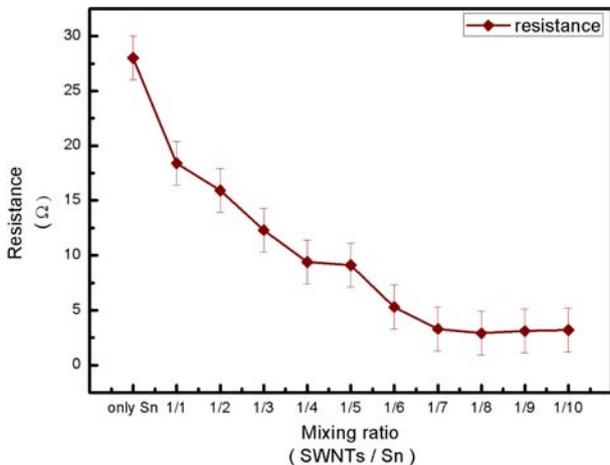


Fig. 8. Measured resistance of TSVs along with increasing Sn powder

어난 특성에도 불구하고 다양한 용도로 사용할 수 없는 한계점이 존재한다. 이러한 문제를 해결하기 위해 Sn 파우더와 SWNT 파우더를 혼합한 물질을 TSV의 새로운 충전 물질로 제안하였다. 일반적으로, Sn 파우더는 알루미늄, 금 및 니켈과 같은 일반적인 금속보다 높은 전기 저항을 갖는다. 그러나 Sn은 다른 금속과 비교하여 가장 낮은 용점을 가지기 때문에 다양한 분야 (CMOS 공정, MEMS 기반의 센서/액츄에이터 제작 공정)에 손쉽게 적용될 수 있다는 장점이 있기 때문에 Sn 파우더를 사용하였으며, 다른 금속과 비교하여 높은 저항을 가지는 단점을 우수한 전기적 특성을 가진 SWNT 파우더를 첨가함으로써 Sn 파우더의 전기적 특성을 개선하고자 하였다. 제안된 TSV구조를 제작하기 위하여 포토리소그래피, DRIE, 전자빔 증착 등에 다양한 반도체 공정이 사용되었으며, 준비된 Sn/SWNT 혼합 파우더의 비율을 변화시켜가며 TSV구조를 완성하였다. 실험 결과, SWNT 파우더의 비율이 증가할수록 제작된 TSV의 전기적 특성이 나빠짐을 확인할 수 있었다. 이는 SWNT 파우더의 강한

뭉침현상으로 인해 수많은 번들들이 형성되게 되고, 이는 수많은 공극(void)가 발생하는 원인이 된다. 이러한 결과는 CVD법을 활용하여 관통 구멍에 CNT를 성장하였을 때, 형성된 수많은 공극에 의해 저항이 매우 높아지는 것과 비슷한 현상으로 생각할 수 있다. 또한, Sn/SWNT 혼합 파우더의 소결 과정에서 방출되는 다양한 금속(철, 니켈, 코발트 등) 물질로 인해 제작된 TSV의 전기적 특성이 오히려 나빠짐을 확인하였다. 결론적으로, 소량의 SWNT 파우더를 혼합하여 TSV의 충전 물질로 사용했을 때, SWNT 파우더 첨가로 인해 발생할 수 있는 부정적인 효과를 최소화시키며 Sn 파우더의 전기적 성질을 개선시킬 수 있음을 확인할 수 있었다.)

감사의 글

This research was supported by the Bio & Medical Technology Development Program of the National Research Foundation (NRF) funded by the Ministry of Science & ICT (2017M3A9G8083382) and the BK21 Plus project funded by the Ministry of Education, Korea (21A20131600011).

REFERENCES

- [1] R. Tummala, "Moore's law meets its match", *IEEE spectra.*, Vol. 43, No. 6, pp. 44-49, 2006.
- [2] P. Emma and E. Kursun, "Is 3D chip technology the next growth engine for performance improvement?", *IBM J. Res. Dev.*, Vol. 52, No. 6, pp. 541-552, 2008.
- [3] S. Spiesshoefer, Z. Rahman, G. Vangara, S. Polamreddy, S. Burkett, and L. Schaper, "Process integration for through-silicon vias", *J. Vac. Sci. Technol. A*, Vol. 23, No. 4, pp. 824-829, 2005.
- [4] L. Shen, W. Chien, J. Jaung, Y. Hung, W. Lo, C. Hsu, Y. Lee, H. Cheng, and C. Lin, "A clamped through silicon vias interconnection for stacked chip bonding using metal cap on pad and metal column forming in via", *Proc. Electron. Compon. Technol. Conf.*, pp. 544-549, 2008.
- [5] L. Schaper, S. Burkett, S. Spiesshoefer, G. Vangara, Z. Rahman, and S. Polamreddy, "Architectural Implications and Process Development of 3-D VLSI Z-Axis Interconnects Using Through Silicon Vias", *IEEE Trans. Adv. Packag.*, Vol. 28, No. 3, pp. 356-366, 2005,
- [6] J. W. Shin, I. Kim, Y. W. Choi, Y. S. Kim, U. B. Kang, Y. K. Jee, and K. W. Paik, "Non-conductive film with Zn-nanoparticles (Zn-NCF) for 40 μm pitch Cu-pillar/Sn-Ag bump interconnection", *Microelectron. Reliab.*, Vol. 55, No. 2, pp. 432-441, 2015.
- [7] G. Xavier and M. Thierry, "Through silicon via: From the CMOS imager sensor water level package to the 3D integration", *Microelectron. Eng.*, Vol. 87, No. 3, pp. 470-476, 2010.

- [8] H. Kikuchi, Y. Yamada, A. Ali, J. Liang, T. Fukushima, T. Tanaka, and M. Koyanagi, "Tungsten through-silicon via technology for three-dimensional LSIs" *Jpn. J. Appl. Phys.*, Vol. 48, No. 4S, pp. 2801-2805, 2008.
- [9] Y. Jee, J. Yu, K. Park, and T. Oh, "Zinc and Tin-Zinc Via-Filling for the Formation of Through-Silicon Vias in a System-in-Package", *J. Electron. Mater.*, Vol. 38, No. 5, pp. 685-690, 2009.
- [10] P. C. Ma, S. Y. Mo, B. Z. Tang, and J. K. Kim, "Dispersion, interfacial interaction and re-agglomeration of functionalized carbon nanotubes in epoxy composites", *Carbon*, Vol. 48, No. 6, pp. 1824-1834, 2010.
- [11] S. Pegel, P. Potschke, G. Petzold, I. Alig, S. M. Dudkin, and D. Lellinger, "Dispersion, agglomeration, and network formation of multiwalled carbon nanotubes in polycarbonate melts", *Polymer*, Vol. 49, No. 4, pp. 974-984, 2008.
- [12] Q. M. Gong, Z. Li, Y. Wang, B. Wu, Z. Zhang, and J. Liang, M, "The effect of high-temperature annealing on the structure and electrical properties of welled-aligned carbon nanotubes", *Mater. Res. Bull.*, Vol. 42, No. 3, pp. 474-481, 2007.
- [13] Z. P. Huang, D. Z. Wang, J. G. Wen, M. Sennett, H. Gibson, and Z. F. Ren, "Effect of nickel, iron and cobalt on growth of aligned carbon nanotubes", *Appl. Phys. A*, Vol. 74, No. 3, pp. 387-391, 2002.