

# 플라즈마 표면 처리를 이용한 TiO<sub>2</sub> MOS 커패시터의 특성 개선

신동혁\*·조혜림\*·박세린\*·오훈정\*\*†·고대홍\*

\*연세대학교 신소재공학과, \*\*†연세대학교 BIT 마이크로 팩 연구소

## Improvement in Capacitor Characteristics of Titanium Dioxide Film with Surface Plasma Treatment Donghyuk Shin\*, Hyelim Cho\*, Seran Park\*, Hoonjung Oh\*\*† and Dae-Hong Ko\*

\*Department of Materials Science and Engineering, Yonsei University,

\*\*† BIT Micro Fab Research Center, Yonsei University

### ABSTRACT

Titanium dioxide (TiO<sub>2</sub>) is a promising dielectric material in the semiconductor industry for its high dielectric constant. However, for utilization on Si substrate, TiO<sub>2</sub> film meets with a difficulty due to the large leakage currents caused by its small conduction band energy offset from Si substrate. In this study, we propose an in-situ plasma oxidation process in plasma-enhanced atomic layer deposition (PE-ALD) system to form an oxide barrier layer which can reduce the leakage currents from Si substrate to TiO<sub>2</sub> film. TiO<sub>2</sub> film depositions were followed by the plasma oxidation process using tetrakis(dimethylamino)titanium (TDMAT) as a Ti precursor. In our result, SiO<sub>2</sub> layer was successfully introduced by the plasma oxidation process and was used as a barrier layer between the Si substrate and TiO<sub>2</sub> film. Metal-oxide-semiconductor (TiN/TiO<sub>2</sub>/P-type Si substrate) capacitor with plasma oxidation barrier layer showed improved C-V and I-V characteristics compared to that without the plasma oxidation barrier layer.

**Key Words** : Atomic Layer Deposition, Plasma Oxidation, Plasma Treatment, Titanium Dioxide, Leakage Current, Capacitor

## 1. 서 론

반도체 소자의 크기가 점차 축소됨에 따라 소자의 성능 향상을 위해서는 더 얇은 두께의 유전체 박막이 요구되고 있다. 기존 gate oxide로 활용되던 SiO<sub>2</sub>의 경우 산화막의 두께가 2 nm 이하가 됨에 따라 누설 전류의 양이 크게 증가하고 있다. 이에 따라 게이트 유전막의 물리적인 두께를 증가시키기 위한 고 유전상수 박막 유전체의 필요성이 커지고 있다[1-3]. 고 유전상수 유전체 박막 중 금속 산화물인 Titanium dioxide (TiO<sub>2</sub>) 박막은 ~ 60에 이르는 매우 큰 유전상수 값을 가지는 것으로 잘 알려져 있다[4]. 하지

만 TiO<sub>2</sub> 박막은 밴드 다이어그램 상 Si 기판 대비 conduction band offset이 약 0.1 eV에 불과하고, 따라서 Si 기판 위에 gate 유전체를 형성시켰을 때 누설전류의 양이 매우 크다. TiO<sub>2</sub> 박막의 누설전류를 감소시키기 위하여 Al-doped TiO<sub>2</sub> 박막 혹은 interlayer로써 얇은 RuO<sub>2</sub>이나 SiO<sub>2</sub> 박막의 적용이 앞서 논의된 바 있다[5,6]. Al-doped TiO<sub>2</sub> 박막을 유전체로 활용했을 때는 interlayer인 RuO<sub>2</sub>와 TiO<sub>2</sub> 박막 사이의 Schottky barrier height이 약 1.6 eV로 높아졌고, 그 결과 TiO<sub>2</sub> 박막을 포함한 전체 유전막의 Effective oxide thickness 손실을 줄임과 동시에 누설 전류를 감소시킬 수 있었다. 하지만 이러한 형태의 누설 전류 통제 방법을 Si 기판 위에서 적용시킬 때는 여전히 TiO<sub>2</sub> 박막 아래에 RuO<sub>2</sub> 등의 유전체 박막이 sub-layer로써 필요하다. 이러한 측면에서 Si 기판 위에

†E-mail: hi5hj@yonsei.ac.kr

서 TiO<sub>2</sub> 게이트 유전막을 증착할 때 SiO<sub>2</sub> interlayer의 형성은 큰 장점을 가지고 있다. 약 2~3 nm의 얇은 interlayer SiO<sub>2</sub> 박막은 기존의 thermal oxidation 방식을 이용한 증착 방식으로는 두께 조절이나 thermal budget 측면에서 한계가 있다. 이를 대체하는 방법 중 대표적인 것은 Atomic layer deposition (ALD) 기술과 plasma oxidation이다[7]. ALD 공정을 통해 약 10개의 원자층으로 이루어진 극도로 얇고 동시에 전기적 특성이 우수한 SiO<sub>2</sub> 박막을 형성할 수 있다. ALD 공정의 경우 interlayer인 SiO<sub>2</sub> 박막의 증착 이후에 후속 박막인 TiO<sub>2</sub> 형성에 사용되기도 한다. 한 편 Plasma oxidation을 이용할 경우에는 후속 박막 증착이 ALD 반응기를 이용해 진행될 경우 plasma oxidation 반응기와는 별개로 ex-situ 공정이 진행되어야 한다는 단점이 있다. 이 때, 플라즈마를 이용해 Precursor와 반응물 사이의 반응성을 높여주는 Plasma-enhanced atomic layer deposition (PE-ALD) 반응기를 이용하여 plasma oxidation을 구현할 경우, 후속 박막인 TiO<sub>2</sub> 까지 in-chamber 내에서 증착이 가능하다.

우리 연구에서는 PE-ALD 반응기를 이용하여 SiO<sub>2</sub> 박막의 plasma oxidation 형성 가능성을 검증하였고, in-situ 방법으로 후속 증착된 TiO<sub>2</sub> 박막의 누설 전류 변화를 확인하였다. 본 연구에서는 Direct capacitive-coupled plasma를 플라즈마 소스로 활용하여 형성된 플라즈마 산화막과 함께 tetrakis(dimethylamino)titanium (TDMAT)를 precursor로 활용한 TiO<sub>2</sub> 금속 산화물 유전체의 C-V 및 I-V 특성을 주로 탐구하였다.

## 2. 실험 방법

ASM Genitech Korea Ltd.사가 제조한 상업용 PE-ALD 반응기를 이용하여 plasma oxidation을 통한 SiO<sub>2</sub> 산화막을 형성하였고 TiO<sub>2</sub> 박막을 증착하였다. PE-ALD 반응기는 direct capacitive-coupled plasma를 플라즈마 소스로 활용하고, 27.12 MHz의 radio frequency (RF)로 작용하는 RF matcher를 탑재하고 있다. Plasma oxidation과 PE-ALD TiO<sub>2</sub> 박막 형성을 위해, 두 가지 공정 모두 O<sub>2</sub> 플라즈마가 반응물로써 사용되었고, 매 사이클의 플라즈마 노출 단계에서 400 W의 RF 플라즈마가 인가되었다. Si 기판에 SiO<sub>2</sub> 박막을 plasma oxidation을 이용해 형성시키기 이전에, Si 기판의 wet clean이 사전 진행되었다. Wet clean은 deionized water와 50% 농도의 hydrofluoric (HF) acid가 100:1의 부피비로 혼합된 100:1 희석 HF 용액을 이용해 1분간 진행되었다. 플라즈마 산화막은 200 °C 온도에서 형성되었다. 플라즈마 산화가 진행되는 동안 Ar과 O<sub>2</sub> gas 유량이 7:1 비율로 혼합되어 유입되었고 공정 압력은 2 torr로 유지되었다. TiO<sub>2</sub> 박막 증착을 위해서는 Argon carrier gas가 TDMAT 전구체를 경유식 canister를 통해 운반하여 반응기 내부로 도입시켰다. 전체 PE-ALD 공정은

TDMAT dose, TDMAT purge, O<sub>2</sub> plasma exposure, 그리고 O<sub>2</sub> plasma purge의 4 가지 step으로 이루어졌으며 공정 압력은 2 torr로 유지되었다(Fig. 1).

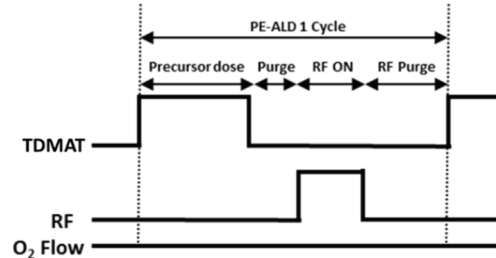


Fig. 1. Overall process sequence for plasma-enhanced atomic layer deposition.

SiO<sub>2</sub>와 TiO<sub>2</sub> 박막의 두께는 Spectroscopic ellipsometry (alpha-SE model from J. A. Woollam Co. Ltd.)를 이용해 측정되었다. 분광기는 380~900 nm의 spectral range를 가지고 있고, 파장은 180 nm이다. Plasma oxidation을 통해 형성된 SiO<sub>2</sub> 박막의 binding energy를 검증하기 위해서는 High-resolution X-ray photoelectron spectroscopy (HR-XPS, K-alpha model from Thermo VG, U. K.)가 활용되었다. XPS 측정은 monochromated Al K $\alpha$  X-ray 소스를 이용하여 100 eV의 pass energy와 0.1 eV의 step size로 진행되었다. 마지막으로 박막의 전기적 특성은 Agilent B1500A semiconductor device analyzer를 이용해 분석되었다. MOS capacitor에 대한 C-V 분석을 통해 capacitance의 형성 및 TiO<sub>2</sub> 박막의 유전 상수에 대한 평가가 진행되었다.

## 3. 실험 결과

### 3.1 플라즈마 산화 공정을 이용한 SiO<sub>2</sub> 박막의 성장

Fig. 2는 플라즈마 산화를 통한 SiO<sub>2</sub> 박막 성장 시 박막의 초기 성장 거동을 보여준다. 플라즈마 산화가 시작된 지 약 0.3 초 만에 Si 기판위에는 약 7 Å의 박막이 갑작스럽게 형성된다. 플라즈마 산화가 시작되면서 형성된 이 박막의 두께는 기판과 SiO<sub>2</sub> 박막 사이 계면 형성에 기인한 것으로 추정된다. 플라즈마 산화가 진행되면서 박막의 두께는 로그 함수에 근접하는 형태로 진행되고, 충분한 시간의 플라즈마 산화 이후에도 박막의 두께가 약 3 nm 전후에서 크게 증가하지 않는 것이 관찰되었다.

Fig. 3은 플라즈마 산화를 통해 형성된 SiO<sub>2</sub> 박막의 XPS Si 2p spectra를 보여준다. XPS의 binding energy는 Si 2p 영역에서 99.3 eV에 위치한 Si-Si 결합의 binding energy를 기준으로 하여 calibration되었다 [8]. 앞서 Fig. 1에서 나타났듯이, 플

라즈마 산화 공정을 통해 형성된 SiO<sub>2</sub> 박막은 Ellipsometry를 이용한 두께 측정 결과, mean square error (MSE)가 3 이내의 값을 가지고 SiO<sub>2</sub> 박막의 reference에 우수하게 fitting되었다. Fig. 1에서 확인되었던 플라즈마 산화를 통해 형성된 산화막들의 화학적 특성을 비교하기 위해, 각각 약 7 Å, 11 Å, 14 Å의 두께를 가지는 것으로 나타났던 산화막들에 대해 XPS 측정을 수행하였다. 각각의 산화막들에 대하여 Si 2p 영역에서 Si 기판 peak 대비 높은 binding energy 위치에서 나타나는 peak는 Si-O 결합에 대한 정보는 나타낸다. 플라즈마 산화를 통해 형성된 산화막은 7 Å의 얇은 두께에서 약 103.4 eV의 Si-O binding energy를 가지는 것이 확인되었고, 이는 SiO<sub>2</sub>의 binding energy인 103.5 eV와 매우 유사했다. 한 편 Si-O binding energy의 위치는 산화막의 두께가 증가할수록 더 높은 binding energy 쪽으로 이동했고, 플라즈마 산화가 진행됨에 따라 증가한 산화막의 두께는 증가한 Si-O peak 면적에서도 확인할 수 있다.

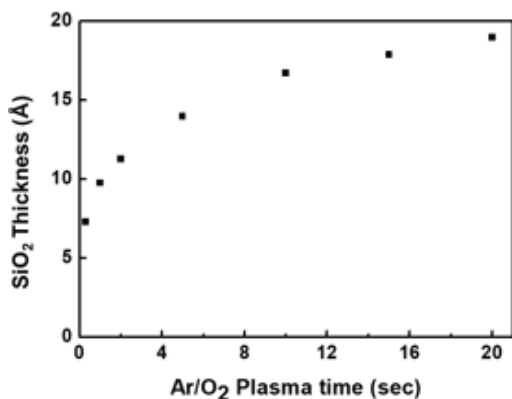


Fig. 2. Initial growth characteristics of thin oxide films by oxygen plasma treatment.

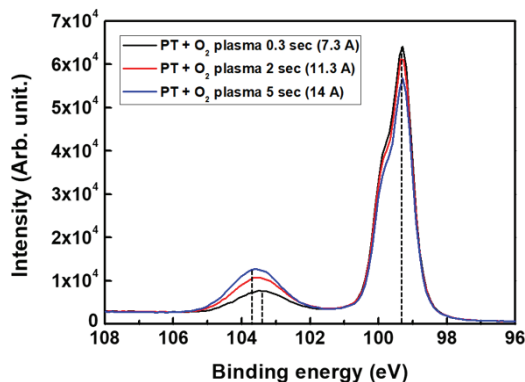


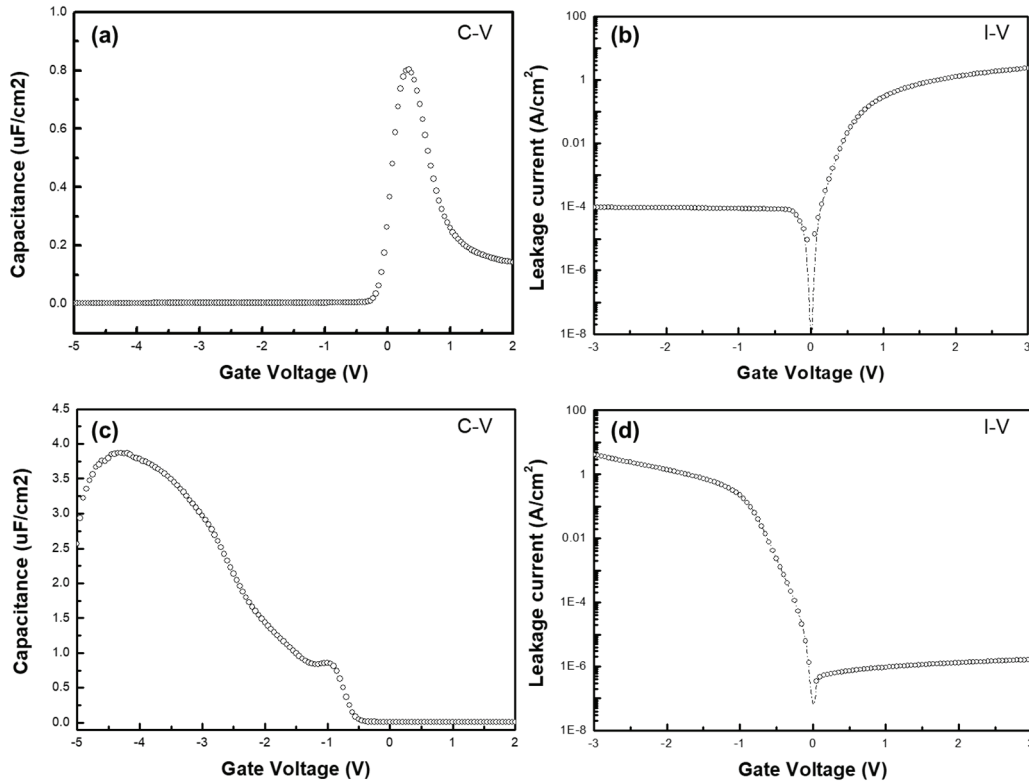
Fig. 3. Si 2p spectra in XPS measurement of SiO<sub>2</sub> films grown by oxygen plasma treatment.

### 3.2 TiO<sub>2</sub> 박막의 C-V 특성 분석 및 플라즈마 산화 공정 적용 평가

TiO<sub>2</sub> 박막은 TDMAT 전구체와 O<sub>2</sub> 플라즈마를 이용하여 250 °C의 공정 온도에서 PE-ALD 장비로 증착되었다. TDMAT dose, Ar purge, O<sub>2</sub> plasma exposure, Ar purge (1.0 s/3.5 s/0.6 s/1.0 s)로 구성된 4가지 공정의 시간은 TiO<sub>2</sub> 박막의 자기 제한적 증착이 확인된 조건으로 증착되었다. MOS의 제작을 위해서는 증착된 TiO<sub>2</sub> 박막 시편을 PR patterning한 이후 상부 전극으로 100 nm 두께의 TiN 금속 박막을 sputter 방식으로 증착하였다. 이후 원하지 않은 영역에 존재하는 PR 및 TiN 금속 층을 아세톤과 IPA를 사용한 lift-off 공정을 통해 제거하였다.

Fig. 4의 (a)와 (b)는 TiN을 금속 게이트로 사용하고 TiO<sub>2</sub> 유전체 및 N-type Si 기판으로 구성된 MOS capacitor의 C-V 및 I-V 그래프를 보여준다. Fig. 5와 같이, TiO<sub>2</sub> 박막과 Si 기판 사이의 conduction band offset은 약 0.1 eV에 불과한 것으로 알려져 있다[9]. N-type Si 기판을 사용할 경우 Si 기판의 conduction band로부터 TiO<sub>2</sub> 박막의 conduction band까지의 장벽 높이가 매우 작기 때문에, N-type Si 기판의 majority carrier인 전자의 이동이 매우 쉽다. 따라서 Fig. 4 (a)와 같이 N-type Si 기판에 TiO<sub>2</sub> 유전체가 증착된 MOS capacitor에서는 게이트에 (+) 전압이 인가되었을 때 accumulation capacitance가 쌓이지 못하고 곧바로 capacitance가 감소하는 것을 볼 수 있다. 한 편 게이트에 (-) 전압이 인가될 때는 N-type Si 기판에서 depletion이 일어나는 것을 확인할 수 있다. Fig. 4 (b)에 나타난 I-V 특성에서도 게이트에 양의 전압이 인가되었을 때 매우 큰 누설 전류가 흐르는 것을 확인할 수 있다.

Fig. 4의 (c)와 (d)는 TiN 금속 게이트와 TiO<sub>2</sub> 박막 유전체, 그리고 P-type Si 기판으로 구성된 MOS capacitor의 C-V 및 I-V 측정 결과를 보여준다. Si 기판의 valence band로부터 TiO<sub>2</sub> 박막의 valence band 까지의 band offset은 약 2 eV이다. 이 에너지 장벽의 높이에 의해 TiN(Metal gate) / TiO<sub>2</sub> / P-type Si 기판 stack의 MOS capacitor는 Fig. 4 (c)와 같이 gate에 (-) 전압이 인가될 때 초기 accumulation capacitance가 무너지지 않고 쌓이는 모습을 보여주고 있다. 하지만 약 4 V 이상의 음의 전압이 gate에 가해졌을 때는 더 이상 accumulation capacitance가 버티지 못하고 무너지는 형태를 보이는데, 이는 TiN metal gate로부터 TiO<sub>2</sub> 박막으로의 에너지 장벽을 넘어가는 전자 수의 증가가 초래한 결과로 추정된다. P-type Si 기판 상에 증착된 TiO<sub>2</sub> 박막의 capacitor는 N-type-Si 기판 대비 capacitance가 무너지지 않고 유지되는 형태를 보였으나, TiN 금속 gate로부터 장벽을 넘어 유입되는 전자로 인하여 capacitor 역할을 하는 데에 한계를 보였다. 하지만 Fig. 4 (d)에서 나타나듯이 film의 I-V 특성은

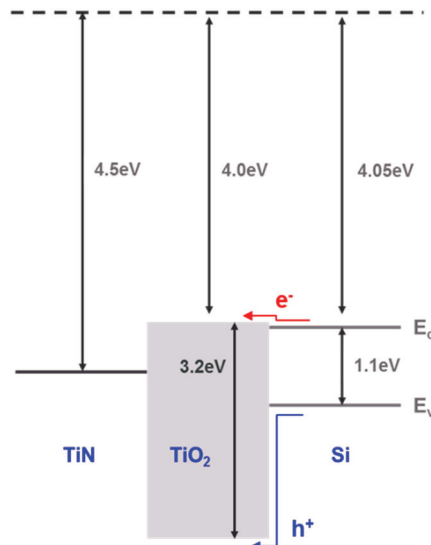


**Fig. 4.** (a) C-V and (b) I-V characteristics of MOS capacitors stacked in the order of TiN(Metal gate)/TiO<sub>2</sub> (20 nm)/N-type Si substrate. (c) C-V and (d) I-V characteristics of MOS capacitors stacked in the order of TiN(Metal gate)/TiO<sub>2</sub> (20 nm)/P-type Si substrate.

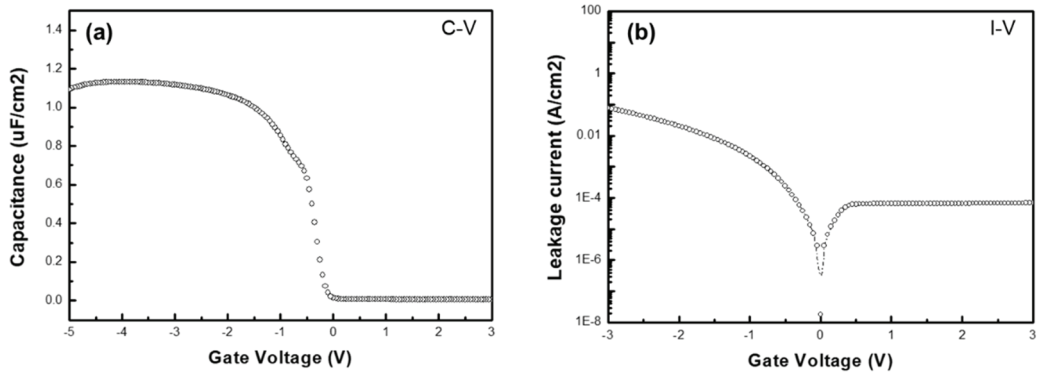
N-type 기판을 사용 시와 비교했을 때 큰 차이를 보이지 않고 유사하게 큰 누설 전류가 확인되었다.

TiO<sub>2</sub> 박막의 capacitance를 유지시키기 위해 우리는 TiO<sub>2</sub> 박막 증착 이전에 O<sub>2</sub> 플라즈마를 이용하여 약 2 nm의 플라즈마 산화막을 형성시켰다. 이 공정을 통해 제작된 MOS capacitor의 구성은 Fig. 4의 P-type Si 기판 위에 제작된 MOS capacitor 구조에서 2 nm의 플라즈마 산화막이 추가된 형태이다. Fig. 6의 (a)와 (b)는 TiN(Metal gate) / TiO<sub>2</sub>(20 nm) / SiO<sub>2</sub> barrier (2 nm) / P-type Si 로 구성된 MOS capacitor의 C-V 와 I-V 특성을 나타낸다. 플라즈마 산화막이 interlayer로 삽입된 MOS capacitor는 Fig. 6 (a)에서 나타나듯, 약 -5 V의 게이트 전압이 인가됐을 때에도 accumulation capacitance가 유지되는 모습을 보였다. 이 때 MOS capacitor는 약 110 pF의 accumulation capacitance를 가지는 것으로 확인되었다. 한 편 TiO<sub>2</sub> 박막의 유전상수 값은 다음과 같은 식을 통해 예측될 수 있다.

$$1/C_{Total} = 1/C^{SiO2} + 1/C^{TiO2} \quad (1)$$



**Fig. 5.** Energy band diagram for TiN metal gate, TiO<sub>2</sub> dielectric film and Si substrate.



**Fig. 6.** (a) C-V and (b) I-V characteristics of MOS capacitors stacked in the order of TiN(Metal gate)/TiO<sub>2</sub>(20 nm)/SiO<sub>2</sub> barrier (2 nm)/P-type Si.

약 2 nm 두께를 가진 플라즈마 산화막의 유전 상수는 4.0으로 가정하였다. 약 20 nm의 TiO<sub>2</sub> 박막이 100 μm×100 μm 면적의 금속 pad에서 110 pF의 accumulation capacitance를 가질 때, 약 65의 유전상수 값이 추출되었다. 또한 이 유전상수 값은 앞서 보고되었던 TiO<sub>2</sub> 박막의 유전상수 값과 유사했다[10]. 또한 Fig. 6 (b)에서 보이듯이, 약 2 nm의 플라즈마 산화막을 포함한 유전체의 I-V 특성은 Fig. 4 (d)의 I-V 특성 대비 크게 누설 전류가 감소한 것이 확인되었다.

#### 4. 결 론

본 연구에서는 플라즈마 산화를 이용한 얇은 플라즈마 산화막의 형성 및 플라즈마 산화막을 이용한 TiO<sub>2</sub> 박막의 C-V 특성 분석이 진행되었다. Si 기판에 O<sub>2</sub> 플라즈마를 이용한 성공적인 플라즈마 산화막의 형성이 확인되었고, 이 플라즈마 산화막은 TiO<sub>2</sub> 박막 증착 이전에 interlayer로써 도입되었다. TiO<sub>2</sub> 박막은 작은 band gap으로 인해 n-type이나 p-type Si 기판 위에 증착 시 큰 누설 전류와 함께 유전체의 accumulation capacitance가 유지되지 못한다. 하지만 in-situ 플라즈마 산화막을 도입한 이후, TiN(Metal gate)/TiO<sub>2</sub>(20 nm)/SiO<sub>2</sub> barrier (2 nm)/P-type Si으로 구성된 MOS capacitor의 C-V curve는 약 -5 V의 게이트 전압까지도 accumulation capacitance가 saturation 된 형태로 유지되었고, 이 때 TiO<sub>2</sub> 박막은 약 65의 유전상수 값을 가지는 것으로 확인되었다. 또한 플라즈마 산화막을 포함한 유전체의 I-V 특성은 산화막이 없는 유전체에 비해서 누설 전류가 약 2개 차수(order)만큼 크게 감소하였다.

#### 감사의 글

이 성과는 2019년도 정부(과학기술정보통신부)의 재원

으로 한국연구재단의 지원을 받아 수행된 연구임 (과제 번호 NRF-2017R1A2B2004986).

#### 참고문헌

1. You Yil-Hwan et al., "Electrical and Dielectric Properties of MgO Thin Films Prepared through Electron-Beam Deposition," *Journal of Semiconductor & Display Equipment Technology*, Vol. 5, No. 1, pp. 51-55, 2006.
2. Jaesung Choi et al., "Improved Dit between ALD HfAlO Dielectric and InGaAs Substrate Using NH<sub>3</sub> Plasma Passivation," *Journal of Semiconductor & Display Equipment Technology*, Vol. 17, No. 4, pp. 27-31, 2018.
3. You Yil-Hwan et al., "Electrical/Microstructural Characterization of Dielectric Thin Films Prepared on Transparent Substrates," *Journal of Semiconductor & Display Equipment Technology*, Vol. 7, No. 1, pp. 53-57, 2008.
4. Masaru Kadoshima et al., "Rutile-type TiO<sub>2</sub> thin film for high-κ gate insulator," *Thin Solid Films*, Vol. 424, pp. 224-228, 2003.
5. Woojin Jeon et al., "Controlling the Al-Doping Profile and Accompanying Electrical Properties of Rutile-Phased TiO<sub>2</sub> Thin Films," *ACS Applied Materials & Interfaces*, Vol. 6, pp. 7910-7917, 2014.
6. K.F. Albertin, M.A. Valle, and I. Pereyra, "Study of MOS Capacitors With TiO<sub>2</sub> And SiO<sub>2</sub>/TiO<sub>2</sub> Gate Dielectric," *Journal Integrated Circuits and Systems*, Vol. 2, pp. 89-93, 2007.
7. A. K. Ray and A. Reisman, "The Formation of SiO<sub>2</sub> in an RF Generated Oxygen Plasma," *Solid-State Science And Technology*, Vol. 128, pp. 2460-2465, 1981.
8. Jolm F. Moulder, William F. Stickle, Peter E. Sobol,

- Kennetlf D. Bomben, *Handbook of X-ray Photoelectron Spectroscopy*, Minnesota: Perkin-Elmer Corp., 1992.
9. Ing-Song Yu, Yu-Wun Wang, Hsyi-En Cheng, Zu-Po Yang and Chun-Tin Lin, "Surface Passivation and Antireflection Behavior of ALD TiO<sub>2</sub> on n-Type Silicon for Solar Cells," *International Journal of Photoenergy*, Vol. 7, pp. 431614, 2013.
10. P Alexandrov, J Koprinarova and D Todorov, "Dielectric Properties of TiO<sub>2</sub> Films Reactively Sputtered from Ti in an RF Magnetron," *Vacuum*, Vol. 47, pp. 1333-1336, 1996.
- 
- 접수일: 2019년 2월 7일, 심사일: 2019년 3월 7일,  
게재확정일: 2019년 3월 17일