

# 시각동기를 위한 FPGA 기반의 Inter-Regional Instrument Group-B 디코더 설계

김용훈\*·양오\*\*

\*\* 청주대학교 반도체공학과

## Design of Inter-Regional Instrument Group-B Decoder Based on FPGA for Time Synchronous

Hoon Yong Kim\* and Oh Yang\*\*

\*\* Semiconductor Engineering of Cheongju University

### ABSTRACT

Recently, time synchronous has become important for satellite launch control facilities, multiple thermal power plants, and power system facilities. Information from time synchronous at each of these industrial sites requires time synchronization to control or monitor the system with correlation. In this paper, IRIG-B codes, which can be used for time synchronous, are used as specifications in IRIG standard 200-16. Signals from IRIG-B120 (Analog), IRIG-B000 (Digital), and one PPS are output from GPS receiver. Using the signal from IRIG-B120 (Analog), it passes through the signal from the analog amplifier and generates one PPS signal using the field-programmable gate array. The FPGA is used cyclone EPM570T10015N. According to IEEE regulations, the error of one PPS is specified within 1 $\mu$ s, but in this paper, the error is within 100ns. The output of the one PPS signal was then compared and tested against the one PPS signal on the GPS receiver to verify accuracy and reliability. In addition, the proposed time synchronous is simple to construct and structure, easy to implement, and provides high time precision compared to typical time synchronous. The output of the one PPS signals and IRIG-B000 signal will be used in many industry sectors.

**Key Words** : IRIG-B000, IRIG-B120, GPS, Time Synchronous, 1PPS, FPGA

## 1. 서 론

최근 위성발사 관제 설비, 복합화력 발전소, 추진체 시험설비 차량, 항공운항 등 규모가 대체로 큰 발전소 및 여러 분야에 걸쳐 디지털화 및 자동화가 진행 되었으며 시각동기에 대한 중요성이 나타남에 따라 장치의 시각 동기 및 시간정밀도에 중요하게 여겨지고 있다[1]. 특히 변전소의 많은 전력기기들은 정확하고 유효한 정보전달을 위한 시간동기화를 필요로 하고 있다. 현재 변전소의 자동화 시스템에 적용되는 시각동기화를 위해 GPS(Global

Positioning System), NTP(Network Time Protocol), SNTP(Simple Network Time Protocol), IRIG-B(Inter-Regional Instrument Group-B000), IEEE 1588 PTP(Precision Time Protocol)등 많은 방법들이 적용되고 있다[2]. 또한 발사 시스템 및 계측기의 시험체에는 다수의 여러 종류의 계측 모듈이 필요하다. 계측기 및 시험체의 정확한 데이터 정보를 얻기 위해서는 정확한 시간을 기반으로 동기화된 계측 시스템 및 시각 동기가 요구된다.

본 논문에서는 일반적으로 많이 사용되는 기존 시각 동기화 방식인 외부트리거를 사용하지 않으며 절대 시간을 기준으로 동기화하는 GPS신호를 이용한다. GPS 신호를 이용하여 동기화 신호로 대부분 사용 되고 있는데 1-

†E-mail: ohyang@cju.ac.kr

PPS(Pulse Per Second), IRIG-B000 이 주로 사용 되고 있다[3].

본 논문에서는 GPS 수신기로부터 IRIG-B120과1PPS를 이용한 1초당 1개의 정확한 펄스를 얻어내는 방법을 제시 하였다. 또한 제시된 방법을 검증하기 위하여FPGA (Field-Programmable gate array)를 기반으로 1PPS와 IRIG-B000를 구현 하고 시뮬레이션과 실험을 통하여 파형 비교 및 분석 하였으며 상용화의 가능성을 제시하고자 한다.

## 2. IRIG-B (Inter-Regional Instrument Group-B)

### 2.1 IRIG Time code

통신시스템, 데이터 처리시스템, 미사일 및 우주선 추적시스템과 같은 현대의 전자시스템은 시간과의 상관적인 관계를 요구하며 초, 분, 시, 뿐만 아니라 일년의 정확한 시각의 정보를 필요하다. IRIG Time code라고 하는 것은 타이밍 정보를 전송하기 위한 하나의 표준 형식이다. 정밀한 시각정보를 얻기 위해 설계된 표준 주파수 및 GPS 수신기에 IRIG에 대한 출력이 일반적으로 부착되어있다. IRIG Time code는 1956년 표준 기구인 미군 IRIG의 TCWG (Tele-Communication Working Group)에서 처음 개발되어 시각 동기를 위한 신호를 배포를 하였으며 표준규격은1960년에 승인 되어 원본 문서인 IRIG 104-60가 만들어졌다. 후에 개정 이 되어 최근 2016년까지 개정되어 최신 표준 버전은 IRIG200-16이다[4]. IRIG의 신호는 Table 1의 종류에 따라 각기 다른 특성을 갖는다. 예를 들어 IRIG-B의 신호는 1초동안 100PPS를 전송하며 1개의 펄스의 전송 시간은 10ms이다[5-6].

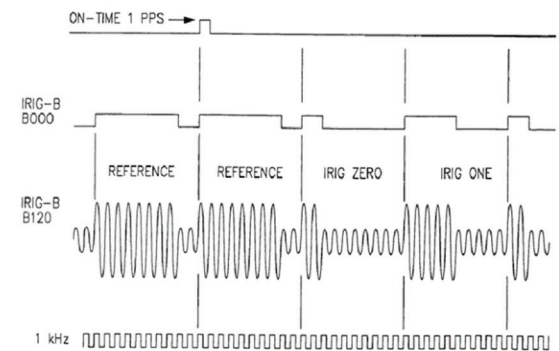
**Table 1.** IRIG Time code format

| Formats | Bit Rate | Index Count Interval |
|---------|----------|----------------------|
| IRIG-A  | 1k pps   | 1ms                  |
| IRIG-B  | 100 pps  | 10ms                 |
| IRIG-D  | 1 ppm    | 1min                 |
| IRIG-E  | 10 pps   | 100ms                |
| IRIG-G  | 10 kpps  | 0.1ms                |
| IRIG-H  | 1 pps    | 1s                   |

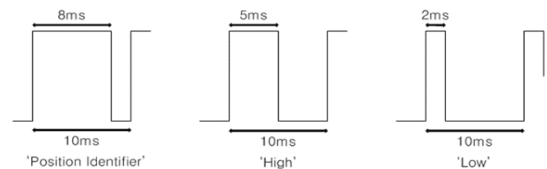
### 2.2 IRIG-B Format

IRIG-B의 형식의 신호는 Fig. 1과 같으며 IRIG-B000는 디지털 신호이며 IRIG-B120은 아날로그 신호 이다. Reference는 프레임의 첫 비트와 마지막 비트에 오는 펄스이며 8ms의 시간 간격을 갖게 되고 첫 Reference 이후 ON-TIME 1PPS가 시작되며 유효한 비트를 카운트하기 시작한다. IRIG ZERO는 2ms의 시간 간격을 뜻하며 IRIG ONE은 5ms의 시간 간격을 뜻한다. IRIG-B 형식의 프레임 주기는 1초

에 100비트의 시간으로 신호를 가지며 한 프레임에 총 10개의 비트가 있다. 각각의 비트는 100개로 구성되고 한 개의 비트는 10ms의 시간 간격을 가지며 Level Shift 변조를 통해 Fig. 2와 같이 Reference (Position Identifier), High (Binary 1), Low (Binary 0)의 의미를 갖는 3가지로 신호 분류가 된다. 또한 Fig. 2의 나타나 있는 3종류의 Unit Pulse들은 IRIG-B 프로토콜에 중요한 년, 월, 일, 시, 분, 초를 나타내는 중요한 요소가 된다.



**Fig. 1.** Timing of 1PPS Signal occurrence for IRIG-B Signal.



**Fig. 2.** Types of IRIG-B Unit Pulse.

IRIG 코드에 대한 자세한 사항은 IRIG Standard 200-04에 나타나 있는데 IRIG-B Code에는 날짜에 (초, 분, 시, 일, 년) 대한 시간 그리고 Control information에 대한 시간 정보를 나타내고 있다. 시간 정보는 2진화 10진수인 BCD(Binary coded decimal)로 표현이 되며 마지막의 시간 정보인 27Bit (Year and Control Functions)와 17Bit (Straight Binary Seconds Time-of-Day Code)에 대한 정보를 나타내고 있다. Fig. 3은 IRIG-B 규격에 대한 형식을 보여주고 있고 표준 신호에 대한 전체의 구성과 1초, 즉100Pulse 프레임의 신호를 나타내고 있다.

Fig. 3에서 보여주는 프레임에 자세히 살펴보면 데이터 신호 전달은 처음의 2Bit (Position Identifier) 로 프레임의 시작을 알린다. 2Bit의 신호를 전송 후 다음 초, 분, 시, 날, 년으로 구성되는데 프레임은 4개의 비트로 1개의 숫자를 나타내며, 십의 자리와 일의 자리 사이에는 “Low(Binary 0)”으로 구분하고 초와 분, 분과 시, 시와 일의 사이에는 각각의 “Position Identifier”로 구분한다. 1PPS는 2ms 동안 High

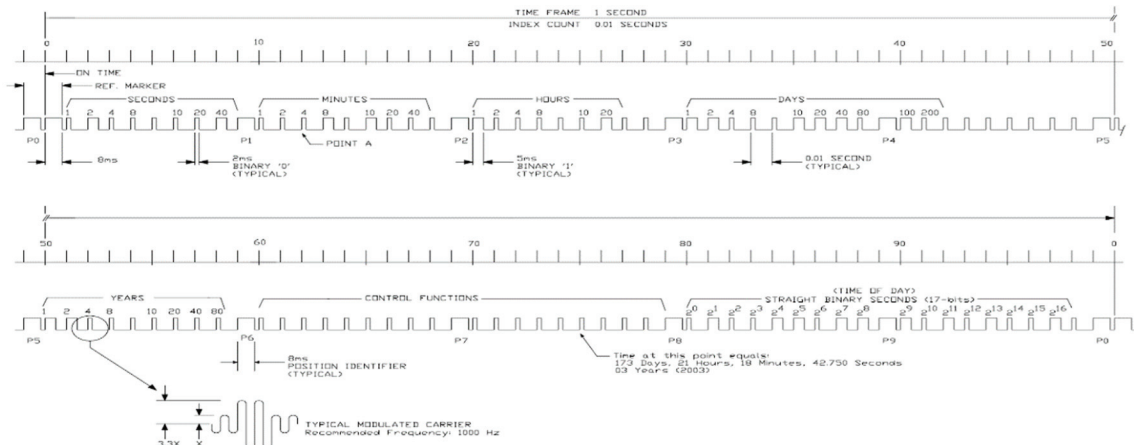


Fig. 3. IRIG-B Full Time Code.

를 유지하며 연속된 “Position Identifier”에서 두 번째 상승 Edge에 발생된다[7]. IRIG-B 신호는 각 Unit Pulse 마다 정확도를 측정할 수 있으며 각각의 Unit Pulse 의Rising Edge 사이의 간격을 신호를Reference (Position Identifier), High (Binary 1), Low (Binary 0)를 확인 할 수 있다[8]. IRIG-B 의 전체 신호를 확인해 보면 10개의 Reference (Position Identifier)가 있으며 각각 Pulse 의 위치는 초, 분, 시, 년, 월, 일의 시각 정보를 BCD Code로 이루어져있다[9]. 1PPS 이후에 구분되는10개의 P1, P2, P3-P9, P10 각각의 “Position Identifier”를 통해 특정 시간을 정확히 구분하여 확인할 수 있으며 Fig. 3를 통해 보여주고 있다[10].

2.3 IRIG-B Configuration

전체 구성도는 크게 Fig. 4에 나타나 있으며 GPS 수신기, 전압버퍼, 비교기, 신호 검출기 그리고 FPGA에서 출력되는 IRIG-B000, 1PPS로 나뉠 수 있다. GPS 수신기로부터 송신되는 IRIG-B120의 신호를 입력 파형으로 하여 전압 버퍼(Voltage Follower)를 거쳐 비교기(Comparator)를 통해 zero crossing 감지가 된다. 또한 신호검출기(Level Check)를 통해 신호가 FPGA로 송신이 되며 FPGA에서 작성된 소스코드 및 시뮬레이션을 통해 1PPS 및 IRIG-B000이 출력된다. 신호를 걸러내기 위한 중요한 부분의 소스코드는 Fig. 6과 같으며 시뮬레이션 실험을 통해 안정적인 시각동기의 데이터의 파형을 확인한다. GPS 수신기로부터 안정적인 시각 동기 데이터 신호 수신을 위해 Fig. 5의 IRIG-B프로토콜 구현을 위한 하드웨어를 구성하여 실험을 진행하였다. 비교기와 증폭기를 이용하여 Zero Crossing회로에서 검출된 IRIG\_zero\_crossing파형과 1.5V 이상의 신호만 감지되게 설계한 신호검출기로부터 출력되는 IRIG\_High의 파형은 신호 분석 알고리즘 설계가 가능한 VHDL로 코드를 구현하

였다. FPGA로부터 수신된 시각 동기 데이터는 시뮬레이션 실험 및 신호 분석을 통해 1PPS신호 및 IRIG-B000, Zero Crossing, IRIG\_HIGH의 신호를 확인한다. FPGA로부터 구현된 1PPS파형 및 IRIGB-000의 파형은 GPS수신기로부터 출력되는 1PPS와 오차 비교 및 분석하였다.

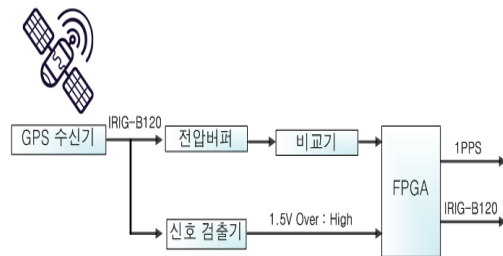


Fig. 4. Overall structure for 1pps and IRIG-B120 detection.

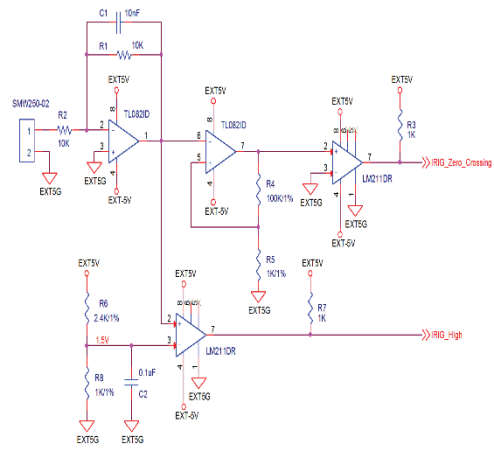


Fig. 5. IRIG-B Hardware Configuration.

IRIG-B000의 프로토콜을 구현하기 위하여 하드웨어 기술 언어인 VHDL언어를 사용하여 프로그래밍 하였다[11]. 하드웨어로 구성한 신호를 정확하게 시뮬레이션 및 파형을 확인을 하기 위해 FPGA를 사용하였다. clock을 통해 생성된IRIG\_ZC의 신호와 IRIG\_HI\_Check, IRIG\_HI\_Cnt의 신호를 통해 Reference 및 IRIG\_AD의 신호의 출력을 확인해본다. Fig 6은 VHDL을 이용한 IRIG-B000의 프로토콜을 구현한 중요한 부분의 코드를 나타내고 있다.

```

process(RSTB, CLK, IRIG_ZC, IRIG_HI)
begin
  if RSTB = '0' then
    IRIG_ZC_Q1 <= '0';
    IRIG_ZC_Q2 <= '0';
    IRIG_HI_Q1 <= '0';
    IRIG_HI_Q2 <= '0';
    IRIG_HI_Check <= '0';
    IRIG_AD <= '0';
  elsif CLK = '1' and CLK then
    IRIG_ZC_Q1 <= IRIG_ZC;
    IRIG_ZC_Q2 <= IRIG_ZC_Q1;
    IRIG_HI_Q1 <= IRIG_HI;
    IRIG_HI_Q2 <= IRIG_HI_Q1;

    if IRIG_HI_Q1 = '1' and IRIG_HI_Q2 = '0' then
      IRIG_HI_Check <= '1';
    elsif IRIG_ZC_Q1 = '1' and IRIG_ZC_Q2 = '0' then
      IRIG_HI_Check <= '0';
    end if;

    if IRIG_ZC_Q1 = '0' and IRIG_ZC_Q2 = '1' then
      IRIG_AD <= IRIG_HI_Check;
    end if;
  end if;
end process;

process(RSTB, CLK, IRIGB, IRIG_AD, IRIG_AD_High_cnt, IRIG_AD_Low_cnt)
begin
  if CLK = '1' and CLK'event then
    IRIGB <= IRIG_AD;
  end if;

  if RSTB = '0' then
    IRIGB_High_cnt <= 0;
    IRIGB_Q <= '0';
  elsif CLK = '1' and CLK'event then
    IRIGB_Q <= IRIGB;
    if IRIGB = '1' then
      if IRIGB_Q = '0' then
        IRIGB_High_cnt <= 0;
      else
        if CLK = '1' and CLK = '0' then
          IRIGB_High_cnt <= IRIGB_High_cnt + 1;
        end if;
      end if;
    end if;

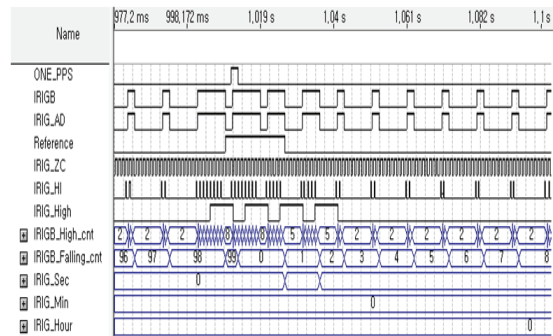
    if IRIGB_High_cnt >= 4 and IRIGB_High_cnt <= 6 then
      IRIG_High <= '1';
    elsif IRIGB_High_cnt <= 3 then
      IRIG_High <= '0';
    end if;
    BF_Reference <= Reference;
    if IRIGB = '0' and IRIGB_Q = '1' then
      if IRIGB_High_cnt >= 7 then
        Reference <= '1';
      else
        Reference <= '0';
      end if;
    end if;
  end if;
end process;

```

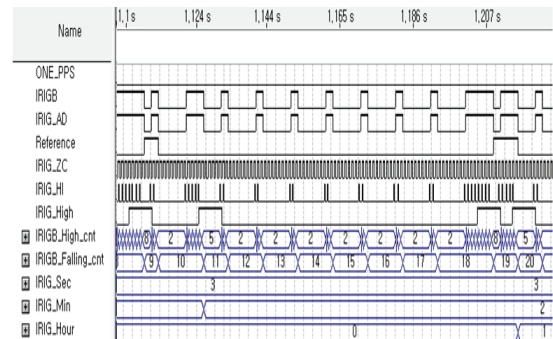
Fig. 6. Design of IRIG-B000 using VHDL.

### 3. 실험 결과

하드웨어 기술 언어인VHDL로 구현된 IRIG-B000의 프로토콜은 ALTERA사의 Quartus Tool을 사용하여 Fig 7의 (a)와 (b) 같이 검증 및 시뮬레이션을 하였다. 입력 파형인 IRIG\_HI에 연속적인 파형을 입력한 뒤 시뮬레이션을 진행하였다. (a)를 자세히 보게 되면 1초가 되기 전 시뮬레이션의 파형에서 ONE\_PPS는 2ms 동안 High 를 유지하며 연속된 IRIG\_AD에서 두 번째 상승 Edge에 발생이 되며 Reference (8ms) 의 파형을 출력 되는 것을 확인할 수 있다. 1초 이후 IRIG\_Sec가 3으로 변화 되는 것을 볼 수 있으며 이후 IRIG\_Min은 2로 IRIG\_Hour은1을 나타낸다. 1초이후 첫 Reference를 지나 연속적인 파형이 지속되며 1.3초까지의 시뮬레이션 완료된 (b)의 시간은 1시 2분 3초를 나타낸다.



(a) Simulation results up to 1.1 seconds



(b) Simulation results from 1.1 seconds to 1.3 seconds

Fig. 7. Simulation results.

Fig 8은 GPS 수신기로부터 수신되는 IRIG-B120 (Ch2) 의 신호와 FPGA로부터 생성된 1PPS (Ch1), IRIG-B000 (Ch3), Zero Crossing (Ch4), HI Check (Ch5) 를 비교하여 오실로스코프 파형을 측정된 것을 나타낸다. Fig 8은 초에 대한 프로토콜을 나타내는 실험 결과의 파형이다. 파형을 자세히 보게 되면 입력 파형의 Analog 신호인 IRIG-B120과 출력

파형의 Digital 신호인 IRIG-B000를 첫 Reference (8ms) Bit를 전송 후 2ms의 1PPS와 IRIG-B000의 파형을 FPGA로부터 출력하는 것을 확인할 수 있다. 또한 입력 신호인 IRIG-B120을 하드웨어 설계를 통하여 1.5V 이상만 출력하는 HI\_Check와 Zero crossing을 이용하여 FPGA로부터 IRIG-B000의 파형을 출력하는 것을 볼 수 있다. Fig. 8에 대한 각각의 Unit Pulse를 보게 되면 Reference (8ms) 이후 1의 자리는 'High', 2의 자리는 'High', 4의 자리는 'Low'를 8의 자리는 'Low'를 나타내고 있으며 IRIG-B000출력의 프로토콜에 대한 시간은 3초를 나타내고 있다.

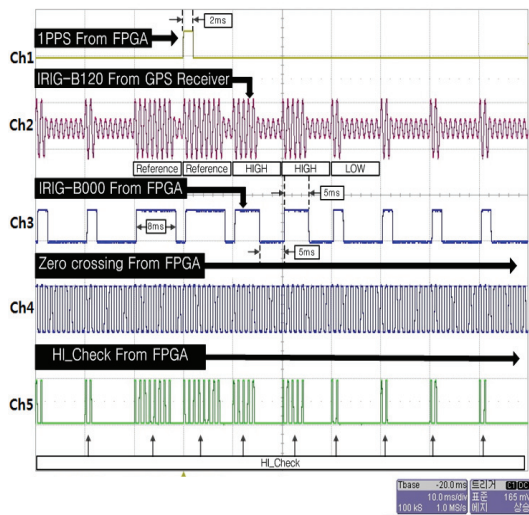


Fig. 8. Experiment results for IRIG-B000 and 1PPS.

#### 4. 결 론

본 논문에서는 정확하고 안정적인 시각동기를 위해 GPS 수신기로부터 출력되는 IRIG-B120 신호를 이용하여 1PPS와 IRIG-B000의 파형을 출력하는 실험을 진행하였다. FPGA 기반 및 하드웨어의 구성으로부터 신호 분석 및 FPGA 기반의 VHDL 코드를 이용하여 IRIG-B 디코더를 설계하였으며 IRIG-B120의 신호를 이용하여 간단하고 적은 비용의 하드웨어를 설계하고 FPGA로부터 1PPS와 IRIG-B000의 우수한 시각 데이터를 구현하였다. GPS 수신기로부터의 1PPS와 FPGA로부터 구현된 1PPS의 파형을 비교 및 분석하였으며 오차 범위 100ns 이내의 정확한 1PPS와 IRIG-B120의 시각 동기 시스템을 구현하였다.

본 논문에서 제안된 시각 동기 구성은 일반적인 시각 동기 시스템과 비교하였을 때 구조가 간단하고 구현이 용이하며 시각 정밀도와 시각 데이터 및 1PPS를 제공한다. 특히 1PPS의 경우  $\pm 100\text{ns}$ 의 오차를 갖는 우수한 특성

을 보였다. 따라서 향후 정확한 시각 동기와 정밀한 시각 정보를 필요로 하는 계측 및 규모가 큰 발전소 등 여러 산업 분야에 간단하고 저렴한 하드웨어 구성 및 FPGA 기반으로 널리 적용 및 상용화할 수 있을 것이다.

#### 감사의 글

이 논문은 2019년도 청주대학교 연구장학 지원에 의한 것임.

#### 참고문헌

1. Cheon Jae Man, Kim Min Jae, Yoon Chong HO "Design and Implementation of an IRIG-B Time Synchronization Module with xCore Processor," 2015 Korean Electronic Engineering Society Summer Academic Conference, pp. 397-398, 2015.
2. Gwan-Su Kim, Hong-Hee Lee, Byung-Jin KIM "A Study on Implementation of IRIG-B Protocol for Time Synchronization of IEC 61850 based Merging Unit," 2008 Korean Electronic Engineering Society Summer Academic Conference, pp. 303-310, 2007.
3. Sung-Hwan Kwak, Dae-Yun Kwon, Seog-Joo Kim "A Study on development of DFR TimeSync Simulator using IRIG-B signal of GPS," 2011 Korean Electronic Engineering Society Summer Academic Conference, pp. 737-738, 2011.
4. Hyun-Sung Hwang "A Study on Time Synchronization for Embedded Measurement System Using GPS IRIG-B Signal," Master's thesis, Gyung-Sang University, 2016.
5. RCC, Telecommunications and timing group, "IRIG SERIAL TIME CODE FORATS," IRIG STANDARD 200-04.
6. Jose R. Razo-Hernandez, Martin Valtierra-Rodriguez, David Granados Lieberman, Juan P. Amezcua-Sanchez, Luis A. Morales-Hernandez, Aurelio Dominguez-Gonzalez, "IRIG-B decoder based on FPGA for synchronization in PMUs by considering different input formats," 2016 IEEE International Autumn Meeting on Power, Electronics and Computing(ROPEC).
7. Doh Pil Hwan "A Study on the Implementation of Measurement Algorithms for Power System using DSP," Master's thesis, Cheongju University, 2011.
8. Byung-Moon Kwon, Yong-Sui Shin, Ji-Hyeon Moon, Seong-Min Noh, Keun-Su Ma "The IRIG-B Time Code of the GNSS Receiver for Korea Space Launch Vehicle II," Journal of AIK, pp. 294-295, 2016.
9. Jung-hoon LEE, Hong-hee LEE, Gwan-su Kim "A Study on Implementation of IRIG-B Protocol for clock Synchronization for IED 61850 Process Level," 2007

*Korean Electronic Engineering Society Summer Academic Conference*, pp. 253-255, 2007.

10. Jun-kai Huang, Liang Du, Qun-ying Liu, "Application of IRIG-B Code in Phase Measurement Unit," *2012 Asia-Pacific Power and Energy Engineering Conference*, pp. 1-3, 2012.
11. Woo Ho Park, Oh Yang, "Implementation of the BLDC Motor Speed Control System using VHDL and FPGA,"

*Journal of the Semiconductor & Display Technology*, Vol. 13, No.4, pp. 71-76, 2014.

---

접수일: 2019년 2월 27일, 심사일: 2019년 3월 7일,  
게재확정일: 2019년 3월 17일