

레이더 신호 탐지용 디지털수신기 개발

차민연^{*,1)} · 최혁재¹⁾ · 김성훈¹⁾ · 문병진¹⁾ · 김재윤¹⁾ · 이종현¹⁾

¹⁾LIG넥스원(주) 전자전연구소

Development of a Digital Receiver for Detecting Radar Signals

Minyeon Cha^{*,1)} · Hyeokjae Choi¹⁾ · Sunghoon Kim¹⁾ · Byungjin Moon¹⁾ · Jaeyun Kim¹⁾ · Jonghyun Lee¹⁾

¹⁾Electronic Warfare Division, LIG Nex1, Korea

(Received 30 January 2019 / Revised 19 March 2019 / Accepted 3 May 2019)

ABSTRACT

Electronic warfare systems are needed to be advantageous in the modern war. Many radar threat signals with various frequency spectrums and complicated techniques exist. For detecting the threats, a receiver with wide and narrow-band digital processing is needed. To process a wide-band searching mode, a polyphase filter bank has become the architecture of choice to efficiently detect threats. A polyphase N -path filter aligns the re-sampled time series in each path, and a discrete Fourier transform aligns phase and separates the sub-channel baseband aliases. Multiple threats and CW are detected or rejected when the signals are received in different sub-channels. And also, to process a narrow-band precision mode, a direct down converter is needed to reduce aliasing by using a decimation filter. These digital logics are designed in a FPGA. This paper shows how to design and develop a wide and narrow-band digital receiver that is capable to detect the threats.

Key Words : Digital Receiver(디지털수신기), Wide Band(광대역), Narrow Band(협대역), Radar Pulse(레이더 펄스), Polyphase Filter Bank(폴리페이즈 필터뱅크)

1. 서론

현대전에서 전쟁의 우위를 확보할 수 있는 전자전(Electronic Warfare)시스템은 아군의 전세를 유리하도록 할 수 있는 Key 시스템이다. 하지만 EW시스템은 위협들의 주파수 스펙트럼이 넓어지고 감시 기법이

복잡해짐에 따라 시스템의 설계 및 개발이 어려워지고 있다. 하지만 시스템을 구성하는 필수 부품들이 고집적화 되고 처리속도가 비약적으로 빨라짐에 따라 발전된 ADC(Analog-to-Digital Converter)와 FPGA(Field Programmable Gate Array), DSP(Digital Signal Processing) 등의 부품들을 적절히 사용하면 개발이 불가능한 일은 아니다^[1].

EW시스템은 보통 전자지원(Electronic Support)과 전자공격(Electronic Attack), 전자보호(Electronic Protect)

* Corresponding author, E-mail: minyeon.cha@lignex1.com
Copyright © The Korea Institute of Military Science and Technology

로 분류된다^[2]. EA시스템은 ES시스템으로부터 분석된 제원을 이용해 재밍신호를 방사하여 레이더나 미사일 등의 위협을 무력화하고, EP시스템은 적의 전자공격에 대해 아군의 시설이나 장비를 보호한다. 특히 ES시스템은 지향성과 의도성에 상관없이 통신/비통신 전파신호를 모두 수신하여 의미 있는 데이터를 분석/식별하여 아군의 작전수행을 지원하는 역할을 한다. 이런 시스템에서 알려지지 않은 위협을 탐지하기 위해서는 위협신호가 분포하는 주파수 범위에서 탐지/분석을 수행할 수 있는 수신기가 필요하다.

ES시스템은 보통 군사용 탐색 및 추적 레이더 등이 운용되는 DC ~ 20 GHz 사이에서 동작한다^[3]. 따라서 수신기는 넓은 대역폭과 높은 동적 범위, 뛰어난 수신 감도를 갖추고 정확한 신호의 제원(Pulse Description Word)을 측정하여야 한다. PDW의 종류로는 주파수(Frequency)와 펄스 폭(Pulse Width), 펄스 세기(Pulse Amplitude), 신호 도착시간(Time of Arrival) 등이 있다^[4]. 이와 같은 PDW를 측정할 때 위협의 종류에 따라 신호세기와 감도가 다를 수 있다. 그래서 탐색모드를 위한 광대역과 정밀모드를 위한 협대역의 대역폭을 동시에 설계함으로써, 운용모드에 따라 적절한 대역폭을 선택할 수 있다. 그리고 광대역 IF수신대역폭 내에 1개의 위협뿐만이 아니라 여러 개의 위협에 동시 대응하기 위해서 폴리페이즈 필터뱅크(Polyphase Filter Bank)를 이용할 수 있다^[2]. 기존에는 광대역 IF수신대역폭내의 다중위협에 대응하기 위하여 아날로그 필터뱅크를 이용한 채널라이저를 이용하였다. 이는 비용과 부피, 무게 등의 관점에서 비효율적이고, 샘플링 레이트(Sampling Rate)를 낮추면서 혼신(Aliasing) 왜곡이 발생할 수 있는 단점이 있다.

디지털수신기를 광대역으로 운용하기 위해서는 넓은 순시대역폭이 필요하기 때문에 기가비트(Giga-bit) 샘플링 레이트 ADC가 필수적으로 사용된다. 대표적으로 Teledyne e2v사와 Analog Device사 등의 제조사들은 지속적으로 고속 샘플링 레이트 ADC를 출시하고 있어 부품을 시스템 요구사항에 맞춰 선택할 수 있다. 또한, Short 펄스부터 Long 펄스까지 탐지하고 1MPPS(Mega Pulse Per Second)이상의 펄스밀도 환경에서 PDW를 정확히 측정하기 위해서는 고속의 신호처리를 필요로 한다. FPGA는 높은 동작 클럭을 사용하여 기가급 순시대역폭으로부터 생산되는 다량의 데이터를 실시간처리를 할 수 있다^[5]. 그리고 순시대역폭 내에 다중 위협을 탐지하기 위하여 폴리페이즈 필

터뱅크를 FPGA에 프로그램 할 수 있다. 폴리페이즈 필터뱅크는 유한 필터 계수(Finite Filter Coefficients)를 갖는 FIR(Finite Impulse Filter)필터와 서브채널 수로 Point수가 결정되는 DFT(Discrete Fourier Transform)로 구성된다^[2,6,7]. 폴리페이즈 필터뱅크의 출력은 각 채널의 기저대역(Baseband) I/Q데이터이다. 서브채널 대역폭보다 넓은 간격으로 수신되는 다중 위협들은 서브채널 별로 분리된 I/Q데이터로 출력된다. 따라서 동시 다중 위협처리를 가능하게 한다. 그리고 수신되는 다중 위협 중에 지속파(Continuous Wave)가 포함된 경우 CW가 수신되는 서브채널의 데이터를 제거하고, 나머지 서브채널의 위협들을 처리할 수 있다. 이는 기존 광대역처리 디지털수신기가 IF수신대역폭 내에 수신되는 동시 다중 위협을 처리하지 못했을 뿐만 아니라 CW가 들어오면 수신기가 비정상적으로 동작하는 단점을 극복하게 해준다.

본 논문에서 개발하는 디지털수신기는 기존 수신기 단점을 해결하기 위하여 폴리페이즈 필터를 이용하여 채널화된 탐색모드용 광대역 채널과 정밀모드용 협대역 채널로 구성된다. 위의 디지털수신기를 개발하기 위하여 하드웨어 설계는 2-1장, 펌웨어 설계는 2-2장에서 자세하게 설명하였다. 그리고 개발 완료된 시제품을 검증하기 위한 시험구성 및 측정데이터는 3장에 설명됐고, 4장에는 결론으로 본 논문을 요약하였다.

2. 디지털수신기 설계

2.1 하드웨어 설계

ES시스템의 기본 구조는 보통 20 GHz 이하의 광범위한 RF신호를 수신하여 신호처리가 용이하도록 증폭기(Amplifier), 믹서(Mixer), 필터(Filter) 등으로 구성된 RF모듈을 이용하여 IF신호로 하향 변환하는 구조이다. 이 하향된 IF신호를 탐색모드와 정밀모드로 사용할 수 있도록 광대역 1채널과 협대역 1채널로 구성된 디지털수신기를 설계하였다. 설계된 디지털수신기의 구성도는 Fig. 1과 같다.

수신되는 IF신호는 ADC를 이용하여 광대역은 2.4 Gbps 이상, 협대역은 210 Msps 이상의 샘플링 레이트(f_s)를 이용하여 이산신호로 변환된다. ES시스템을 구성하기 위하여 RF를 IF로 변환하는 RF보드와 연동하여 광대역채널의 IF대역폭은 1 GHz 이상, RF수신감도

는 -50 dBm 이하로 설계됐으며, 협대역 채널의 IF대역폭은 40 MHz 이상, RF수신감도는 -60 dBm 이하로 설계됐다. 위 설계 성능을 만족하기 위하여 광대역 ADC는 Teledyne e2v사의 EV10AQ190A를 사용하였다. 위 부품의 주요성능으로는 2.5 Gsps 샘플링 레이트 기준으로 -1 dBFS인 1.2 GHz 신호 주입 시, ENOB는 7.7 비트, SFDR은 56 dBFS, SNR은 48 dB이다. 그리고 협대역ADC는 Analog Device사의 AD9467을 사용하였다. 위 부품의 주요성능으로는 250 Msps 샘플링 레이트 기준으로 -1 dBFS인 210 MHz 신호 주입 시, ENOB는 12.2 비트, SFDR은 92 dBFS, SNR은 75.5 dB이다. FPGA는 I/O포트와 로직 셀(Logic Cell), 곱셈기(DSP) 등을 고려하여 부품을 선정한다. FPGA에서 ADC의 제어는 일반적으로 SPI(Serial Peripheral Interface)를 사용하고, 클럭 및 데이터 수신은 LVDS(Low Voltage Differential Signaling)를 사용한다. 그리고 FPGA는 GPIO(General Purpose Input/Output)를 이용한 통신방식으로 메시지를 송신 및 수신할 수 있다. 메시지는 제어신호 및 PDW데이터 등을 포함한다. I/O포트를 결정한 후에는 리소스로 분류되는 로직셀 및 곱셈기 등이 얼마나 사용될지를 추산할 필요가 있다. 이 디지털수신기에서는 폴리페이즈 필터뱅크와 DDC(Direct Down Converter), PDW측정 로직이 대부분의 리소스를 차지한다. 이는 XILINX의 VIVADO툴을 이용하여 예비 설계를 거쳐 확인할 수 있다. 환경조건에 따라 타이밍 마진이 달라질 수 있으므로 낮은 리소스 사용률을 위해 Xilinx의 XC7VX690T-2 FFG1157IGA를 FPGA로 선정하여 LUT(Look-Up Table)는 433,200 개 중에 99,032 개, FF(Flip-Flop) 866,400 개 중에 135,545 개, DSP Slice 3,600 개 중에 1,231 개를 사용하였다.

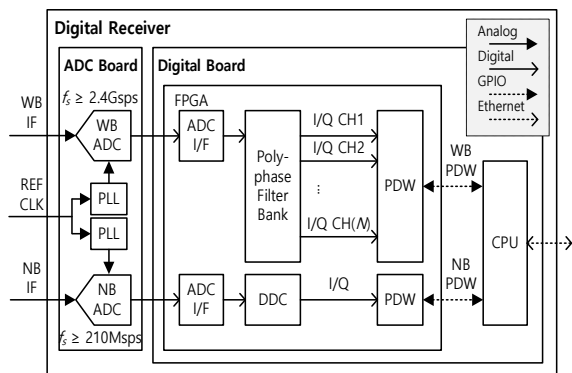


Fig. 1. Block diagram of the digital receiver

2.2 펌웨어 설계

광대역과 협대역ADC의 인터페이스는 VIVADO에서 제공하는 SelectIO IP를 이용하여 설계하였다. 이산화된 입력 IF신호는 아래와 같이 모델링 될 수 있다.

$$x(n) = \alpha(n) \cdot \cos(\omega_0 n + \theta_n) \tag{1}$$

여기서 $x(n)$ 는 이산화된 입력 IF신호이고, $\alpha(n)$ 는 펄스의 파형, ω_0 는 $2\pi f_0/f_s$, f_0 는 입력 IF주파수이다. 그리고 n 은 샘플데이터 수를 표현한다. 신호처리 방법은 광대역과 협대역에 따라 달라진다. 우선 광대역은 IF대역폭을 탐색모드 운용을 고려하여 1 GHz로 설계했다. 그러면 대역폭이 넓어짐에 따라 여러 위함신호가 동시에 수신될 수 있다. 그리고 CW가 수신되는 상황에서는 다른 펄스 신호들의 식별이 불가능해 질 수 있다. 이를 해결하기 위하여 폴리페이즈 필터뱅크를 채널라이저로 사용할 수 있다. 폴리페이즈 필터뱅크를 사용하면 $0 \sim f_s$ 의 대역폭이 DFT의 Point 수만큼의 서브채널로 분리되며, 분리된 서브채널들의 대역폭은 FIR필터의 주파수 응답특성에 영향을 받는다. 여기서 채널화 이득을 고려하여 DFT의 Point 수 N 은 32로 설계하였다. ADC의 2.4 Gsps 이상 샘플링 레이트로 출력되는 IF신호를 32개의 채널로 분리하면, 샘플링 레이트가 f_s/N 로 낮아지며 약 11 dB의 채널화 이득을 얻을 수 있다. 폴리페이즈 필터뱅크의 입력데이터는 입력버퍼를 이용하여 알맞은 데이터 배열을 생성하여 입력해야 한다. Fig. 2의 첫 번째와 같이 N 단으로 설계하기 위하여 한 시퀀스에 N 개의 데이터가 한 배열을 이루게 된다. 시퀀스마다 모든 데이터가 새롭게 채워지는 방식의 데이터 배열을 생성하면 서브채널의 대역폭은 f_s 를 N 으로 나눈 대역폭이 된다. 위의 대역폭을 사용하면 Fig. 3의 첫 번째와 같이 주파수 스펙트럼에서 서브채널들 사이에 중첩대역이 존재하지 않는다. 이는 ES시스템이 모든 신호를 누락 없이 탐지해야하는 운용특성에 맞지 않는다. 이를 해결하기 위하여 Fig. 2의 두 번째와 같이 한 시퀀스에 받은 새로운 데이터를 채우고, 나머지 받은 과거 데이터를 채우는 방법으로 서브채널의 대역폭을 넓히는 효과를 얻을 수 있다^[6]. 이 방법을 적용하면 서브채널의 대역폭은 f_s 를 $N/2$ 으로 나눈 대역폭이 되어 원래 방식보다 2배로 넓어진다. 이는 Fig. 3의 두 번째처럼 스펙트럼 상에 서브채널 사이에 중첩대역이 존재하게 되어 어떤 신호도 누락되지 않는다.

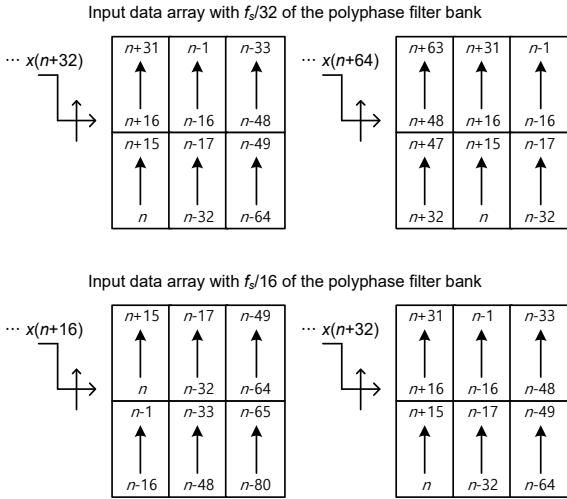


Fig. 2. Buffering for 32-point sequences in the 32-stage polyphase filter bank

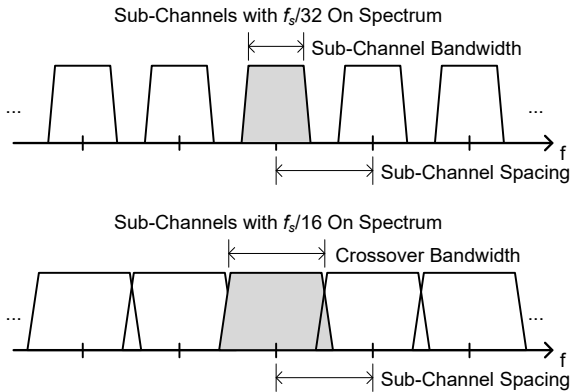


Fig. 3. Spectral characteristics of sub-channels with different bandwidths

버퍼링된 $x(n)$ 은 선형성을 갖는 FIR(Finite Impulse Filter)필터를 이용하여 필터링을 수행한다. FIR필터는 피드백(Feedback)회로가 없어 구현비용이 높지만, 입력과 출력데이터 간에 위상변이가 없어 신호탐지를 위해서는 FIR필터가 유리하다. Fig. 4는 설계된 FIR필터 구성도이다. 필터계수는 MATLAB을 이용하여 폴리페이즈 필터뱅크의 최종 출력을 고려하여 설계된다. 필터는 Low-pass 응답 특성을 갖고, 차수는 N 의 정수배인 256차이다. 그리고 Transition-Band인 f_s/N 를 통과시키기 Pass-Band, Stop-Band를 설계였다. 설계된 필터계수는 FPGA내부 메모리에 저장하여 사용한다. FIR필

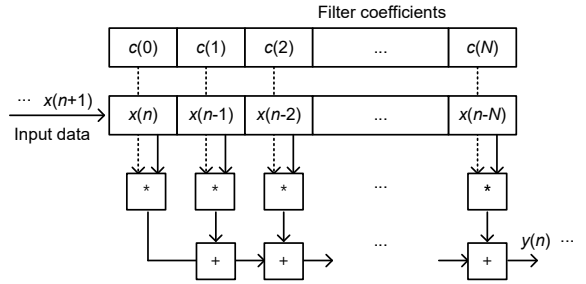


Fig. 4. Block diagram of the FIR filter

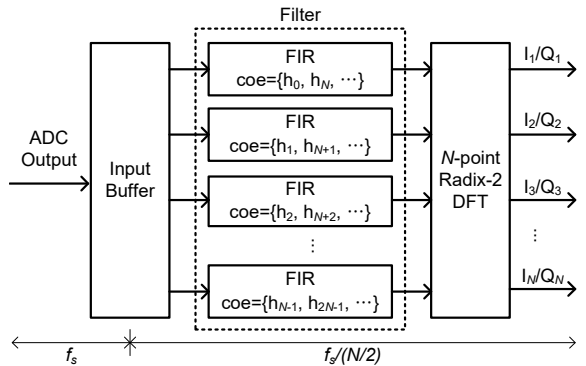


Fig. 5. Block diagram of the polyphase filter bank

터의 출력데이터 $y(n)$ 을 N -point DFT를 이용하여 기저대역으로 하향 변환하면 $Y(k)$ 로 표현되는 I/Q데이터가 된다. 리소스를 적게 사용하기 위하여 DFT를 Radix-2 FFT(Fast Fourier Transform) 알고리즘을 적용하여 설계하였으며, 아래와 같은 수식으로 표현된다^[8].

$$Y(k) = \sum_{m=0}^{N/2-1} y(2m) W_N^{2mk} + \sum_{m=0}^{N/2-1} y(2m+1) W_N^{k(2m+1)} \quad (2)$$

$$W_N^{2mk} = e^{-j\frac{2\pi 2mk}{N}} \quad (3)$$

여기서 N 은 FFT point, m 은 0부터 $(N/2-1)$ 까지의 범위, k 은 0부터 $(N-1)$ 까지의 범위를 표현한다. 위 알고리즘을 적용하면 곱셈기 리소스를 절반 이하로 줄일 수 있다. Fig. 5는 위의 설계과정을 통해 입력버퍼, FIR필터와 DFT로 구성된 폴리페이즈 필터뱅크를 보여준다. 광대역ADC 샘플링 레이트로 입력되는 IF데이터는 입력버퍼를 통해 $f_s/(N/2)$ 의 샘플링 레이트로 하

향되고, 서브채널의 밴드특성이 고려된 FIR필터로 필터링된다. 그 다음 DFT를 통해 채널 분리되어 I/Q데이터로 최종 출력되면 1 GHz의 대역폭이 서브채널

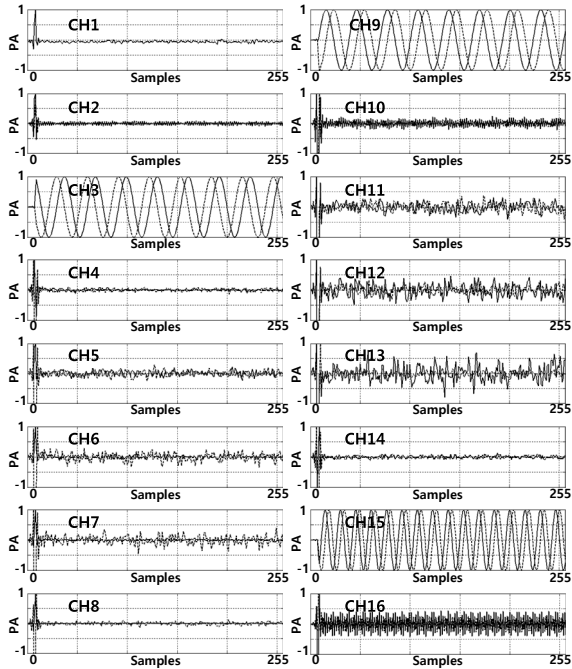


Fig. 6. I/Q signals of sub-band #1~#16 with 3 inputs

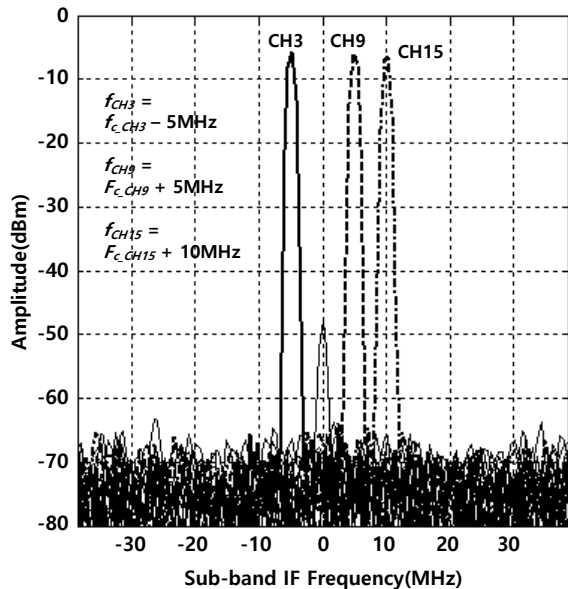


Fig. 7. Spectrum of Sub-band #1~16 with 3 inputs

대역폭으로 채널화 되어 여러 위협신호를 병렬로 처리할 수 있다. Fig. 6과 7은 설계된 폴리페이즈 필터를 검증하기 위한 Matlab 시뮬레이션 결과이다. 수신된 IF대역폭의 Nyquist zone #1에 해당하는 $0 \sim f_s/2$ 의 데이터가 채널화 되어 I/Q로 출력되고, Fig. 6은 Normalized $I_1/Q_1 \sim I_{16}/Q_{16}$ 데이터를 보여준다. 입력 모의 신호로는 3번 서브채널의 중심주파수($f_{c,CH3} - 5$ MHz와 $f_{c,CH9} + 5$ MHz, $f_{c,CH15} + 10$ MHz)의 주파수를 갖는 CW 신호를 주입하였다. Fig. 7은 채널화된 16개 서브채널에서 출력되는 I/Q신호를 주파수 스펙트럼으로 도시하여 중첩시킨 결과이다. 이를 보면 IF대역폭에 주입된 3개의 신호가 3번과 9번, 15번 서브채널에 정확히 분리된 것을 확인할 수 있다.

광대역은 넓은 대역을 동시에 처리하기 위하여 채널화 기법을 적용하였지만, 협대역은 좁은 대역의 신호를 처리하기 때문에 DDC를 사용하여 ADC데이터를 하향 변환하여 처리한다. DDC는 Fig. 8과 같이 믹서, NCO(Numerically Controlled Oscillator)와 Decimation 필터로 구성되어 있다. Decimation 필터는 샘플링 레이트를 낮출 때 발생할 수 있는 혼신 왜곡을 완화하기 위하여 사용한다⁹⁾. 입력데이터는 협대역ADC로부터 출력되는 IF데이터이고, 믹서에서 위상이 90도 차이를 갖는 신호와 곱셈연산을 통해 I/Q데이터로 변환된다. 이 때 NCO가 위상 90도 차이의 Cosine과 Sine 신호를 공급한다. Fig. 9는 주파수 도메인 상에서의 샘플링 레이트 변화를 나타내는데, I/Q데이터는 Decimation 필터를 통해 샘플링 레이트가 $f_s/3$ 로 낮아진다. 샘플링 레이트를 $f_s/4$ 로 낮추면 LPF(Low-Pass Filter)의 주파수 응답특성은 향상되지만 샘플링 주기가 길어져 100 ns

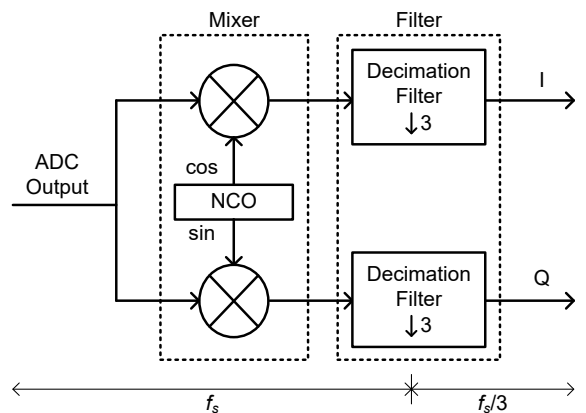


Fig. 8. Block diagram of the DDC

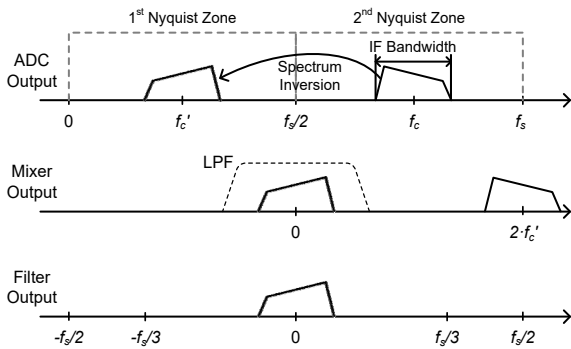


Fig. 9. Frequency plan of the DDC

로 수신되는 Short 펄스에 대응이 어렵다. 협대역ADC의 f_s 가 210 Msps라고 할 때, $f_s/3$ 의 주기는 약 14.29 ns이고 100 ns의 Short 펄스의 샘플을 7개 획득할 수 있지만, $f_s/4$ 는 주기가 약 19.05 ns이므로 5개의 샘플만 획득이 가능하다. 펄스 진폭의 Fluctuation을 감소시키기 위해 샘플의 이동 평균 사용을 감안하여 I/Q 샘플링 레이트를 $f_s/3$ 로 설계하였다.

위에서 설계한 폴리페이즈 필터뱅크와 DDC에서 출력되는 광대역과 협대역 I/Q데이터는 XILINX Cordic IP를 사용하여 진폭과 위상으로 변환된다. 진폭을 이용하여 펄스 및 CW 신호유무를 검출하고 SP(Signal Present)신호를 생성한다. SP신호는 유효신호 구간 내의 진폭과 위상데이터를 식별하는데 사용된다. SP신호의 길이는 펄스 폭으로 사용되고, SP신호의 Rising Edge에서의 시간정보는 신호 도착시간으로 사용된다. 펄스 세기는 SP신호 구간 내의 진폭데이터를 평균하여 사용하는데, 펄스 폭에 따라 평균 개수가 다를 수 있다. 주파수는 SP신호 구간 내의 위상데이터를 아래의 수식에 의해 계산하여 얻을 수 있다. 이 때 위상의 평균은 위상이 반복되는 특성을 고려하여야 정확한 데이터를 얻을 수 있다.

$$F(n) = \left(\frac{\Delta phase(n)}{2^{BIT}} / \pi \times 180^\circ \right) / \left(360^\circ \times \frac{1}{f_{FPGA}} \right) \quad (4)$$

여기서 F 의 단위는 헤르츠(Hertz)이며, $\Delta phase$ 는 Scaled Radian 위상평균 값의 변화량이고, BIT 은 주파수데이터의 Fractional 비트 수, f_{FPGA} 는 로직의 동작 클럭이며 I/Q데이터 출력 레이트와 동일하다. 위에서 생성된 주파수, 펄스 폭, 펄스 세기, 신호 도착시간이 종합되어 PDW가 생성되고, 이는 저장 또는 CPU로 전

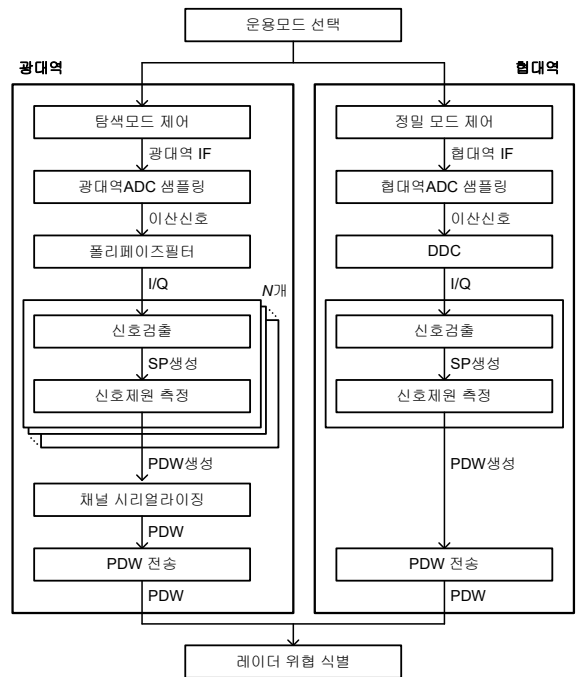


Fig. 10. Flow chat of operation modes

송되어 위협식별에 사용된다. FPGA 기반으로 설계된 펌웨어의 동작과정은 Fig. 10의 Flow Chart에서 볼 수 있다.

3. 시제품 검증

개발된 디지털수신기는 Fig. 11과 같이 IF를 발생할 수 있는 RF보드와 RF신호를 발생할 신호발생기(SG)로 시험 구성하여 시험하였다. RF보드는 SG로부터 입력된 RF신호를 IF대역으로 낮추고 입력 신호세기에 따라 증폭과 비증폭 경로를 설정할 수 있다. 디지털수신기의 PCB제작은 ADC의 신호/클럭 입력임피던스 매칭과 LVDS출력라인 길이를 고려하였다. 조립된 보드의 전면부에는 J1에 광대역IF, J2에 협대역IF, J3에 기준클럭 10 MHz를 입력받는 포트가 있고, 후면부에는 전원공급 및 통신이 가능한 P1, P2커넥터가 있다.

시험구성 RF보드는 3500 ~ 4500 MHz의 RF주파수를 광대역은 1350 ~ 2350 MHz, 협대역은 140 ~ 180 MHz의 IF주파수로 하향 변환한다. 그리고 -35 dBm 초과된 입력은 Through Path, -35 dBm 이하의 입력은 Amplified Path로 출력된다. PDW데이터는 100개의 펄

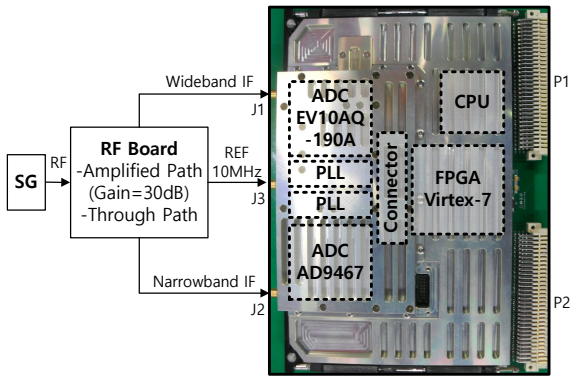


Fig. 11. Set-up of the digital receiver with an RF board

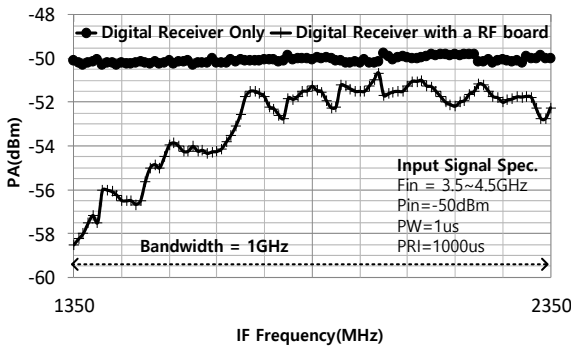


Fig. 12. Instantaneous bandwidth of the wide-band

스를 측정하여 각 채널마다 평균 값 또는 RMS 값으로 표시된다.

Fig. 12은 광대역 IF순시대역폭을 측정한 결과이다. 디지털수신기 단독으로는 0.53 dB, RF보드와 연동 시 7.85 dB 이득평단도로 측정됐고, IF대역폭은 1 GHz이다. 신호세기와 주파수, 펄스 폭 측정 정확도를 시험하기 위하여 펄스 폭은 1 us와 0.1 us, 펄스 반복주기는 1000 us인 펄스를 이용하여 시험하였다. Fig. 13는 펄스 신호세기를 측정한 결과이다. 입력 신호로 -5 ~ -63 dBm 주입 시 측정된 펄스 신호세기는 펄스 폭이 1 us 일 때 -5.14 ~ -63.38 dBm, 0.1 us 일 때 -6.15 ~ -63.7 dBm이고, 이 결과는 RF이득의 보상 데이터를 포함한다. Fig. 14은 주파수 RMS를 측정한 결과이다. 펄스 폭이 1 us 일 때 최대 0.027 MHz RMS, 펄스 폭이 0.1 us 일 때 신호세기 -63 dBm에서 최대 0.695 MHz RMS로 측정됐다. Fig. 15는 펄스 폭 측정데이터이고 펄스 폭이 1 us 일 때 최대 ±0.02 us, 펄스 폭이 0.1 us 일 때 최대 ±0.03 us의 정확도로 측정됐다. 펄

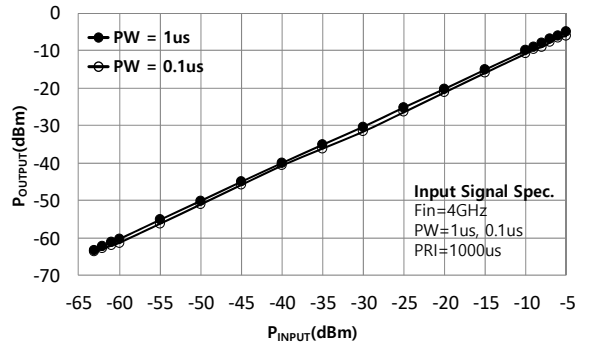


Fig. 13. Measured pulse amplitude of the wide-band

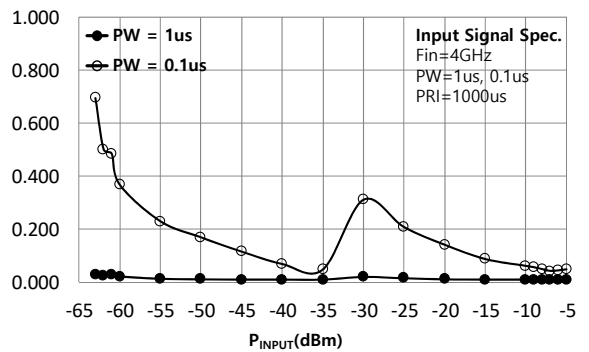


Fig. 14. Measured frequency of the wide-band

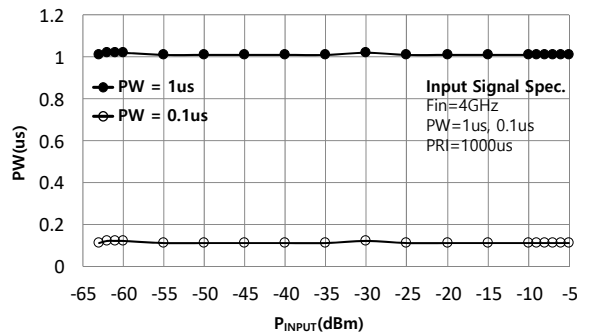


Fig. 15. Measured pulse width of the wide-band

스 도착시간으로부터 계산되는 펄스 반복주기는 전 대역에서 오차 ±0.02 us의 정확도를 갖는다. 그리고 Short펄스 위협신호의 탐지능력은 위 시험들에서 펄스 폭 0.1 us 신호 측정 결과로 확인할 수 있다.

협대역의 IF대역폭 측정결과 40 MHz 이상으로 측정됐다. 이 때, 디지털수신판 단독으로는 1.31 dB, RF보드와 연동 시 2.28 dB로 이득평단도가 측정됐고 이는

Fig. 16에서 확인할 수 있다. 광대역과 마찬가지로 신호세기와 주파수, 펄스 폭 측정 정확도를 시험하기 위하여 펄스 폭은 1 us와 0.1 us, 펄스 반복주기는 1000 us인 펄스를 이용하여 시험하였다. Fig. 17은 펄스 신호세기를 측정한 결과이다. 입력 신호로 -5 ~ -65 dBm 주입 시 측정펄스 신호세기는 펄스 폭이 1 us 일 때 -5.67 ~ -65.51 dBm, 0.1 us 일 때 -5.64 ~ -65.35 dBm

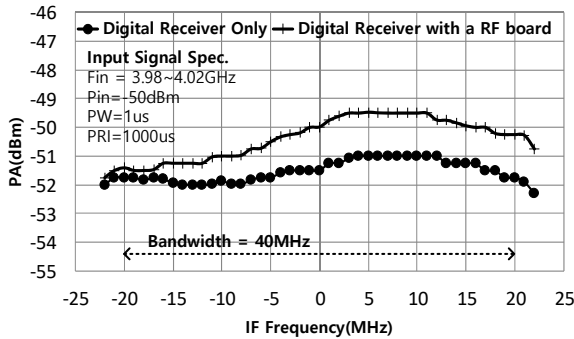


Fig. 16. Instantaneous bandwidth of the narrow-band

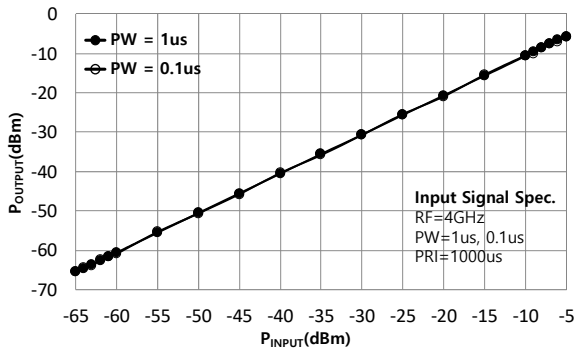


Fig. 17. Measured pulse amplitude of the narrow-band

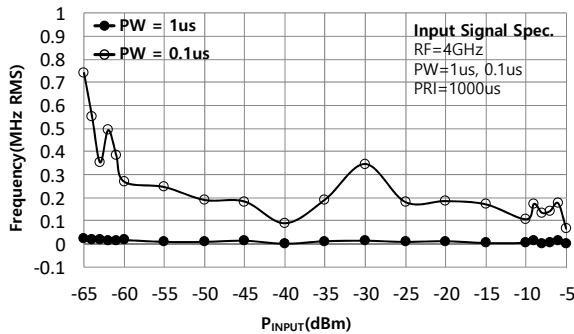


Fig. 18. Measured frequency of the narrow-band

이고, 이 결과는 RF이득의 보상 데이터를 포함한다. Fig. 18은 주파수 RMS를 측정된 결과 이다. 펄스 폭이 1 us 일 때 최대 0.021 MHz RMS, 펄스 폭이 0.1 us 일 때 신호세기 -65 dBm에서 0.741 MHz RMS로 측정됐다. Fig. 19는 펄스 폭 측정데이터이고 펄스 폭이 1 us 일 때 오차 없이 측정 됐고, 펄스 폭이 0.1 us 일 때 최대 ±0.03 us의 정확도로 측정됐다. 협대역의 펄스 반복주기는 전 대역에서 오차 ±0.02 us의 정확도를 갖는다. 마찬가지로 Short펄스 위협신호의 탐지능력을 위 시험들을 통하여 확인할 수 있었다. 지금까지의 측정

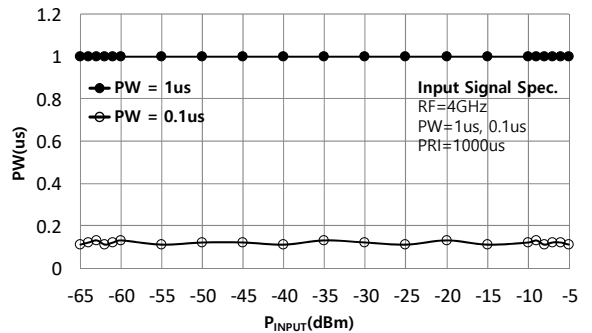


Fig. 19. Measured pulse width of the narrow-band

Table 1. Summary of measurements

구분	성능요소	목표값	측정값
Wide-band	Bandwidth	≥1 GHz	1 GHz
	Sensitivity	≤-50 dBm	≤-50 dBm
	Frequency Accuracy	≤1 MHz RMS	0.695 MHz RMS
	PW Accuracy	≤0.1 us	±0.03 us
	PA Accuracy	≤2 dB RMS	0.53 dB RMS
	PRI Accuracy	≤0.1 us	±0.02 us
Narrow-band	Bandwidth	≥40 MHz	40 MHz
	Sensitivity	≤-60 dBm	≤-60 dBm
	Frequency Accuracy	≤1 MHz RMS	0.741 MHz RMS
	PW Accuracy	≤0.1 us	±0.03 us
	PA Accuracy	≤2 dB RMS	1.31 dB RMS
	PRI Accuracy	≤0.1 us	±0.02 us

결과들을 Teledyne DR068^[10]을 참고하여 설정한 목표값과 비교하여 Table 1에 요약하였다. 그리고 1 GHz IF대역폭 기준으로 잡음신호세기 대비 RF신호의 세기가 2 dB 이상 일 때 펄스 제원 측정값이 목표한 성능을 만족하는 것을 실험적으로 확인하였다. 이는 채널화 이득을 고려하면 서브 채널에서 13 dB의 SNR을 확보해야 펄스 위협 신호를 탐지 할 수 있다.

디지털수신관의 광대역과 협대역 측정결과를 보면 설계 목표를 상회하는 결과를 얻을 수 있었다. 특히 광대역은 탐색모드를 위해 1 GHz의 IF대역폭을 확보했으며 Short 펄스 대응 뿐 아니라 CW를 대응을 위한 채널화 설계를 통해 높은 품질의 PDW제원을 측정할 수 있다. 협대역도 정밀모드를 위해 40 MHz의 IF대역폭을 확보했으며 Short 펄스 대응 및 높은 품질의 PDW생성을 할 수 있다.

4. 결론

다양한 레이더 위협신호를 탐지하기 위하여 탐색모드와 정밀모드 기능이 있는 디지털수신기를 개발하였다. 기가비트 샘플링 레이트의 ADC를 사용하여 광대역 IF수신대역폭을 1 GHz로 설계할 수 있었고, 다중 위협 탐지 및 CW제거 등의 기능을 수행하도록 폴리페이즈 필터 뱅크를 설계에 적용하였다. 정밀모드는 수신감도 향상을 위해 샘플링 레이트를 낮추고 ENOB가 높은 ADC를 사용하여 신호처리 하도록 설계하였다. 디지털수신기는 ADC 샘플링 간에 디지털 노이즈의 영향을 최소화하기 위하여 ADC보드와 디지털보드로 구분하여 개발하였다. ES시스템을 염두에 두고 RF보드와 연동한 디지털수신기의 측정결과로 광대역은 1 GHz, 협대역은 40 MHz의 IF대역폭을 확보하였다.

본 개발을 통해 개발된 디지털수신기는 광대역과 협대역 디지털 처리를 통해 탐색모드와 정밀모드로 운용이 가능하다. 증가하는 레이더 위협신호를 탐지하는데 필요한 대역폭 및 PDW측정 성능 등을 확인하였다. 또한 채널화기법을 적용하여 동시 수신되는 위협신호를 탐지하고 CW에 의해 기능이 제한되는 단점을 해결하였다. 향후 다양한 EW시스템에 적용돼 아군의 다양한 시스템에 위협정보를 제공할 수 있을 것으로 기대된다.

후 기

본 개발은 LIG넥스원의 자체투자 사업인 SONATA 수퍼햇수신기 국산화 개발사업을 통해 이루어졌다.

References

- [1] J. Tsui and J. P. Stephens, Sr., "Digital Microwave Receiver Technology," Transactions Microwave Theory Technology, Vol. 50, pp. 699-705, March, 2002.
- [2] Anthony E. Spezio, "Electronic Warfare Systems," 633-664, IEEE Transactions on Microwave Theory and Techniques, Vol. 50, No. 3, March, 2002.
- [3] Naval Air Systems Command and Naval Air Warfare Center, "Electronic Warfare And Radar Systems Engineering Handbook," April, 1999.
- [4] W. A. Mahmoud, A. K. Sharief, and F. D. Umara, "Radar Parameter Generation to Identify the Target," J. Engineering, Vol. 17, No. 1, pp. 173-185, Feb. 2011.
- [5] Xilinx, "7 Series FPGAs Overview," July, 2013.
- [6] Fredric J. Harris, Chris Dick, and Michael Rice, "Digital Receivers and Transmitters Using Polyphase Filter Banks for Wireless Communications," IEEE Transactions on Microwave Theory and Techniques, Vol. 51, No. 4, pp. 1395-1412, April, 2003.
- [7] Xilinx, "Polyphase Filter Bank Channelizer," March, 2013.
- [8] John G. Proakis, Dimitris G. Manolakis, "Digital Signal Processing," Prentice Hall, Third Edition, 1996.
- [9] Joe Gerhardt and Saiyu Ren, "Digital Down Converter Optimization," IEEE 56th International Midwest Symposium on Circuits and Systems, pp. 1015-1018, Augst, 2013.
- [10] Teledyne Microwave Solutions, "Digitising Receiver, DR068," February, 2016.