

실험 및 수치해석을 이용한 SLP (Substrate Like PCB) 기술에서의 마이크로 비아 신뢰성 연구

조영민 · 좌성훈[†]

서울과학기술대학교 나노IT디자인 융합기술대학원

Experimental and Numerical Analysis of Microvia Reliability for SLP (Substrate Like PCB)

Youngmin Cho and Sung-Hoon Choa[†]

Graduate School of NID Fusion Technology, Seoul National University of Science and Technology,
232, Gongneung-ro, Nowon-gu, Seoul 01811, Korea

(Received February 7, 2020: Corrected February 20, 2020: Accepted March 5, 2020)

초 록: 최근 PCB의 소형화, 박형화 및 고밀도화가 크게 요구되면서 MSAP (Modified Semi Additive Process) 기술을 이용한 SLP (Substrate Like PCB) 기술이 큰 주목을 받고 있다. 특히 SLP 기술은 스마트폰의 고용량 배터리 개발과 5G 기술에 꼭 필요한 기술이다. 본 연구에서는 기존의 HDI 기술과 MSAP 기술을 혼합하여 제작한 하이브리드 방식의 SLP의 신뢰성을 실험과 수치해석을 이용하여 분석하였다. 특히 최적의 SLP 설계를 위하여 프리프레그(prepreg)의 물성, 두께, 층수, 마이크로비아(microvia)의 크기 및 misalignment가 마이크로비아의 신뢰성에 미치는 영향을 IST (Interconnect Stress Test) 시험을 이용한 열사이클링 신뢰성 실험과 유한요소 수치해석을 통하여 고찰하였다. SLP 소재인 프리프레그의 열팽창계수가 적을수록 마이크로비아의 신뢰성은 크게 증가하며, 프리프레그의 두께가 얇을수록 신뢰성이 증가된다. 마이크로비아 홀의 크기 및 패드의 크기가 증가하면 응력이 완화되어 신뢰성은 향상된다. 반면 프리프레그의 층수가 증가할수록 마이크로비아의 신뢰성은 감소된다. 또한 misalignment가 크면 신뢰성은 감소하였다. 특히 이들 인자들 중에서 프리프레그의 열팽창계수가 마이크로비아의 신뢰성에 가장 큰 영향을 미친다. 수치 응력해석 결과도 실험 결과와 잘 일치하였으며, 응력이 낮을수록 마이크로비아의 신뢰성은 증가하였다. 본 실험과 수치해석의 결과는 향후 SLP 기판 제작 및 신뢰성 향상을 위한 유용한 설계 가이드라인으로 활용될 것으로 판단된다.

Abstract: Recently, market demands of miniaturization, high interconnection density, and fine pitch of PCBs continuously keep increasing. Therefore, SLP (substrate like PCB) technology using a modified semi additive process (MSAP) has attracted great attention. In particular, SLP technology is essential for the development of high-capacity batteries and 5G technology for smartphones. In this study, the reliability of the microvia of hybrid SLP, which is made of conventional HDI (high density interconnect) and MSAP technologies, was investigated by experimental and numerical analysis. Through thermal cycling reliability test using IST (interconnect stress test) and finite element numerical analysis, the effects of various parameters such as prepreg properties, thickness, number of layers, microvia size, and misalignment on microvia reliability were investigated for optimal design of SLP. As thermal expansion coefficient (CTE) of prepreg decreased, the reliability of microvia increased. The thinner the prepreg thickness, the higher the reliability. Increasing the size of the microvia hole and the pad will alleviate stress and improve reliability. On the other hand, as the number of prepreg layers increased, the reliability of microvia decreased. Also, the larger the misalignment, the lower the reliability. In particular, among these parameters, CTE of prepreg material has the greatest impact on the microvia reliability. The results of numerical stress analysis were in good agreement with the experimental results. As the stress of the microvia decreased, the reliability of the microvia increased. These experimental and numerical results will provide a useful guideline for design and fabrication of SLP substrate.

Keywords: SLP (substrate like PCB), modified semi additive process (MSAP), microvia, thermal cycling, reliability

[†]Corresponding author
E-mail: shchoa@seoultech.ac.kr

© 2020, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서 론

최근 스마트 폰에 다양한 기능들이 요구되면서 고기능의 반도체 소자 및 센서 칩의 개수가 계속 증가하고 있다. 따라서 스마트 폰 내부의 반도체 소자, 전자 부품 및 PCB의 초소형화가 크게 요구되고 있다.^{1,2)} 특히 부품 및 소자들의 개수가 증가함에 따라 스마트 폰은 더 많은 전기를 소비하게 되면서, 배터리의 용량 확대가 요구되고 있으며, 그 결과 배터리의 점유 면적은 지속적으로 증가하고 있다. 스마트 폰에서 가장 면적을 많이 차지하는 부품은 배터리와 디스플레이 패널이며, 스마트 폰의 크기를 증가시키는 것은 한계가 있기 때문에, 소자 및 부품의 크기를 줄이거나 PCB의 크기를 줄여야 한다. 따라서 최근 PCB의 소형화, 박형화 및 고밀도화가 빠르게 진행되고 있다. 이를 위하여 PCB 배선의 고밀도화가 진행되고 있으며, PCB의 고밀도 회로 배선 위하여 마이크로비아(microvia) 기술을 이용한 HDI (high density interconnect) 기술이 이미 적용되어 배선 패턴의 미세화가 진행되고 있다.³⁾ 또한 PCB의 박형화도 지속적으로 진행되고 있는 반면, PCB 내부 각 층의 개수는 계속 증가하고 있다.

최근 PCB의 고밀도화는 PCB 회로 배선의 선폭과 간격(line width/space)은 각각 20 μm 이하를 요구하고 있다.⁴⁾ 이 경우 기존의 동박 적층판 위에 회로가 형성되는 부분을 제외한 나머지 부분을 식각(etching)하여 회로를 형성하는 기존의 HDI 기술에서 사용하던 subtractive 공정은 30 μm 이하의 패턴 공정에 적용하기에는 많은 기술적 문제점이 있으며, 전기적인 쇼트를 발생시킬 가능성이 많다. 따라서 최근 이러한 단점을 보완한 additive 공정, 즉 절연판 위에 구리 전해도금 공정으로 필요한 회로를 직접 형성하는 공정이 사용되고 있다. 특히 MSAP(modified semi additive process) 공정이 HDI 기술에서 큰 주목을 받고 있으며, MSAP 공정을 사용한 SLP(substrate like PCB) 기술의 적용이 크게 증가하고 있다.^{5,6)} SLP는 반도체 패키지 기술을 접목한 차세대 PCB 기술로, 4~6층에 달하는 내층을 반도체 PCB 기술을 적용해 미세 패턴 회로를 구현함으로써 기판의 면적과 폭을 줄이고 층수를 높여 부피 대비 효율성을 증가시킬 수는 장점이 있다.

그러나 PCB 각 층의 개수가 증가하고 마이크로비아의 밀도가 증가하면서 신뢰성 이슈가 발생할 가능성이 증가하고 있다. PCB는 구리 배선, 구리로 채워진 마이크로비아, 코어(core) 및 프리프레그(prepreg), 절연체 등 다양한 소재들로 구성되어 있다. 이러한 소재들의 열팽창계수(CTE, coefficient of thermal expansion)는 모두 다르며, 공정 및 여러 신뢰성 환경에서 소재들의 열팽창계수의 차이로 인하여 다양한 신뢰성 문제가 발생한다.⁷⁾ 특히 CTE의 차이로 인하여 발생된 열기계적(thermomechanical) 응력으로 인한 신뢰성 문제가 제일 심각하다.^{8,9)} 이러한 열기계적 응력으로 인한 신뢰성 이슈로는 마이크로비아 주변의 박리(delamination), PCB의 휨(warping), 마이크로

비아의 피로 파괴, 마이크로비아의 응력 집중으로 인한 소성 변형 및 크랙 발생 등이 있다.^{10,11)} 마이크로비아는 buried 비아, blind 비아, staggered 비아, stacked 비아 등 다양한 구조의 마이크로비아로 구성되어 있어 다양한 신뢰성 이슈가 발생하고 있다.¹²⁾

SLP는 설계 단계에서부터 여러 가지 고려해야 할 사항들이 있다. SLP PCB 구조에서는 전형적인 HDI 공법과 함께 기판에서 사용하는 고밀도 제작 방식인 MSAP 공법을 같이 사용하게 되므로 제품의 신뢰성을 확보할 수 있는 구조와 소재의 선택이 무엇보다 중요하다고 할 수 있다. 특히 PCB의 주요 원자재인 프리프레그의 물성과 두께는 PCB의 신뢰성에 많은 영향을 미친다. 본 연구에서는 MSAP 공정을 사용한 SLP 기판 및 마이크로비아에서 발생하는 신뢰성 문제를 연구하였다. 특히 프리프레그의 물성, 두께, PCB 층의 개수 및 마이크로비아의 크기가 PCB의 신뢰성에 미치는 영향을 열사이클링(thermal cycling) 신뢰성 실험과 유한요소 수치해석을 통하여 고찰하였다.

2. 실험 방법

2.1 IST 시험

본 연구에서는 열기계적 응력으로 인한 신뢰성 이슈를 고찰하기 위하여 Interconnect Stress Test (IST) 시험 방법을 사용하였다. IST 시험은 직류(DC) 전류를 이용한 열사이클링(thermal cycling) 신뢰성 시험으로써 1990년에 개발되어 PCB의 신뢰성을 파악하기 위한 가속 신뢰성 시험으로 많이 활용되고 있다.^{13,14)} IST 시험은 직류 전류로 인한 내부의 ohmic 가열에 의하여 열이 발생되면서, 환경 신뢰성 시험과 동일한 효과를 갖는 실험이다. Ohmic 가열에 의하여 PCB 각 소재에 열팽창으로 인한 열기계적 응력이 가해지며, 공급하는 전류를 변화시킴으로써 온도의 상승 및 냉각 사이클의 효과를 갖게 한다. 시험 시, 통상적으로 저항이 10% 이상 증가하면 파괴로 간주하여 시험을 중단하였다. Fig. 1은 IST 시험 장치의 사진이다. 시험 장치에는 PCB 쿠폰(coupon) 샘플의 지그 및 DC power supplier 및 저항 측정기, 그리고 비아의 온도를 직접적으로 측정하기 위한 백금 온도 센서(Pt100 temperature sensor)가 사용되었다. 백금 센서는 PCB 쿠폰의 비아의 온도를 측정하였으며, 열화상 카메라를 이용하여 온도 측정의 정확성을 확인하였다.

2.2 PCB 쿠폰 샘플 제작

Fig. 2는 IST 시험에 사용된 PCB 쿠폰 샘플의 사진이다. PCB 쿠폰은 실제 PCB 보다는 작게 만들지만, 제작 공정은 실제 사용될 PCB와 동일한 제작 공정으로 제작된다. 쿠폰의 길이는 20 mm, 폭은 3 mm이고, 두께는 원자재와 적층 두께에 따라 바뀌게 된다. Fig. 3과 같이 시험 PCB 샘플은 총 10 층의 multi-layer 기판구조로 되어

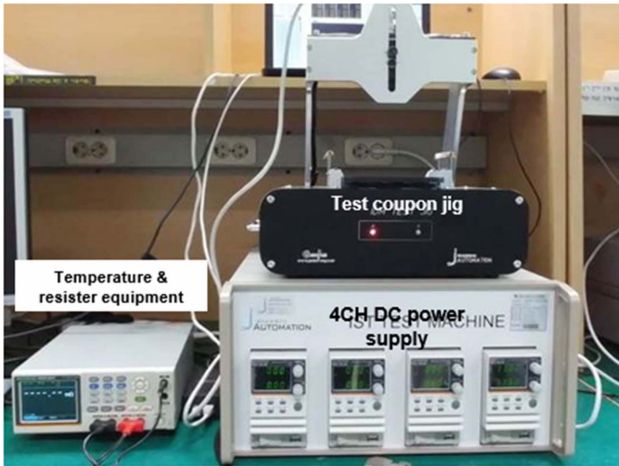


Fig. 1. Photo image of test equipment of Interconnect Stress Test (IST).

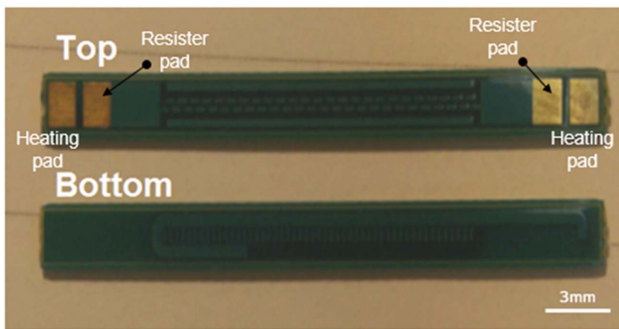


Fig. 2. Photo image of SLP test coupon for IST test.

있고, MSAP 공법과 HDI 공법을 동시에 적용한 하이브리드(hybrid) 타입의 PCB이다. 중간의 4층은 MSAP 공법으로 제작되었으며, 상부와 하부의 6층은 HDI 공법을 이

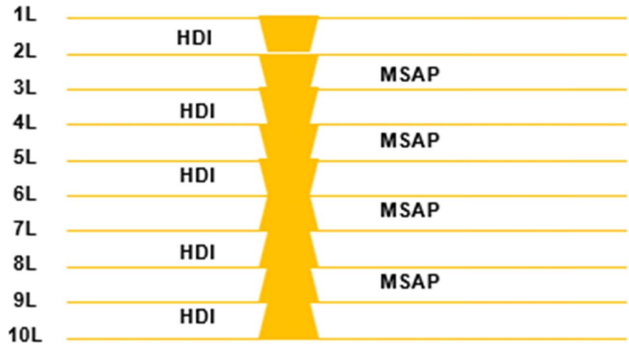


Fig. 3. Schematic drawing of hybrid SLP using MSAP (modified semi additive process) and HDI (high density interconnect) process.

용하여 제작되었다. PCB 시험 쿠폰 샘플은 PCB 쿠폰의 전류를 인가하여 열을 발생시키는 전류 인가 패드(heating pad)와 저항을 측정하는 패드(resistor pad)로 분리되어 있다. 전류 인가 패드는 열선(heating line)으로 연결이 되어 있어서 전류를 보내면 샘플 전체에 열이 발생하며, 저항 측정 패드로 연결된 마이크로비아에 열을 전달하게 된다. 전류를 on, off 반복하면 가열과 냉각을 반복하는 열 사이클링 조건이 되며, 나중에는 마이크로비아의 크랙이 발생하고 저항이 무한대가 된다. 이와 같은 실험을 통하여 저항 측정을 할 수 있고, 시험 후 샘플을 단면분석(cross-sectional analysis)을 하지 않아도 PCB 내부의 비아 크랙을 확인 할 수 있다. Fig. 4는 IST 시험 시의 PCB의 열사이클링 시의 온도 변화를 보여주고 있다. 열사이클링 신뢰성 조건인 초기 상온(25°C)에서 170°C까지 가열되며 그 후 상온으로 냉각이 진행된다. 가열과 냉각의 주기는 각각 3분과 2분으로 한 사이클은 5분의 주기를 갖도록 설계하였다.

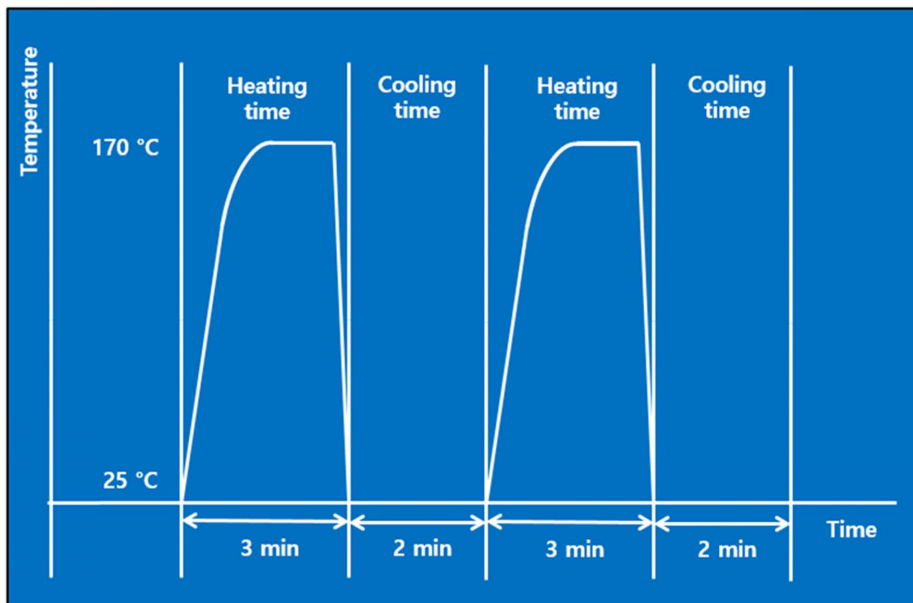


Fig. 4. Temperature profile measured during thermal cycling test.

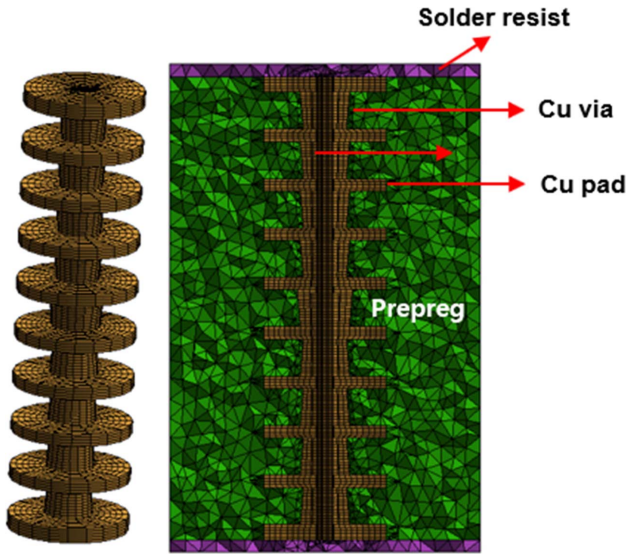


Fig. 5. Finite element modeling modelling of microvia and SLP.

2.3 수치해석 모델링

수치해석은 상용 해석 프로그램인 ANSYS Workbench 17.2를 사용하여 유한요소 해석을 수행하였다. 수치해석 모델은 8절점 3차원 요소를 사용한 3D (3-dimensional) 해석을 사용하였다. 수치해석 모델에서 요소 (element)의 개수는 161,000개, 절점(node)의 개수는 50,000개이며, 해석 결과의 정확성을 높이기 위해 multi-zone mesh를 하였고, 마이크로비아 부분을 조밀하게 메쉬(mesh)하였다. Fig. 5는 PCB 및 마이크로비아 부분의 수치해석 모델링을 보여주고 있다. 변위 경계조건은 전체 모델의 대칭이 시작하는 부분의 중심점과 z 축 방향의 일부 절점들을 x, y, z 축으로 모두 구속하여 해석을 수행하였다. 또한 모든 소재는 초기에 잔류응력이 없는 상태로 가정하였다. 제작된 PCB 쿠폰 샘플이 신뢰성 시험 전의 상온 상태에서 응력이 없다고 가정하였으며, 해석에서 응력이 없다고 가정하는 온도인 스트레스-프리(stress-free) 조건의 온도는 상온(25°C)으로 설정하였다. 유한요소 해석에서 사용된 기본 PCB 모델에 대한 각 소재들의 물성이 Table 1에 나타나 있다. 소재의 물성은 기존 문헌에서 사용된 대표 값을 사용하였다. 또한 각 소재의 박리(delamination)은 발생하지 않는다고 가정하였다. 구리는 소성 변형을 고려

Table 1. Material properties of test vehicle PCB model

Material	Young's modulus (Pa)	CTE (ppm/°C)	Poisson's ratio
Prepreg	2.4E+10	12/15/40 (x/y/z)	0.13
	1.29E+11	16.9	0.35
Copper	Yield strength (MPa) : 172.3		
	Hardening modulus(MPa): 1034.2		
Solder mask	7.6E9 (-57°C) /	51.1 (25°C) /	0.29
	6.2E9 (27°C) /	62 (101°C) /	
	4.3E9 (76°C) /	72 (131°C) /	
	5.2E9 (124°C) /	86 (161°C)	

하기 위하여 탄소성(elastoplastic) 재료로 모델링 하고, 등방성 경화 모델(isotropic hardening model)을 사용하였다. 프리프레그의 물성은 FR4 소재로 아래 표와 같으며, 프리프레그, solder mask는 이방성 물질(orthotropic material)로 해석하였다. 해석에서는 등가응력인 von Mises 응력을 PCB 구조의 응력 크기 및 분포를 해석하기 위하여 사용하였다.

3. 결과 및 고찰

본 연구에서는 10층의 다층(multi-layer)을 사용하므로, 각 층 프리프레그의 열팽창계수가 마이크로비아 파괴 등의 신뢰성에 큰 영향을 미치게 된다. 각 층의 열팽창계수의 차이가 크면 클수록 PCB에 많은 열기계적 응력이 발생할 가능성이 많다. 따라서 가능한 마이크로비아에 열기계적 응력을 적게 주고, 신뢰성에 영향을 주지 않으면서, 양산을 위해 가격적으로 경쟁력이 있는 소재의 선정이 매우 중요하다. 기존에 substrate 기판에서 주로 사용하는 FR5나 세라믹 기판의 소재를 사용하면 좋으나 양산성과 가격을 위해서는 HDI에서 사용하는 FR4 서제 중에서 상대적으로 우수한 프리프레그를 선택하여, MSAP 공법에서도 마이크로비아의 신뢰성에 문제가 없도록 소재를 선택하여야 한다. 특히 SLP는 기판을 제작하는 MSAP 공법을 기존의 HDI 공법과 함께 사용하여 제작되는 하이브리드 공법만큼 PCB 소재의 물성, 특히 프리프레그 소재의 물성과 두께가 신뢰성에 큰 영향을 미칠 수 있다. 또한 마이크로비아 및 구리 패드의 크기도 신뢰성에 중요한 인자이다. PCB 전체 층의 개수 및 비아 misalignment 도 신뢰성에 고려해야 될 요소이다. 따라서 본 연구에서는 프리프레그의 물성 및 두께, 마이크로비아 및 패드의 크기, 층 수, 그리고 비아 misalignment의 총 5개의 인자가 SLP의 신뢰성에 미치는 영향을 고찰하였다.

3.1 실험 결과

신뢰성 연구를 위한 기본 PCB 소재의 물성 및 사양은 Table 1과 같다. 기본 PCB 모델은 총 10층으로 구성되어 있으며, 프리프레그의 두께는 1,037 mm, 마이크로비아 홀의 직경 및 패드 크기는 각각 80 mm 및 200 mm이다. 첫 번째로 열팽창계수가 다른 3 종류의 프리프레그 사용하여 PCB를 제작한 후 열사이클링 시험을 실시하였다. 사용된 프리프레그의 물성은 Table 2와 같다. 여기에서 타입 A의 프리프레그는 기본 PCB 모델에 사용된 프리프레그이다. 각 3개의 PCB에 대하여 열사이클링 신뢰성 시험을 수행하였으며 파괴 사이클을 측정하였다. 프리프레그 종류별 물성에 따른 열사이클링 신뢰성 시험 결과는 Table 3과 같이 타입 A > 타입 B > 타입 C의 순으로 신뢰성이 높은 것으로 확인되었다. 즉 열팽창계수가 제일 적은 프리프레그 A를 사용하였을 경우, 865 사이클에서 파괴가 발생한 반면, 프리프레그 B 및 C를 사용하였을 경우 각

Table 2. Prepreg properties used in the simulation

Property	Unit	Type A	Type B	Type C
Z-CTE (before Tg)	ppm/°C	40	35	57
Z-CTE (after Tg)	ppm/°C	180	230	316
Tg (TMA)	°C	165	165	150
Young's Modulus	GPa	24	23	24.5

Table 3. Results of thermal cycling test according to prepreg type

Prepreg type	A	B	C
Failure cycle	865	764	565

Table 4. Results of thermal cycling test according to prepreg thickness

Thickness of prepreg (μm)	30	35	40
Failure cycle	865	600	542

Table 5. Results of thermal cycling test according to via hole and pad size

Hole/pad size (μm)	80/200	80/170	70/170
Failure cycle	542	326	160

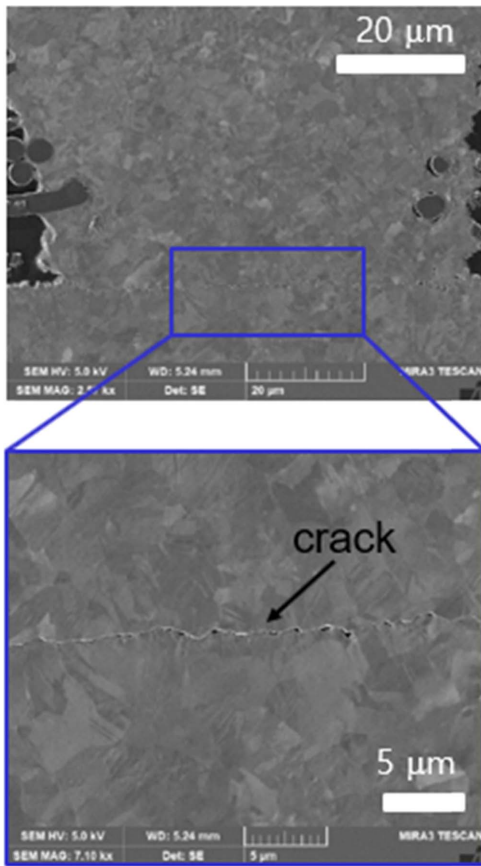


Fig. 6. SEM image of crack generated in the microvia during thermal cycling test for type C prepreg.

각 764와 565사이클에서 파괴가 발생하였다. 즉 CTE가 제일 작은 타입 A 프리프레그 소재를 사용할 경우가 신뢰성이 가장 우수하였다. Fig. 6는 565사이클 이후, 파괴가 발생한 타입 C 프리프레그의 샘플에 대해서 크랙이 발생한 마이크로비아의 단면을 SEM (Scanning electron microscope)를 이용하여 측정된 결과이다. 마이크로비아에서 가장 취약한 부위인 바닥면에 크랙이 발생되어 있음을 알 수 있다.

다음으로 프리프레그의 두께가 다른 쿠폰 PCB를 제작하였다. 전술한 바와 같이 기본 모델인 타입 A PCB에서 프리프레그의 두께만 다르게 하여 제작하였다. 프리프레

그의 두께는 각각 30, 35, 40 mm으로 제작을 하였다. 프리프레그 두께에 따른 실험 결과는 Table 4와 같이 프리프레그의 두께가 얇은 경우가 마이크로비아의 신뢰성이 높음을 알 수 있다. 즉 프리프레그 두께 30 mm의 샘플의 경우 865 사이클에서 파괴가 되지만, 두께가 35 mm, 40 mm 샘플의 경우 각각 600, 542사이클에서 파괴가 발생하였다. 두께가 두꺼우면 동일 조건에서 z-축 방향의 열팽창의 증가가 더 커짐으로, 마이크로비아에 더 많은 응력이 걸리게 되고 신뢰성 측면에서 약해지는 결과가 나온다. 따라서 가능한 프리프레그의 두께를 얇게 하여야 신뢰성이 향상됨을 알 수 있었다.

마이크로비아의 직경 및 패드의 크기는 PCB의 신뢰성에 큰 영향을 미친다.¹⁵⁾ 기본 PCB 모델에서 마이크로비아의 직경과 패드의 크기만을 다르게 하여 PCB 제작 후, 열사이클링 신뢰성 시험을 수행하였다. 홀의 크기 및 패드의 크기는 각각 80/200 mm, 80/170 mm, 70/170 mm이며, 3개의 샘플에 대해서 시험을 수행하였다. Table 5와 같이 신뢰성 시험 결과, 홀 및 패드의 크기가 제일 큰 80/200 mm의 샘플이 542사이클에서 파괴가 된 반면, 크기가 가장 적은 70/170 mm의 샘플의 경우 160사이클에서 파괴가 되었으며, 파괴 사이클에 큰 차이를 보이고 있다. 결론적으로 홀 및 패드의 크기가 클수록 팽창 및 수축 시에 열응력이 분산되어 마이크로비아의 응력이 완화되면서 신뢰성이 우수해지는 것으로 판단된다. 향후 PCB가 더 얇고 집적화 되면서 비아 홀 및 패드의 크기가 감소할 경우 신뢰성에 큰 영향을 미칠 것으로 판단된다.

다음으로 PCB의 프리프레그의 층수를 다르게 하여 PCB 샘플을 제작하였다. 프리프레그의 층수를 각각 8, 10 및 12층으로 제작 후, 열사이클링 시험을 수행하여 파괴 사이클을 관측하였으며, Table 6에 파괴 사이클이 나타나 있다. 신뢰성 시험 후, 8층의 PCB의 경우에는 662사이클에서 파괴가 발생한 반면, 10층의 PCB는 534사이클에서 파괴가 되었다. 따라서 PCB의 층수가 증가함에 따라서 마이크로비아 및 PCB의 신뢰성이 저하됨을 알 수 있었다. 결론적으로 이들 인자 중에서, 프리프레그의 열팽창 계수의 차이에 따라서 파괴 사이클이 크게 차이가 남을 알 수 있다. 따라서 프리프레그의 열팽창계수가 마이크

Table 6. Results of thermal cycling test according to PCB layer numbers

Number of PCB layer	8	10	12
Failure cycle	662	542	534

로비아의 신뢰성에 가장 큰 영향을 미침을 알 수 있다.

3.2 수치해석 결과

열사이클링 시험 시에 PCB에서 발생한 응력 및 변형을 예측하고, 최대 응력이 발생하는 위치 등을 파악하기 위하여 3D 유한요소 수치해석을 진행하였다. Fig. 7은 10층의 기본 SLP PCB 모델에 대해서 열사이클링 신뢰성 시험 하에서 PCB에 발생한 응력을 나타내고 있다. 그림에서 보는 바와 같이 열사이클링 시에 PCB의 중간인 5층의 마이크로비아 부분에서 최대 응력이 걸린다. Fig. 8은 PCB의 중심부에서 발생한 변형을 확대한 그림이다. 구리 패드 사이에 있는 프리프레그가 팽창 시에는 강성이 약한 쪽으로 패드가 변형되며, 이로 인해 맨 위/아래층에 있는 구리 마이크로비아가 받게 되는 인장응력은 감소하게 된다. 반면 중앙에 있는 마이크로비아의 경우, 프리프레그 위/아래의 강성 차이가 적어 구리 패드의 변형이 줄어드는 반면에, 프리프레그의 팽창으로 인하여 z-방향으로 인장응력을 마이크로비아가 더 크게 받게 되고, 최대 응력이 발생하게 된다. 또한 Fig. 9는 물성이 다른 프리프레그를 사용하였을 경우에 발생된 응력 분포를 나타내고 있다. 또한 Table 3의 파괴 사이클을 동시에 표시하였다. 발생된 최대 von Mises 응력의 크기는 Fig. 10과

같이 타입 A, 타입 B, 및 타입 C의 프리프레그에 대하여 각각 5,140, 6,930, 7,180 MPa이었다. 따라서 응력의 크기는 타입 A < B < C 순으로 타입 A의 프리프레그를 사용한 경우가 응력이 가장 적었으며, 타입 C가 가장 큼을 알 수 있었다. Table 3의 실험결과를 보면 타입 C의 샘플이 가장 먼저 파괴됨을 알 수 있었다. 따라서 실험결과와 수치해석 결과가 잘 일치함을 알 수 있었다. Fig. 11은 프리

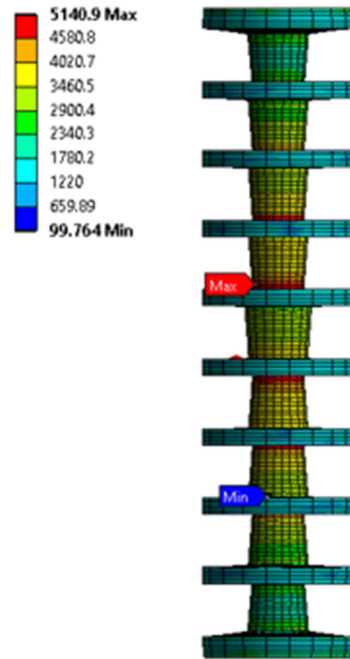


Fig. 7. Stress distribution of the test vehicle SLP model in the thermal cycling condition.

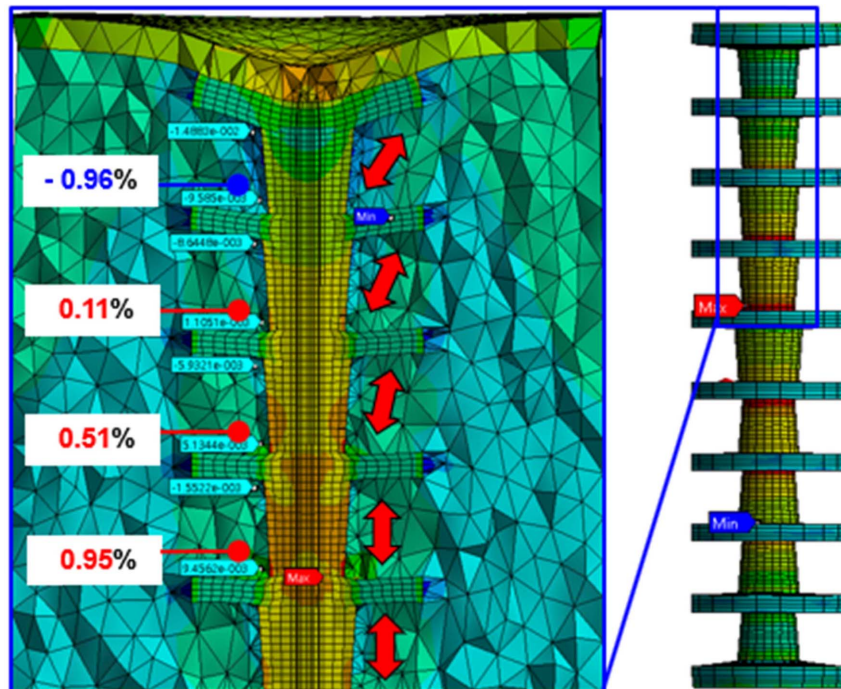


Fig. 8. Magnified strain distribution map in the middle of 10 layer PCB during thermal cycling test.

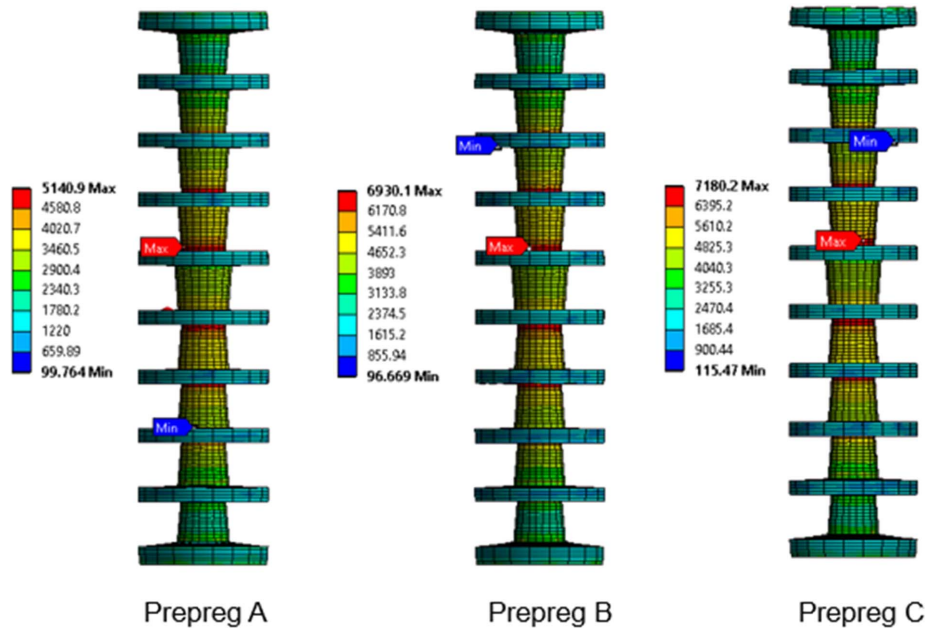


Fig. 9. Stress distribution map of SLP during thermal cycling for different types of prepreg materials.

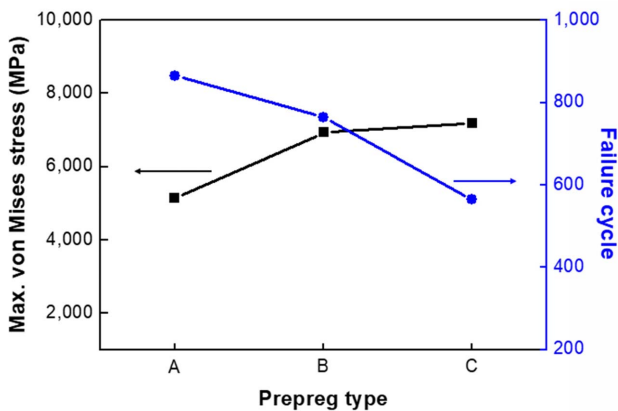


Fig. 10. Maximum von Mises stress values of SLP during thermal cycling for different types of prepreg materials.

프레그의 두께가 다른 샘플에 대한 응력 분포를 및 최대 von Mises 응력 값을 나타내고 있다. 프리프레그의 두께가 30, 35, 40 mm인 샘플에서 발생한 최대 von Mises 응력은 각각 6,115, 6,248, 6,329 MPa로서 프리프레그의 두께가 두꺼울수록 응력이 커짐을 알 수 있다. 이 결과 또한 Table 4의 신뢰성 실험 결과와 잘 일치함을 알 수 있다. 즉 응력이 적을수록 더 늦게 파괴되는 시점이 늦음을 알 수 있다.

다음은 마이크로비아 hole 및 패드 크기가 마이크로비아의 응력에 미치는 영향을 해석하였으며, Fig. 12는 응력 분포 및 최대 von Mises 응력을 나타내고 있다. 그림에서와 같이 80/200, 80/170, 70/170 mm의 샘플에 대하여 마이크로비아에 걸리는 최대 응력은 각각 5,762, 6,049, 6,329 MPa이었다. 즉 마이크로비아 홀 및 패드의 크기가 클 수록 최대응력이 감소함을 알 수 있다. 전술한 바와 같

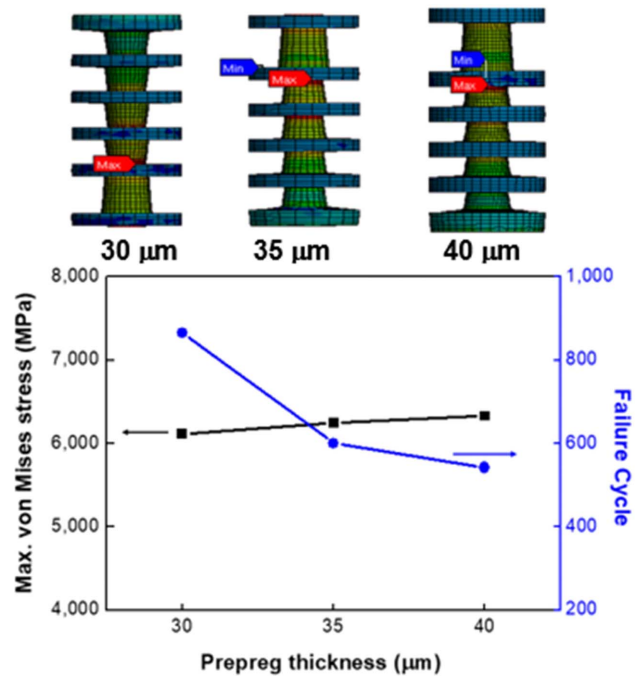


Fig. 11. Maximum von Mises stress values of SLP during thermal cycling for different prepreg thicknesses.

이 비아 홀 및 패드의 크기가 증가하면 응력을 완화시키는 효과가 있기 때문이다. PCB의 층수에 따른 응력의 변화도 해석하였으며 그 결과가 Fig. 13에 나타나 있다. 층의 개수가 증가함에 따라 응력이 선형적으로 증가함을 알 수 있다. 이 결과도 Table 6의 신뢰성 시험 결과와 잘 일치함을 알 수 있다.

Fig. 14와 같이 PCB 제작 시 공정의 오차 등으로 인하여 약간의 비아 misalignment가 발생한다. 발생된 비아 misalignment가 PCB의 신뢰성에 어떠한 영향을 주는지

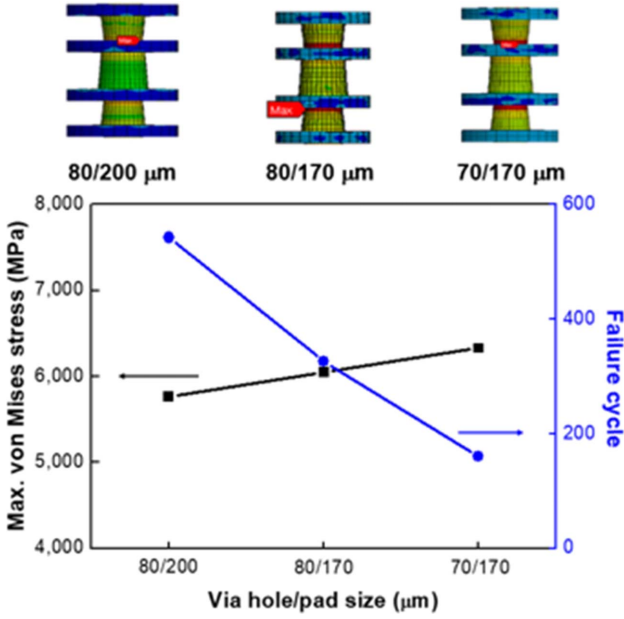


Fig. 12. Maximum von Mises stress values and stress distribution map during thermal cycling for different sizes of via hole and pad.

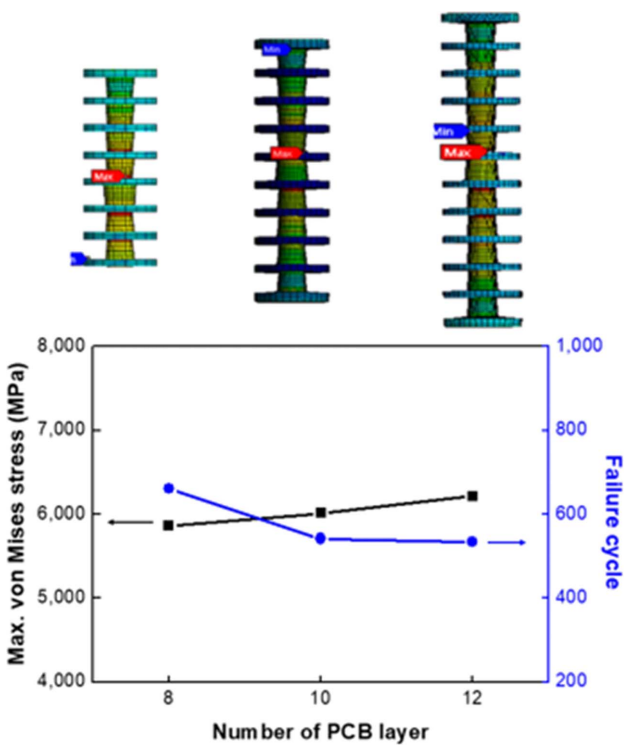


Fig. 13. Maximum von Mises stress values and stress distribution map during thermal cycling for different number of PCB layers.

과악하기 위하여 수치해석을 수행하였다. 실질적으로 misalign의 양을 정확히 제어하여 샘플을 제작하는 것이 어렵기 때문에, 샘플을 직접 제작하는 대신에 수치해석을 이용하여 PCB의 신뢰성을 평가하였다. Misalignment가 각각 마이크로비아의 중심으로부터 misalign된 정도

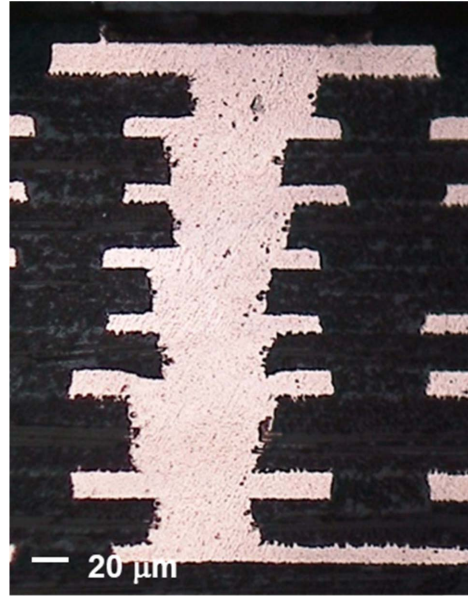


Fig. 14. Optical cross-sectional image of PCB sample which has misalignment during fabrication.

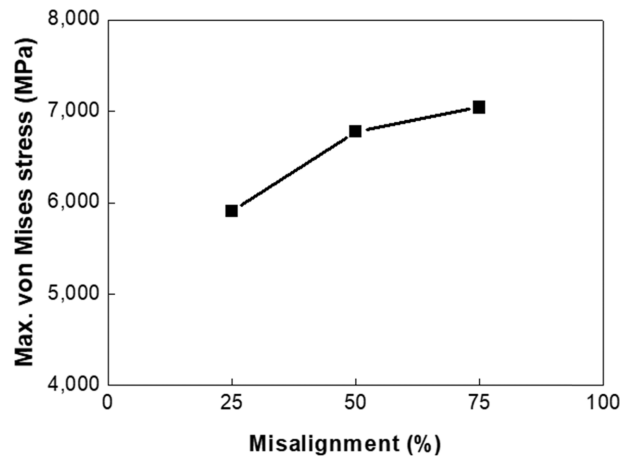


Fig. 15. Maximum von Mises stress values for different via misalignments

가 25%, 50%, 75%인 경우에 대하여 수치해석을 수행하였다. Fig. 15와 같이 75% > 50% > 25% 샘플의 순으로 응력이 커질 수 있다. 또한 Fig. 16에서와 같이 misalignment가 커짐에 따라 마이크로비아와 패드가 변형하게 되어, 패드 위 아래의 프리프레그의 인장력을 마이크로비아가 균일하게 받지 못하고, 한 쪽에 더 크게 해지게 된다. 따라서 최대 응력의 위치도 중앙부가 아니라 misalignment이 발생한 부분에서 최대응력이 발생한다. 따라서 가능한 misalignment가 없도록 PCB를 제작하여야 한다.

4. 결 론

본 연구에서는 PCB의 소형화, 박형화, 및 고밀도화를

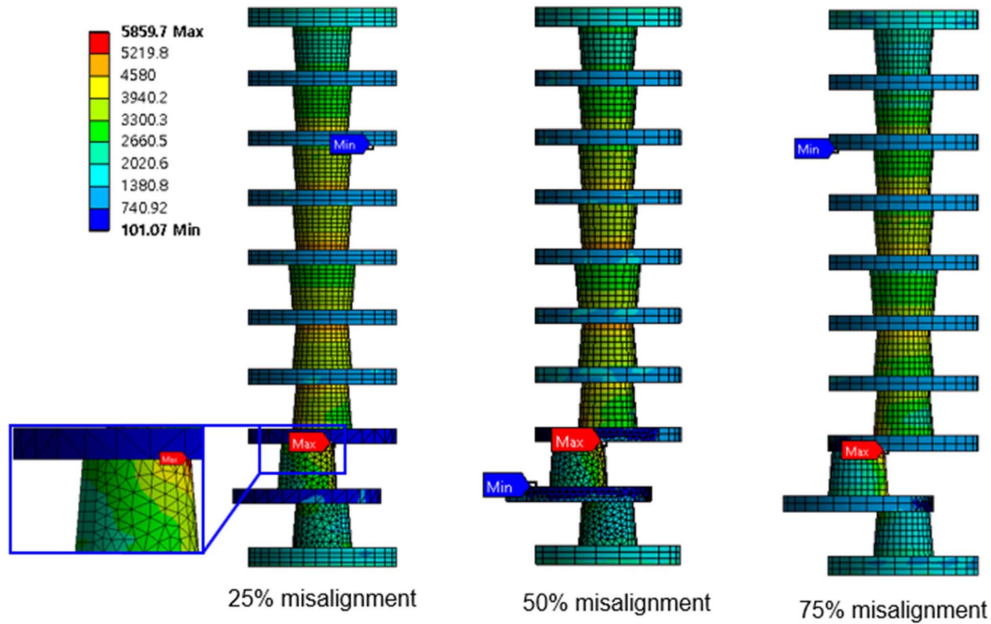


Fig. 16. Stress distribution maps for different via misalignments.

위하여 현재 많은 주목을 받고 있는 MSAP 기술을 사용한 SLP 기술의 신뢰성에 대한 연구를 수행하였다. 기존의 HDI 기술과 MSAP 기술을 혼합한 10층의 하이브리드 SLP 샘플을 제작하여 STI 실험을 이용하여 마이크로비아의 신뢰성 실험을 수행하였으며, 유한요소 수치해석을 이용하여 마이크로비아의 응력을 해석 하였다. 최적의 SLP 설계를 위하여 프리프레그의 물성, 두께, 층수, 마이크로비아의 크기 및 misalignment가 마이크로비아의 신뢰성에 미치는 영향을 고찰하였다. 프리프레그 소재의 경우, 열팽창계수가 감소할수록 PCB의 신뢰성은 향상됨을 알 수 있었으며, 프리프레그의 두께가 얇을 수록 신뢰성이 향상됨을 알 수 있었다. 또한 마이크로비아 홀 및 패드의 크기가 클수록 신뢰성이 우수함을 알 수 있으며, 반면 PCB의 층수가 증가할수록 마이크로비아의 신뢰성은 감소하였다. 이들 인자들 중에서 특히 프리프레그의 열 팽창계수가 마이크로비아의 신뢰성에 가장 큰 영향을 미침을 알 수 있었다. 수치해석 결과도 신뢰성 실험과 잘 일치함을 알 수 있었다. 마이크로비아 영역의 응력이 낮을 수록 신뢰성이 높음을 알 수 있었다. Misalignment 정도를 해석한 결과 misalignment가 적을수록 응력이 적어 신뢰성이 좋음을 알 수 있었다. 본 실험과 수치해석 결과는 향후 SLP 기판의 제작 및 신뢰성 향상을 위한 설계 가이드라인을 위한 유용한 결과로 판단된다.

감사의 글

이 연구는 미래창조과학부, 선행공정·플랫폼기술연구 개발사업의 “고집적 다차원 센서 공정 플랫폼 개발 - 고 집적 다차원 센서를 위한 3D WLP 센서 패키지 설계 및 신뢰성 평가기술 개발”과제의 지원으로 수행되었습니다

References

1. S. Cho, J. Jang, J. C. Kim, S. W. Kang, I. Seong, and K. Y. Bae, “A study on heat transfer characteristics of PCBs with a carbon CCL”, *J. Microelectron. Packag. Soc.*, 22(4), 37 (2015).
2. S. H. Huh, A. S. Shin, and S. J. Ham, “Ion migration failure mechanism for organic PCB under biased HAST”, *J. Microelectron. Packag. Soc.*, 22(1), 43 (2015).
3. F. Liu, J. Lu, V. Sundaram, D. Sutter, G. White, D. F. Baldwin, and R. R. Tummala, “Reliability assessment of microvias in HDI printed circuit boards”, *IEEE T. Compon. Pack. T.*, 25(2), 254 (2002).
4. A. Renbi and J. Delsing, “A novel production process for 10 μm microvias. In International Symposium on Microelectronics”, *International Microelectronics Assembly and Packaging Society*, 2017(1), 000468 (2017).
5. Y. Kitahara and J. Kang, “Ultra-fine patterning technology by utilizing nano-silver catalysts in MSAP” In 2018 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC), 112 (2018).
6. M. Ibrahim, “The rising adoption of advanced substrates: IC substrate, SLP and embedded die, *Chip Scale Review*”, 18 (2019).
7. L. N. Ji, Y. Gong, and Z. G. Yang, “Failure investigation on copper-plated blind vias in PCB”, *Microelectron. Reliab.*, 50(8), 1163 (2010).
8. A. Salahouelhadj, M. Martiny, S. Mercier, L. Bodin, D. Mantegias, and B. Stephan, “Reliability of thermally stressed rigid-flex printed circuit boards for High Density Interconnect applications”, *Microelectron. Reliab.*, 54(1), 204 (2014).
9. Y. Ning, M. H. Azarian, and M. Pecht, “Effects of voiding on thermomechanical reliability of copper-filled microvias: Modeling and simulation”, *IEEE T. Device. Mat. Re.*, 15(4), 500 (2015).
10. D. H. Kim, S. J. Joo, D. O. Kwak, and H. S. Kim, “Warpage

- simulation of a multilayer printed circuit board and micro-electronic package using the anisotropic viscoelastic shell modeling technique that considers the initial warpage”, *IEEE T. Comp. Pack. Man.*, 6(11), 1667 (2016).
11. J. H. Lau, S. H. Pan, and C. Chang, “Creep analysis of solder bumped direct chip attach (DCA) on microvia build-up printed circuit board with underfill”, In *International Symposium on Electronic Materials and Packaging (EMAP)*, 127 (2000).
 12. L. N. Ji, Z. G. Yang, and J. S. Liu, “Failure analysis on blind vias of PCB for novel mobile phones”, *J. Fail. Anal. Prev.*, 8(6), 524 (2008).
 13. Y. Yang, “Reliabilities and failure analysis of printed circuit boards interconnect stress test”, In *2018 19th International Conference on Electronic Packaging Technology (ICEPT)*, 428 (2018).
 14. K. Dušek, D. Bušek, P. Hrzina, and J. Ševčík, “Thermal cycle testing of printed circuit board vias (Barrel Plates)”, *Proc. 41st International Spring Seminar on Electronics Technology (ISSE)*, 1 (2018).
 15. R. V. Pucha, G. Ramakrishna, S. Mahalingam, and S. K. Sitaraman, “Modeling spatial strain gradient effects in thermo-mechanical fatigue of copper microstructures”, *Int. J. Fatigue.*, 26(9), 947 (2004).