

Stretched-Exponential 형태의 문턱전압 이동 모델의 SPICE구현

정태호^{*†}

^{*†} 서울과학기술대학교 전자IT미디어공학과

Implementation of Stretched-Exponential Time Dependence of Threshold Voltage Shift in SPICE

Taeho Jung^{*†}

^{*†} Department of Electronic and IT Media Engineering, Seoul National University of Science and Technology,
Seoul 01811, Korea

ABSTRACT

Threshold voltage shift occurring during operation is implemented in a SPICE simulation tool. Among the shift models the stretched-exponential function model, which is frequently observed from both single-crystal silicon and thin-film transistors regardless of the nature of causes, is selected, adapted to transient simulation, and added to BSIM4 developed by BSIM Research Group at the University of California, Berkeley. The adaptation method used in this research is to select degradation and recovery models based on the comparison between the gate and threshold voltages. The threshold voltage shift is extracted from SPICE transient simulation and shows the stretched-exponential time dependence for both degradation and recovery situations. The implementation method developed in this research is not limited to the stretched-exponential function model and BSIM model. The proposed method enables to perform transient simulation with threshold voltage shift in situ and will help to verify the reliability of a circuit.

Key Words : Threshold voltage shift, Stretched-exponential, SPICE, Transient simulation

1. 서 론

트랜지스터가 동작하는 도중에 문턱전압이 이동하는 현상은 박막 트랜지스터에서 심각하게 발생하였으며, 상대적으로 느린 전하 이동도와 함께 박막 트랜지스터의 활용 분야에 한계 요인으로 작용하고 있다[1]. 서브마이크론 영역의 단결정 실리콘 트랜지스터에서는 문턱전압 이동 현상이 큰 문제가 되지 않았으나, 트랜지스터의 크기가 나노 미터 영역으로 들어가면서 문턱전압 이동 현상이 주목받게 되었다[2]. 문턱전압의 이동은 트랜지스터의

오작동 또는 성능 저하를 유발하기 때문에 회로의 신뢰성이 저하된다.

트랜지스터의 동작 중 발생하는 문턱전압의 이동을 방지하기는 매우 어렵다. 따라서 회로를 설계할 때 문턱전압 이동이 발생하여도 안정적으로 동작하도록 세심한 노력이 필요하다. 이를 위해 설계 단계에서 SPICE 툴을 사용하여 과도상태 시뮬레이션을 수행하게 된다. 여기서의 문제는 과도상태 시뮬레이션을 수행하더라도 트랜지스터 모델의 문턱전압은 고정된 값을 갖기 때문에 실제 동작 중 발생하는 이동 현상이 회로에 끼치는 영향을 분석할 수는 없다는 것이다. 이에 대한 보완책으로 제안된 방법은 주어진 회로를 대상으로 과도상태 시뮬레이션을 수행

[†]E-mail: taeho.jung@seoultech.ac.kr

한 후, 각 트랜지스터의 동작 시간을 추출하여 문턱전압 값을 수정하는 것이다. 수정된 문턱전압 값을 SPICE의 입력인 netlist에 반영하여 시뮬레이션을 수행하는 것이다[3]. 이와 같은 방식을 수차례 반복하여 회로의 동작에 오류가 발생하는 지점을 찾을 수 있게 된다. 이 방식은 최악의 상황에 대한 예측이 가능할 수는 있지만, 문턱전압이 회복되는 특성을 포함하지 못하기 때문에 적절한 신뢰성 예측은 불가능하다. 따라서 회로의 안정적인 동작을 가장 확실하게 예측할 수 있는 방법은 회로의 동작 중에 각 트랜지스터에 인가되는 게이트 전압을 기반으로 문턱전압의 값을 실시간으로 수정하는 것이다. 이 방법이 가능하다면 회로의 동작 중 문턱전압의 열화가 감속되거나 회복되는 현상들이 반영될 수 있으므로 회로의 동작 구간 및 수명을 현실적으로 예측할 수 있게 된다.

이러한 과도상태 시뮬레이션이 가능하도록 본 연구에서는 시변(time-varying) 게이트 전압에 의해 문턱전압이 이동하는 현상을 모델링한 수식을 과도상태 시뮬레이션에 적합하도록 수정하고 SPICE 툴에 구현한다. 이때, 문턱전압 이동 요인이 채널 내의 전하 이동도와 같은 문턱전압 이외의 특성에는 영향을 주지 않는 것으로 가정한다. 이 가정 하에 구현한 과도상태 SE 함수 모델을 버클리 대학교에서 개발한 BSIM4 트랜지스터 모델에 추가하고 단일 SE 함수 모델과 이중 SE 함수 모델들에 의한 문턱전압 이동 현상을 시뮬레이션한다.

2. 문턱전압 이동 모델

2.1 문턱전압 이동

문턱전압 이동 현상은 다양한 재료와 구조의 트랜지스터에서 발생하기 때문에 그 특성 또는 기제를 명확하게 정의할 수는 없다. 하지만, 이 현상들에 몇 가지 공통점들이 있다. 첫째로 게이트에 전압이 인가되었을 때 채널 내의 전하들이 채널 또는 게이트 절연막에 포획되어 문턱전압이 게이트 전압 쪽으로 이동하는 효과로 나타난다. 이는 문턱전압이 열화(degradation)되는 것으로 불리며, 이로 인하여 채널에 대한 게이트 전압의 영향력이 저하되어 채널에 유도되는 전하의 양이 감소된다. 둘째로 게이트 전압이 사라지는 경우 트랜지스터의 특성에 따라 포획된 전하가 영구히(permanently) 유지될 수도 있고 방출될 수도 있다. 만약 포획된 전하가 방출되면 문턱전압은 소자 고유의 문턱전압쪽으로 이동한다. 이 경우 문턱전압은 회복(recover or relax)되며 동적(dynamic) 문턱전압 이동 현상이 발생하는 것으로 불리운다. 문턱전압이 이동하는 기제에는 전하의 포획이 포함되는데, 전하를 포획하는 트랩이 트랜지스터의 동작 전에 생성되었거나 동작 중에 생성될

수 있다. 최근 이슈가 되는 나노미터 크기의 트랜지스터에서는 수소 원자의 이탈과 재결합에 의한 문턱전압의 열화와 회복이 발생하고 있다[4]. 세째는 트랜지스터마다 고유한 문턱전압 이동 기제들이 있지만, 관측된 문턱전압 이동 현상들은 몇 가지 시간 함수들 중 하나로 분류된다. 가장 빈번히 관측되는 시간 함수로는 stretched-exponential (SE) 함수가 있다[4].

2.2 Stretched-Exponential 함수 모델

박막 트랜지스터와 단결정 실리콘 트랜지스터에서 발생하는 문턱전압 열화 현상 중 가장 빈번히 관측되는 경향은 SE 함수 모델이다[5-7].

$$\Delta V_T(t) = \Delta V_{T,max} \left\{ 1 - \exp \left[- \left(\frac{t}{\tau} \right)^\beta \right] \right\} \quad (1)$$

여기서 τ 는 시정수, β 는 확장 계수, 그리고 $\Delta V_{T,max}$ 는 시간이 무한대일 때 문턱전압 열화 양으로서 게이트 전압 V_{GS} 과 트랜지스터 고유의 문턱전압 V_{T0} 에 의해 결정된다.

$$\Delta V_{T,max} = V_{GS} - V_{T0} \quad (2)$$

N-채널 트랜지스터의 경우 게이트 전극에 문턱전압보다 작은 게이트 전압이 인가되면 식(1)이 발생할 조건이 성립되지 않는다. 이 상황에서는 트랜지스터의 성질에 따라 두 가지 현상이 발생할 수 있다. 첫번째는 문턱전압 이동 현상이 더 이상 발생하지 않는 것이다. 가령 채널이나 절연막을 구성하는 원자 또는 분자의 결합에 변화가 영구적으로 발생하여 전하를 포획하는 경우 이를 원상태로 회복하는 것은 어려울 수 있다. 이 경우 게이트에 인가된 전압이 이동된 문턱전압보다 커진 경우에 문턱전압 이동이 다시 진행된다. 두번째는 이동된 문턱전압이 원래의 상태로 회복되는 동적인 경우이다. 일부 박막 트랜지스터에서 문턱전압이 회복되는 경우가 관측되고 있으며, 가장 빈번히 관측되는 회복 경향성은 SE 함수 모델이다[5]. 이 경우 시간에 따른 문턱전압의 회복은 다음과 같은 형태이다[5,6].

$$\Delta V_T(t) = \Delta V_{T,max} \exp \left[- \left(\frac{t}{\tau} \right)^\beta \right] \quad (3)$$

박막 트랜지스터뿐만 아니라 단결정 실리콘 트랜지스터에서도 문턱전압의 회복이 SE 함수 모델을 보이는 경우가 보고되고 있다[8].

이 SE 함수 모델 이외에도 stretched-hyperbola, 지수, 또는 로그 함수 형태의 문턱전압 이동 현상들이 보고되고 있으며, 이는 반응 과정에 필요한 에너지 또는 반응 지점의 거리 등에 고유한 통계적 분포가 존재하기 때문이다[9].

2.3 마코비안 과정 모델

마코비안 과정은 어는 시점에서 미래 상태를 예측하는데 과거의 이력이 영향을 주지 않는다는 것이다[10].

$$\begin{aligned} P\{X(t + \delta t) = A | X = (s), s \leq t\} \\ = P\{X(t + \delta t) = A | X = (t)\} \end{aligned} \quad (4)$$

여기서 $X(t)$ 는 확률과정이고, $P\{X(t)\}$ 는 $X(t)$ 를 찾을 확률이다. $X(t)$ 가 문턱전압이 되는 마코비안 과정을 따르는 트랜지스터에서 문턱전압을 예측하기 위해서는 트랜지스터에 인가되어 왔던 시변 전압 이력이 아니라 현재의 전압과 문턱전압 크기만이 필요하다. 문턱전압 이동을 예측하는데 시변 전압 이력이 모두 필요한 트랜지스터의 경우에는 전압 이력을 모두 기록하고 이를 기반으로 문턱전압을 예측해야 하기 때문에 회로나 소자 시뮬레이션을 수행하기에 불가능하다고 볼 수 있다. 다행히 현재 보고되는 박막 트랜지스터와 단결정 트랜지스터의 문턱전압 이동 현상은 마코비안 과정 모델을 따르고 있는 경우가 있다[7,8] 마코비안 과정 모델을 명시한 이러한 연구들 외에 주목할 점은 문턱전압의 회복에 대한 연구들이다. 회복에 대한 측정 또는 모델링이 진행된 연구는 실제로 문턱전압 이동이 마코비안 과정 모델에 부합하는 것으로 고려해야 한다[6,11,12]. 그 이유는 열화와 회복을 모델링 하기 위하여 주로 필스 또는 반복적인 열화-회복 전압쌍을 사용하는데, 필스 전압 이력에 영향을 받지 않는 문턱전압 이동 결과를 얻으려면 문턱전압 이동 과정이 마코비안 과정이어야만 하기 때문이다. 따라서 문턱전압 회복에 대한 관측 또는 모델링을 수행하는 많은 연구들에 사용되는 트랜지스터들은 마코비안 과정으로 모델링을 할 수 있다.

3. 모델링 및 시뮬레이션

3.1 과도상태 시뮬레이션 모델링

본 연구에서 구현한 과도상태 시뮬레이션 모델에서는 SPICE의 드레인 전류 계산 전에 해당 시각에서 게이트 전압과 문턱전압의 크기를 비교하여 다음과 같이 열화, 회복, 그리고 정상상태 모드를 결정한다.

$$\left\{ \begin{array}{ll} V_{GS}(t) - V_{T0} > V_T(t) & \text{degradation mode} \\ V_{GS}(t) - V_{T0} = V_T(t) & \text{steady state} \\ V_{GS}(t) - V_{T0} < V_T(t) & \text{recovery mode} \end{array} \right. \quad (5)$$

그리고 결정된 모드에 따라 식 (1) 또는 식 (3)을 사용하여 문턱전압의 크기를 수정한다. 게이트 전압과 문턱전압에 의해 회복 모드가 지정되었을 때 트랜지스터의 성질에 따라 영구적 모델 또는 동적 모델을 적용한다. 동적 문턱전압 이동이 발생하는 경우 회복 모드에서는 식 (3)을 사용한다.

3.2 문턱전압 이동 모델 구현

본 연구에서는 문턱전압 이동 모델만을 구현하기 때문에 다양한 트랜지스터 모델에 추가할 수 있다. 버클리 대학교에서 개발한 SPICE 회로 시뮬레이션 툴에 다양한 트랜지스터 모델이 구현되어 있으며[13], 특히 버클리 대학교에서 100 나노미터 이하의 단결정 실리콘 트랜지스터에 대한 BSIM 모델을 지속적으로 개발하고 있기에 본 연구에서 개발한 문턱전압 이동 모델을 적용하기에 적합하다. 본 연구가 진행된 시점에서 최신의 BSIM 모델은 2017년 2월에 배포된 BSIM4 version 4.8.1이며 SPICE의 소자 모델들 중 level 14에 해당한다[14]. 본 연구에서는 SPICE3f5 버전을 기반으로 제작된 오픈소스인 NGSPICE 툴을 사용하여 시뮬레이션을 수행하였다[15].

BSIM4 트랜지스터 모델은 소자와 회로의 동작환경 정보를 사용하여 문턱전압을 먼저 계산하고, 이 값을 사용하여 드레인 전류를 계산한다. 본 연구에서 구현하는 문턱전압 이동 계산 모델은 BSIM4의 문턱전압 계산이 끝난 부분에 추가된다. 본 연구의 문턱전압 이동 모델은 트랜지스터에 인가된 전압과 시간 정보만을 사용하기 때문에 BSIM4 모델의 특성 또는 모델 매개 변수를 필요로 하지 않는다. 본 연구에 사용한 netlist는 Table 1에 표시하였다. 트랜지스터 MN1의 특성 매개 변수에 문턱전압 이동 모델의 구분자인 vthShifterID를 지정할 수 있도록 하였으며, TR1에 적용한 SE 모델의 매개 변수들은 Table 2에 표시하였다. 또한 1개의 트랜지스터에 2개의 문턱전압 이동 요

Table 1. BSIM4 instance and model parameters

MN1 NMOS L=10U W=50.0U AD=100P AS=100P PD=40U PS=40U vthShifterID=TR1 .MODEL NMOS NMOS version=4.8.1 LEVEL = 14

인들이 발생할 수 있도록 설정하였으며[16], 두 요인들은 열화와 회복이 모두 SE 함수 모델을 따르도록 구현하였다. SE model 1은 일반적으로 관측되는 바와 같이 열화는 빨리 발생하나 회복은 느린 형태로 설정하였고, SE model 2는 열화와 회복이 동일하게 발생하도록 설정하였다.

3.3 시뮬레이션 및 결과

Fig. 1은 SE model 1만을 적용한 트랜지스터에 3 V의 게이트 전압과 0.05 V의 드레인 전압을 100초간 인가한 시뮬레이션 결과이다. 이 결과는 전형적인 SE 함수 모델을 따르는 문턱전압 이동 형태이다. Fig. 2는 이전의 트랜지스터 모델에 SE 형태의 동적 문턱전압 이동이 발생하는 모델

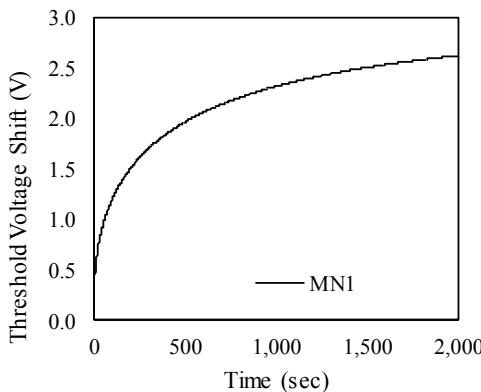


Fig. 1. Time evolution of threshold voltage from the stretched-exponential model with $\tau = 500 \text{ sec}$, $\beta = 0.5$ added to BSIM4 transistor model.

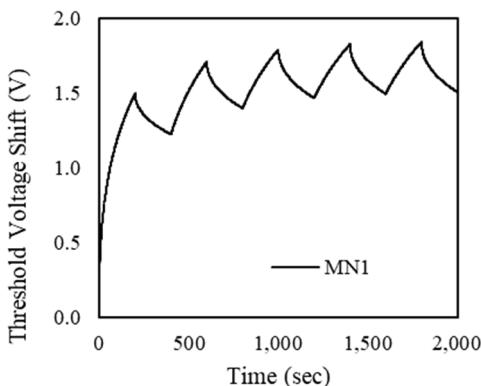


Fig. 2. The time evolution of threshold voltage from the dynamic stretched-exponential model with $\tau_{deg} = 500 \text{ sec}$, $\beta_{deg} = 0.5$, $\tau_{rec} = 5000 \text{ sec}$, $\beta_{rec} = 0.5$ and with pulsed gate voltage alternating from 0 to 3 V.

을 적용하고, 게이트 전극에 펄스를 적용한 시뮬레이션 결과이다. 이 때 사용한 신호는 0 V와 3 V를 반복하며, 주기 4,000초, 50% duty cycle 펄스이다. 실효 게이트 전압($V_G - V_{TO}$)이 문턱전압 이동 양보다 적은 경우 문턱전압이 회복되는 것을 알 수 있다. 열화과정의 시정수가 회복 과정의 시정수가 더 크기 때문에 반복적인 회복과정이 발생하여도 전체적인 문턱전압은 3 V 쪽으로 이동하는 것을 볼 수 있다.

다음 시뮬레이션은 2개의 SE 모델을 트랜지스터 모델에 추가한 경우이다. 두 SE 모델을 구분하기 위하여 두 번째 SE 모델의 시정수와 확장 계수들은 Table 2에 표시하였다. 트랜지스터는 MN2 모델에는 전체 문턱전압 이동 양의 50%는 SE model 1이 차지하고 나머지 50%는 SE model 2가 차지하도록 설정하였다. Fig. 3은 3 V의 게이트 전압과 0.05 V의 드레인 전압을 인가한 시뮬레이션 결과이다. 시정수가 큰 두 번째 SE 모델에 의한 문턱전압 이동이 400초 부근에서 나타나는 것을 볼 수 있다. Fig. 4는 게이트 전극에 펄스를 입력한 시뮬레이션 결과이다. 두 번째 시뮬레이션과 동일하게 두 모델들은 영구적 문턱전압 이동 형태로 설정하였다. 문턱전압이 열화되는 구간에서 상대적으

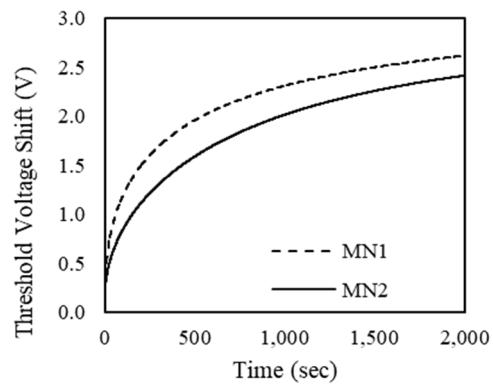


Fig. 3. The time evolution of threshold voltage from one (MN1) and two (MN2) stretched-exponential models. MN1 is identical to Fig. 1. MN2's parameters are $\tau_1 = 500 \text{ sec}$, $\beta_1 = 0.5$, $\tau_2 = 2000 \text{ sec}$, and $\beta_2 = 0.8$.

Table 2. Stretched exponential function parameters. Deg stands for degradation and rec for recovery mode.

	$\tau_{deg.}$	$\beta_{deg.}$	$\tau_{rec.}$	$\beta_{rec.}$
SE model 1	500	0.5	5,000	0.5
SE model 2	2,000	0.8	2,000	0.5

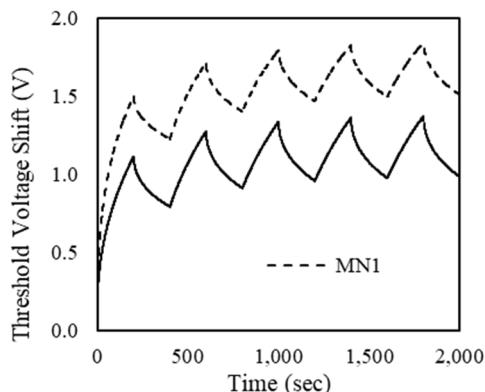


Fig. 4. The time evolution of threshold voltage from one (MN1) and two (MN2) dynamic stretched-exponential models with pulsed gate voltage alternating from 0 to 3 V.

로 시정수가 큰 SE model 2에 의해서 전반적인 문턱전압의 열화가 작아지는 것을 볼 수 있다.

4. 결 론

본 연구에서는 박막 트랜지스터에서 빈번히 관측되는 SE 형태의 문턱전압 이동 현상을 SPICE 회로 시뮬레이션 툴에 구현하였다. 본 연구에 사용한 SE 모델은 회복이 불가능한 영구적 문턱전압 이동 형태와 회복이 가능한 동적 문턱전압 이동 형태로 구현이 되었다. 동적 문턱전압 이동의 경우 문턱전압의 회복도 SE 형태가 되는 것으로 설정하였다. 해당 SE 모델들은 SPICE3f5의 트랜지스터 용 BSIM4 모델을 수정하지 않고 추가되었다. 해당 연구 결과를 디스플레이의 픽셀[17]이나 최신의 투명 전자소자 [18] 등의 회로에 적용하면 회로의 신뢰성을 높이는데 사용될 수 있다. 본 연구에서 다루는 문턱전압 이동 모델은 박막 트랜지스터에서 빈번히 발생되는 현상을 대상으로 하고 있지만, 서브마이크론 또는 나노 트랜지스터에서 발생하는 다양한 문턱전압 이동 모델의 구현으로 확장이 가능하며 기존의 트랜지스터 모델에 간단히 추가가 가능하다.

감사의 글

이 연구는 서울과학기술대학교 교내연구비의 지원으로 수행되었습니다.

참고문헌

- E. Fortunato, P. Barquinha and R. Martins, "Oxide Semiconductor Thin-Film Transistors: A Review of Recent Advances," *Adv. Mater.*, 24(22), pp. 2945-2986, 2012.
- D. Nouguier, G. Ghibaudo, X. Federspiel, M. Rafik, and D. Roy, "New perspectives in defect centric model for NBTI reliability," *Microelectron. Reliab.*, 98, pp. 119-123, 2019.
- X. Li, J. Qin, B. Huang, X. Zhang and J. B. Bernstein, "A new SPICE reliability simulation method for deep submicrometer CMOS VLSI circuits," *IEEE T. DEVICE MAT. RE.*, 6(2), pp. 247-257, 2006.
- J. H. Stathis, S. Mahapatra and T. Grasser, "Controversial issues in negative bias temperature instability," *Microelectron. Reliab.*, 81, pp. 244-251, 2018.
- N. Parihar, N. Goel, A. Chaudhary and S. Mahapatra, "A Modeling Framework for NBTI Degradation Under Dynamic Voltage and Frequency Scaling," *IEEE T. ELECTRON. DEV.*, 63(3), pp. 946-953, 2016.
- D. Gupta, Seunghyup Yoo, Changhee Lee and Yongtaek Hong, "Electrical-Stress-Induced Threshold Voltage Instability in Solution-Processed ZnO Thin-Film Transistors: An Experimental and Simulation Study," *IEEE T. ELECTRON. DEV.*, 58(7), pp. 1995-2002, 2011.
- S. Sambandan, Lei Zhu, D. Striakhilev, P. Servati and A. Nathan, "Markov model for threshold-voltage shift in amorphous silicon TFTs for variable gate bias," *IEEE ELECTR. DEVICE L.*, 26(6), pp. 375-377, 2005.
- K. Giering, C. Sohrmann, G. Rzepa, L. Heis, T. Grasser and R. Jancke, "NBTI modeling in analog circuits and its application to long-term aging simulations," in 2014 IEEE INT. INTEG. REL. WRKSP., pp. 29-34, 2014.
- T. Jung, "Modeling of stretched-exponential and stretched-hyperbola time dependence of threshold voltage shift in thin-film transistors," *J. Appl. Phys.*, 117(14), pp. 144501, 2015.
- M. A. Pinsky and S. Karlin, *An Introduction to Stochastic Modeling*. (4. ed. ed.) Amsterdam: Elsevier, 2011.
- G. Rzepa, J. Franco, B. O'Sullivan, A. Subirats, M. Simicic, G. Hellings, P. Weckx, M. Jech, T. Knobloch, M. Waltl, P. J. Roussel, D. Linten, B. Kaczer and T. Grasser, "Comphy — A compact-physics framework for unified modeling of BTI," *Microelectron. Reliab.*, 85, pp. 49-65, 2018.
- S. G. J. Mathijssen, M. Colle, H. Gomes, E. C. P. Smits, B. Boer, I. McCulloch, P. A. Bobbert, D. M. Leeuw and M. Cölle, "Dynamics of threshold voltage shifts in organic and amorphous silicon field-effect transistors," *Adv. Mater.*, 19(19), pp. 2785-2789, 2007.

13. The spice home page, Mar. 1, 2020, from <http://bwrcs.eecs.berkeley.edu/Classes/IcBook/SPICE/>.
14. BSIM Group, Mar. 1, 2020, from <https://bsim.berkeley.edu/members/>.
15. NGSPICE. Available: <http://ngspice.sourceforge.net/>.
16. T. Jung, "Modeling of Reversible and Irreversible Threshold Voltage Shift in Thin-film Transistors," *J. Korean Inst. Electr. Electron. Mater. Eng.*, 29(7), pp. 387-393, 2016.
17. H. G. Nam, "Characterization of Active Pixel Switch Readout Circuit by SPICE Simulation," *J. of KSDT*, 6(2), pp.49-52, 2007.
18. J. H. Park, J. K. Jeong, Y. J. Kim, J. B. Jun, and G. W. Lee, "Electrical Characteristic Analysis of IGZO TFT with Poly(4-vinylphenol) Gate Insulator according to Annealing Temperature," *J. of KSDT*, 16(1), pp. 97-101, 2017.

접수일: 2020년 3월 10일, 심사일: 2020년 3월 20일,
제재확정일: 2020년 3월 23일