The Journal of the Convergence on Culture Technology (JCCT)
Vol. 6, No. 3, pp.427-430, August 31, 2020. pISSN 2384-0358, eISSN 2384-0366

http://dx.doi.org/10.17703/JCCT.2020.6.3.427
JCCT 2020-8-52

다채널 24비트 델타시그마 ADC 용 콤필터 설계 및 구현

Design and implementation of comb filter for multi-channel, 24bit delta-sigma ADC

홍희동*, 박상봉**

Heedong Hong*, Sangbong Park**

요 약 IoT 분야와 의료 측정기기 분야에서 여러 개의 아날로그 입력 신호를 동시에 디지털 신호로 변환하는 기술 요구가 늘어나고 있다. 기존 단일 또는 2개의 체널 방식을 이용하여 여러 개의 아날로그 신호를 처리하는 방식에서는 하드웨어 크기와 전력소모 면에서 응용 제한을 받게 된다. 본 논문에서는 여러 개의 아날로그 입력을 동시에 받아서, 각각에 대한 24비트 디지털 신호를 출력하는 다채널 24비트 ADC 용 콤필터 설계 및 구현을 기술하였다. 제안된 콤필터의 기능은 매트랩 시뮬레이션과 FPGA 테스트 보드로 검증하였다. SK 하이닉스 0,35㎛ CMOS 표준 공정을 이용하여 칩으로 제작하였다. 미분기/적분기 사용 또는 FIR 구조의 기존 방식과 성능, 칩 면적을 비교하였다. 제안된 콤필터는 6개 이상의 다채널 아날로그 입력, 저 전력 소모, 작은 하드웨어 크기를 요구하는 IoT 제품과 의료 측정기기 활용이 예상된다.

주요어 : 다채널 델타시그마 24비트 ADC, 콤 필터, 뇌파도 측정 장비, 심전도 측정 장비

Abstract The multi-channel analog signal to digital signal conversion is increasing in the field of IoT and medical measurement equipments. It has chip area and power consumption constraints to use a few single or 2_channel ADC for multi_channel application. This paper described to design and implement a proposed comb filter for multi-channel, 24bit ADC. The function of proposed comb filter is verified by matlab simulation and the FPGA test board. It was fabricated using SK Hynix 0.35㎛ CMOS standard process. The performance and chip size is compared with the existing design method that uses integrator/differentiator and FIR construction. The proposed comb filter is expected to use the IoT product and medical measurement equipments that require multi-channel, low power consumption and small hardware size.

Key words : multi-channel delta-sigma 24bit ADC, comb filter, EEG, ECG medical measurement equipment

Ⅰ. 서 론

대부분의 IT 제품들이 디지털화되면서, 아날로그 신호를 디지털 신호로 변환하는 ADC는 다양한 방법으로 설계되어, 활용되고 있다. 최근 IoT(Internet of Things) 제품들과 뇌파도(EEG), 심전도(ECG) 등의 의료 측정 장비에서는 6개 이상의 아날로그 신호를 동시에 받아서 처리하는 다채널 ADC 기술이 요구된다.[1][2] 기존

*정회원, 세명대학교 전자상거래학과 부교수
**정회원, 세명대학교 정보통신학부 교수 (교신저자)
접수일: 2020년 07월 28일, 수정완료일: 2020년 08월 04일
게재확정일: 2020년 08월 08일
Received: July 28, 2020 / Revised: August 04, 2020
Accepted: August 08, 2020
**Corresponding Author: psbcom@semyung.ac.kr
Dept. Information&Communication,
Semyung University, Korea

의 ADC 방식에서 6개 이상의 아날로그 입력을 동시에 처리하기 위해서는 델타시그마 변조기와 과표본화된 1비트 아날로그 입력을 24비트로 변환하는 데시메이션 필터가 각각의 채널마다 독립적으로 필요하다. 기존의 데시메이션 필터를 구성하는 콤필터(comb filter) 와 HBF(Half Band Filter) 에 대한 면적과 전력소모에서 최적화를 통해서 6개 채널 이상의 ADC 컨버터 구현이 가능하다. 본 논문에서는 데시메이션 필터를 구성하는 콤필터에 대해서 기존의 미분기/적분기를 사용하는 방식과 FIR 필터를 사용하는 방식에 대해서 설계하고, 누적기를 사용하지 않는 방식을 비교 분석하여서 6채널 이상의 다채널 ADC 에 대한 콤필터 최적화를 제안하였다. 3가지 방식에 대해서 매트랩 시뮬레이션과 Verilog 언어를 이용하여 설계 후 칩으로 구현해서 성능을 확인하고, 면적과 전력을 비교하였다.[3]

II. 기존 콤필터 방식과 구현

델타시그마 방식의 ADC 는 샘플링 주파수가 48㎑이고, 128배로 과표본화되어 6.144㎒ 클록에 동기화된 1비트의 아날로그 신호가 입력된다. 식 (1)은 전체 콤필터의 전달 함수를 나타낸다. [4][5][6]

$$H(z) = \left(\frac{1-z^{-4}}{1-z^{-1}}\right)^4 \left(\frac{1-z^{-8}}{1-z^{-4}}\right)^5 \left(\frac{1-z^{-16}}{1-z^{-8}}\right)^7 \quad (1)$$

콤필터의 출력은 16배로 데시메이션되고, HBF(Half Band Filter)로 입력되어서, 8배 데시메이션 후 24비트 디지털 데이터가 최종 출력된다. 식 (1) 을 하드웨어로 구현하기 위해서 4차 콤필터를 구성하고, 5차와 7차에 대한 콤필터는 미분기/적분기를 사용하여 구현하는 방식과 FIR 필터를 사용하는 방식이 사용되었다. 식(1)에서 첫 번째 항에 해당하는 4차 콤필터는 ROM을 이용하여 설계하였다. 그림 1.은 4차 콤필터에 대한 하드웨어 설계 블록도이다. 1비트 입력을 받아서 9비트의 디지털 값이 4배 데시메이션 되어서 5차와 7차 콤필터로 출력된다. 1비트 입력 x[n]에서 x[n-5] 까지 6가지 경우에 대한 출력 값을 미리 구하여 ROM 에 저장하여서 어드레싱 하는 방식으로 설계 및 구현되었다.

그림 2. 는 5차와 7차 미분기와 적분기를 사용하는 기존 방식의 하드웨어 설계 블록도이다. 미분기 설계는 이전 출력을 가산하는 IIR 필터 형태이므로 안정도에서 문제가 발생할 수 있다. 그림 3. 은 FIR 필터를 사용하는 기존 방식 중 5차 FIR 필터에 대한 하드웨어 설계 블록도이다. 현재 출력이 현재 입력에 의해서 결정되는 FIR 필터로 구성되므로, 안정한 시스템이지만 곱셈기를 사용해야 하므로 하드웨어 설계 면적이 증가된다.

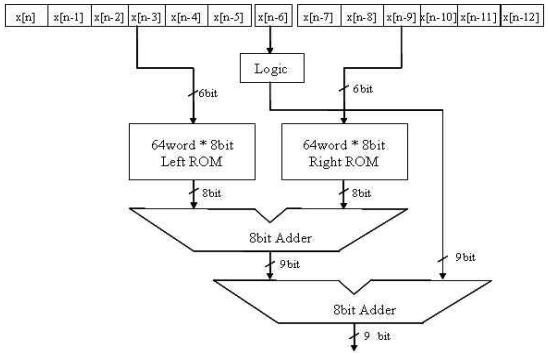

그림 1. 4차 콤필터 설계 블록도
Fig 1. Block diagram of 4th comb filter design

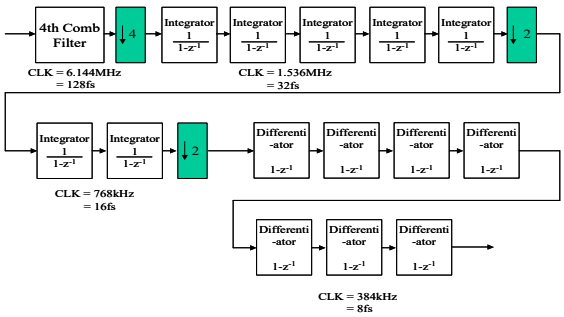

그림 2. 미분기/적분기를 사용한 5차 콤필터 설계블록도
Fig 2. Block diagram of 5th comb filter using differentiator and integrator

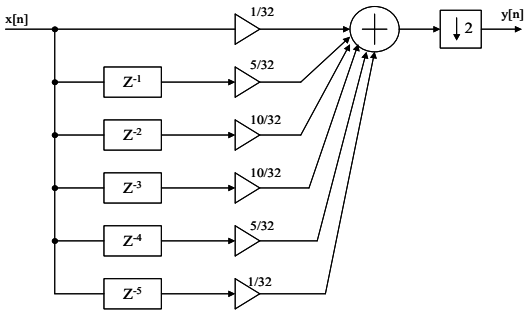

그림 3. FIR 필터를 사용한 5차 콤필터 설계블록도
Fig 3. Block diagram of 5th comb filter using FIR filter

III. 제안된 콤필터 방식과 구현

본 논문에서는 식 (1)에서 2번째와 3번째 항을 변환하여, 그림 4. 와 같은 형태의 현재 입력과 과거 입력의 합으로 구성된 누적기를 사용하지 않는 방식으로 구현하였다. 그림 1. 의 4차 콤필터 출력 9비트가 5차와 7차 필터를 거쳐서, 출력은 21비트이고 2배 데시메이션 되어서 384㎑ (8fs) 에 동기화되어서 출력된다. 현재 출력이 현재 입력 x[n] 과 이전 입력 x[n-1] 에 의해서 결정되므로, 안정한 시스템을 얻을 수 있다.

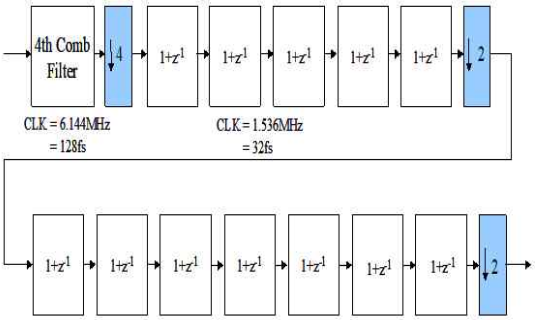

그림 4. 누적기를 사용하지 않는 제안된 5차 필터 설계 블록도
Fig 4. Block diagram of 5th comb filter using no accumulator

IV. 실험 및 결과

본 논문에서 제안된 콤필터 방식과 기존 방식에 대한 면적과 성능을 비교하기 위해서, 4차 콤필터와 제안된 방식을 매트랩을 이용하여 검증하였다. 그림 5. 는 4차 콤필터와 제안된 누적기를 사용하지 않는 콤필터 시뮬레이션 결과를 나타낸다. 시뮬레이션 결과, 기존 2가지 방식과 제안된 방식에서 필터의 정상적인 동작을 확인하였다. 시뮬레이션 검증 후 SK하이닉스 0.35㎛ 공정을 이용하여 칩으로 제작하였고, 그림 6. 은 레이아웃 그림과 실제 제작된 칩 사진을 나타낸다. 제작된 칩은 디지털 테스터 장비인 ATS와 FPGA 테스트 보드를 이용하여 테스트하였다.

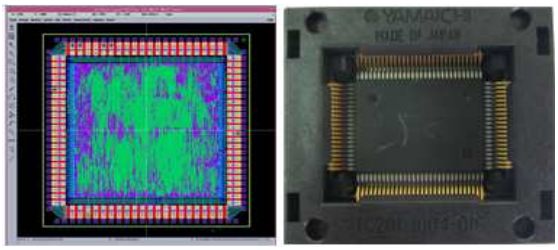

그림 5. 누적기를 사용하지 않는 콤필터 시뮬레이션 결과
Fig 5. Simulation result of comb filter with no accumulator

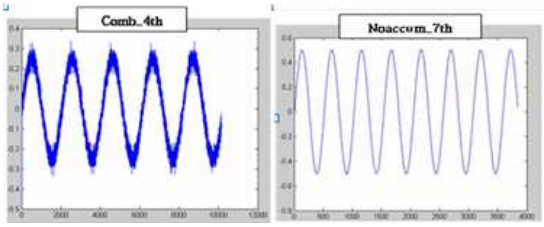

그림 6. 콤필터 레이아웃과 제작된 칩 사진
Fig 6. Comb filter layout and fabricated chip

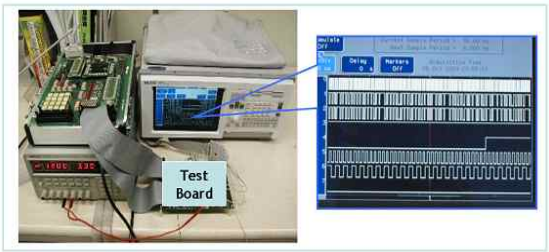

그림 7. 제작된 칩을 이용한 테스트 보드와 측정결과
Fig 7. Test board and measurement results of chip

그림 7. 은 제작된 칩과 FPGA를 이용한 테스트 보드와 측정 결과이다. 기존 2가지 방식과 제안된 누적기를 사용하지 않는 콤필터에 대한 성능을 측정하였다. 3가지 방식 모두 정상적인 동작을 확인하였다. 누적기를 사용하지 않는 제안된 방식이 FIR 필터를 사용하는 방법보다, 곱셈기를 사용하지 않으므로 칩 면적 면과 전력 소모 면에서 약 20% 줄어들었고, 미분기/적분기를 사용하는 기존 방식보다 발진 현상이 일어나지 않으므로 시스템 안정면에서 효율적인 것이 검증되었다.

V. 결 론

6개 채널 이상의 다채널 아날로그 신호를 동시에 디지털 신호로 변환하는 다채널 ADC 에 대한 의료측정 장비와 IoT 분야에서 수요가 증가하므로, 본 논문에서는 누적기를 사용하지 않는 콤필터를 제안하였다. 제안된 방식을 설계 및 실지 칩으로 구현하여서, 기존 미분기/적분기를 사용하는 방식과 FIR 필터를 사용하는 방식과 비교하였다. 매트랩을 이용한 시뮬레이션을 통하여 3가지 방식에 대한 성능 검증을 진행하였다. 검증된 설계는 하드웨어 언어인 Verilog 언어로 기술하고, 논리 합성 후 시뮬레이션과 레이아웃을 거쳐서, SK 하이닉스 0.35㎛ CMOS 공정을 사용하여 실지 칩으로 제작

하였다. 디지털 신호 테스트 장비인 ATS 장비와 로직 분석기로 파형을 측정하여 결과를 확인하였다. 1비트의 아날로그 신호를 입력하여, 16배 데시메이션 된 21비트 출력 결과도 확인하였다. 시뮬레이션과 제작된 칩 테스트 결과, 제안된 방식이 약 20% 정도 칩 면적과 전력 소모 감소 결과를 나타내었다. 향후 6개 채널 이상의 다채널, 저전력과 하드웨어 크기가 작은 응용분야인 의료 측정 장비와 IoT 응용 분야의 ADC 데시메이션 필터에서 제안된 콤필터가 널리 사용될 것으로 기대된다. [7][8][9]

References

[1] Microchip, “Two/Four/Eight-Channel, 153.6kbps, Low Noise 24-bit Delta-sigma ADCs”, 2019-2020 Microchip Technology Inc

[2] M.A.Haberman and E.M.Spinelli,“A multichannel EEG acquisition scheme based on single ended amplifiers and digital DRL”, IEEE Trans.Biomed.Circuits Syst. 6(6), 614-618, 2012

[3] Sangbong Park and Junghwa Heo, ‘A study on the design and implementation of serial communication using only one pin“, JCCT Vol.1 No.3, 83-85, Aug 2015

[4] M.Tahir and S.K. Mazumder, “Improving dynamic response of active harmonic compensator using digital comb filter”, IEEE Journal of Emerging and Selected Topics in Power Electornics,Vol.2, Np.4,pp.994-1002,2014

[5] Tomasz Chmielewski,“Comb filters for harmoics control in grid connected power electronic converters applications”, Power Electronics and Applications 19th European COnference on, pp.1-10, 2017

[6] Jose L. Ferreira, Yan Wu, Ronald M. Aars,“Enhancement of the Comb Filtering Selectivity Using Iterative Moving Average for Periodec Waveform and Harmonic Elimination”, Journal of HealthCare Engineeering, vol.2018,pp.1, 2018

[7] M.Laddomada, “Generalized comb decimation filters for A/D converters:analysis and dedign,”, IEEE Transactions on Circuits and Systems I, vol.54,no5, pp.994-1005, 2007

[8] M.Laddomada, “On ther polyphase decomposition for design of generalized comb decimation filters,” IEEE Transactions on Circuits and Systems I, vol.55, no.8, pp.2287-2290, 2008

[9] G.J.Dolecek and M. Laddomada, “A novel tow-state nonrecursive architecture for the degin of generalized comb filters,” Digital Signal Processing, vol.22, pp.859-868,2012

※ 본 연구는 IDEC에서 MPW 와 EDA Tool 을 지원받아 수행하였습니다.