

텔레메트리 시스템을 위한 PLL 기반의 시각동기 알고리즘

Phase Locked Loop based Time Synchronization Algorithm for Telemetry System

김 건 희 · 진 미 현 · 김 복 기*
단암시스템즈 기술연구소

Geon-Hee Kim · Mi-Hyun Jin · Bok-Ki Kim*

R&D Center, DANAM Systems, Gyeonggi-do, 13930, Korea

[요 약]

본 논문에서는 텔레메트리 시스템에 적용하기 위한 PLL 기반의 시각동기 알고리즘을 제시하고 FPGA 로직을 구현하였다. 텔레메트리 시스템에서 대형 비행체의 경우 각각의 분산 획득 장치들을 통해 상태정보를 계측하여 실시간으로 비행 상태를 분석해야하므로 정밀도 향상을 위한 장치 및 시스템 간의 시각 동기화의 중요성이 커지고 있다. 이 때문에 시각동기 기법으로 타 시각동기 방법보다 복잡도가 적고, 동기를 위한 추가적인 메시지 전송을 최소화하여 데이터 처리에 적은 시간이 소요되는 PLL 기반의 시각 동기 알고리즘을 제안하였다. 타당성을 확인하기 위해 python 시뮬레이션을 수행하였으며 최종적으로 FPGA 내에 VHDL 로직을 구현하여 시각 동기 성능을 확인하였다.

[Abstract]

This paper presents a time synchronization algorithm based on PLL for application to telemetry systems and implement FPGA logic. The large aircraft of the telemetry system acquires status information through each distributed acquisition devices and analyzes the flight status in real time. For this reason, time synchronization between systems is important to improve precision. This paper presents a PLL based time synchronization algorithm that is less complex than other time synchronization methods and takes less time to process data because there is minimized message transmission for synchronization. The validity of proposed algorithm is proved by simulation of Python. And the VHDL logic was implemented in FPGA to check the time synchronization performance.

Key word : Telemetry system, Phase locked loop, Time synchronization, Python, Field programmable gate array.

<https://doi.org/10.12673/jant.2020.24.4.285>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 15 July 2020; Revised 23 July 2020

Accepted (Publication) 25 August 2020 (30 August 2020)

*Corresponding Author: Bok-Ki Kim

Tel: +82-31-538-6008

E-mail: bokki@danam.co.kr

1. 서론

텔레메트리기는 비행중인 비행체에서 발생하는 이벤트를 감지하고 비행 상태와 궤도를 실시간으로 확인하고 분석하기 위해, 센서 및 시스템을 통해 내부 상태 및 비행정보를 계측하여 지상의 수신소로 전송하는 시스템을 말한다. 탄도 미사일이나 로켓/우주 발사체와 같이 대형 비행체의 경우 각 부위의 센서나 시스템 등의 분산 획득 장치들을 통해 상태정보를 계측하고 유/무선 네트워크를 통해 분산 데이터를 획득한다. 이때 분산 획득 장치 간 발생한 이벤트의 시간들은 동기화되거나 서로 시간적으로 관련되어 있어야 한다. 만약 일부 획득 장치들이 동기화되어 있지 않다면 실시간으로 상태 정보들의 시간적 연관성을 찾고 비행 정보를 분석하는데 어려움이 존재한다. 때문에 텔레메트리에서는 장치 및 시스템간의 시각동기화가 중요한 문제이다.

만약 분산 획득 장치들의 데이터 수집 속도보다 링크 속도가 빠르지 않을 경우 추가적으로 메시지를 전달할 시간이 충분하지 않다. 일부 시스템들의 정보가 단 분리 등의 예상치 못한 이벤트로 소멸할 수 있으며, 일부 센서들은 수집 주파수에 비해 높은 주파수로 샘플링하여 상태정보를 획득해야 하는 등의 상황에서 지연이 없는 실시간 데이터 생성이 요구된다.

일반적으로 지연 없이 실시간으로 동기화된 데이터 생성을 위해서는 타임 스탬프가 반드시 동기화되어 있어야 한다. 또한 클럭의 동기를 유지하기 위해서는 클럭 드리프트에 대한 정보가 공유되어야 한다.

따라서 지연 없이 실시간으로 동기화된 데이터 생성을 위해 이더넷 네트워크 시스템에서는 IEEE-1588 기능이 내장된 이더넷 스위치를 이용한 방안이 제시되었다[1]. 이외에도 IEEE 을 통해 마스터와 슬레이브의 시간을 동기화하는 알고리즘을 직접 구현이 가능하다[2]. 또한 비콘 프레임을 이용한 IEEE-802.11 프로토콜에서 무선 통신의 브로드캐스팅 특성을 적용시켜 시각동기화 프로토콜의 정밀도를 향상시킨 방법도 제안되었다[3].

그러나 이더넷 스위치는 모든 노드의 시간동기화를 위한 네트워크 시간 패킷들이 최소한 하나의 스위치를 통과하므로 짧은 지연 시간을 갖는 스위치가 반드시 필요하며, IEEE-1588을 구현하는 특수한 하드웨어가 필요하는 등 구현의 복잡도가 높다. 또한 IEEE802.11 표준에 따라 접속 지역이 안정적이어야 하는 조건이 따르며, 무선 환경에서의 메시지 손실 가능성이 존재한다. 그리고 일부 시스템에서 시간동기화를 위한 메시지 송/수신 시간이 충분하지 않을 수가 있다.

한편, 네트워크 전송 지연을 무시할 수 있다면 시간동기를 위한 기법으로 PLL (phase locked loop)을 이용한 분산 장치와의 시각동기화 방법을 고려해볼 수 있다. PLL을 적용한다면 이더넷 스위치를 이용한 시각동기화 기법에 비해 복잡도가 적으며, IEEE-1588 PTP나 IEEE-802.11 클럭 동기화 프로토콜처럼 시각동기화를 위해 추가적인 메시지 전송을 최소화하고, 데이

터 처리에 보다 적은 시간이 소요된다[4],[5].

특히 최근에 텔레메트리 시스템의 중요도가 높아지면서 수 마이크로 초 이하의 우수한 장치간의 시각 동기 성능이 요구되며 PLL 구조를 사용함으로써 이를 극복할 수 있다.

PLL 기반의 시각 동기 기법에 대해서는 최근에 연구가 활발하게 진행 중이다. 그중 하나인 링 오실레이터와 PLL을 활용한 기법은 매우 높은 정확도와 낮은 전력 소모량을 갖는다. 그러나 특수 제작된 하드웨어가 필요하며, 소프트웨어의 수정만으로는 시각 동기 기능을 추가할 수 없다[6]. 이더넷 동기를 위해 제시된 PLL 기반의 시각 동기 기법은 구현하기 용이하지만, 텔레메트리 시스템에 적용하기엔 낮은 성능을 보인다[7]. 또한, 갈만 기반의 PLL 시각 동기 기법은 매우 우수한 성능을 갖지만, 높은 연산량과 복잡도로 인하여 FPGA(field programmable gate array)에 구현하기에는 적합하지 않다[8].

따라서 본 논문에서는 텔레메트리 시스템에 PLL 기반의 시각 동기 알고리즘을 구현하고, 성능을 확인한다. 제안한 PLL은 2차 루프 필터를 가지며, 위상 입력은 동기를 하고자 하는 클럭 간의 시간차를 이용하여 생성한다. 타당성을 확인하기 위하여 python 기반의 시뮬레이션을 수행하였으며, 최종적으로 FPGA 내에 VHDL (very high speed integrated circuit hardware description language)로직을 구현하여 성능을 확인한다.

II. 시각동기 알고리즘

일반적인 이산시간 PLL의 개념 및 구조와 이에 기반을 두고 본 논문에서 제안한 시각동기 알고리즘을 설명한다.

2-1 2차 PLL 구조

그림 1은 디지털 시스템에서 사용되는 이산시간 PLL의 기본 구조를 나타낸 것이다. 이산시간 PLL은 크게 위상 검파기, 이산시간 루프 필터, 디지털 신호 발생기 NCO (numerically control oscillator)로 구성된다. 기준 신호의 샘플과 복사 신호의 샘플이 PLL의 입력으로 인가되면, 위상 검파기는 입력 샘플로부터 신호 간 위상 차이에 비례한 값을 생성한다. 이 값은 루프 필터로 전달되어 두 신호 간 위상 차에 존재할 수 있는 고주파 성분을 제거한다. 루프 필터의 출력은 복사 신호의 주파수를 제어하기 위해 NCO로 전달되며, NCO에서는 변화한 주파수 및 위상을 갖는 복사 신호를 생성한다. 이와 같은 동작을 반복하면서 주파수 및 위상의 동기화가 점차적으로 이루어진다.

그림 1에서 F(z)는 루프 필터를 의미하며, 루프 필터의 구조와 계수 선정에 따라 정상 상태 오차, 대역폭, 응답시간, 오버슈트 등 PLL의 특성이 달라진다. 1차 루프 필터는 구조가 매우 간단하고 높은 안정성을 보이지만, 입력 신호 간 주파수 오차가 존재할 경우 낮은 성능을 보인다. 반면 차수가 높아질수록 추적 가능한 요소(주파수 드리프트, 저크)가 증가하지만 안정성이 저하되며 좁은 대역폭을 갖는다.

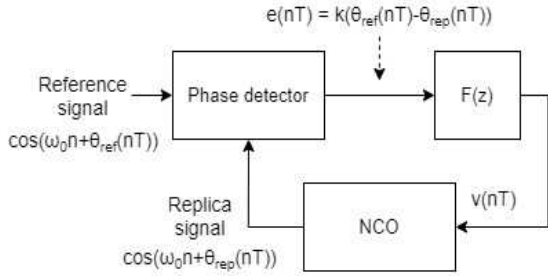


그림 1. 이산시간 PLL의 기본 구조
Fig. 1. Basic structure of a discrete-time PLL

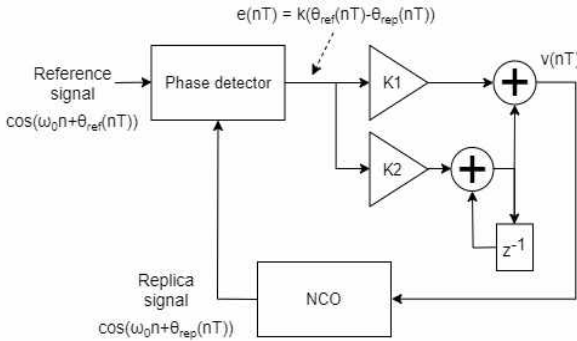


그림 2. 2차 루프 필터를 적용한 이산시간 PLL 구조
Fig. 2. Structure of a discrete-time PLL using 2nd order loop filter

텔레메트리 시스템에서는 지속적인 주파수 변화가 발생할 가능성이 거의 존재하지 않으며, 넓은 대역폭으로 안정적인 시각동기를 유지하는 것이 중요하다. 따라서 2차 루프 필터가 적합하다고 판단하였으며 그림 1의 이산시간 PLL에 2차 루프 필터를 적용할 경우 구조는 그림 2와 같다.

2-2 제안한 알고리즘

2차 이산시간 PLL을 시각 동기 시스템에 적용할 경우 그 구조는 그림 3과 같으며, 위상 검파기와 동일한 역할을 하는 펄스 지연 검출기, 2차 루프 필터, NCO, 복사 펄스 생성기로 구성된다. 먼저 시각 동기 목표인 기준 펄스와 텔레메트리 시스템의 복사 펄스가 입력되면, 펄스 지연 검출기에서는 두 펄스의 상승 에지를 이용하여 시각 차이를 계산하고 이를 위상 차이로 변환한다. 획득한 위상차 e_θ 는 루프 필터에 인가되며, 2차 루프 필터의 출력 값은 식 (2)와 같은 식으로 표현할 수 있다.

$$\begin{aligned} \dot{\theta}[n] &= \dot{\theta}[n-1] + K_2(e_\theta[n]) & (1) \\ \theta[n] &= T\dot{\theta}[n] + K_1(e_\theta[n]) & (2) \\ K_1 &= a_1\omega_{0,PLL}T, \quad a_1 = 1.414 & (3) \\ K_2 &= \omega_{0,PLL}^2 T & (4) \\ \omega_{0,PLL} &= 1.89B_{PLL} & (5) \end{aligned}$$

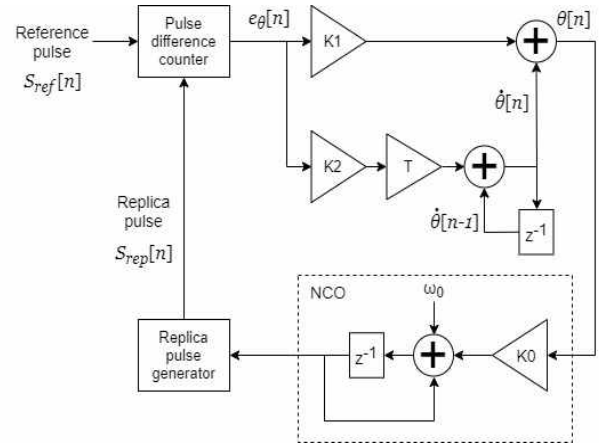


그림 3. 시각 동기를 위한 PLL 구조
Fig. 3. PLL structure for timing synchronization

여기서 K1 및 K2는 2차 루프 필터의 계수이며, T는 샘플 간 시간 간격을 의미한다. 오버슈트를 안정화하기 위해 감쇠 비 ζ 를 0.7로 설계할 경우 필터 계수를 구하기 위한 식은 식 (3), 식 (4) 및 식 (5)와 같다[4].

따라서 시각 동기를 위한 기준 펄스의 주파수가 20 kHz일 때, 1 kHz의 대역폭을 갖는 필터를 설계할 경우 K1=0.1336, K2=178.6의 값을 갖는다.

루프 필터를 통과한 위상차는 NCO로 전달된다. 이때 K0를 이용하여 위상차를 NCO 증가량으로 변환해야 하며, 식 (6)과 같다.

$$K_0 = \frac{f_c}{f_s} 2^{n_{NCO}} \quad (6)$$

f_c 는 기준 펄스의 주파수, f_s 는 샘플링 주파수이며 n_{NCO} 는 NCO의 레지스터 비트 수를 의미한다. NCO는 인가된 NCO 증가량이 반영된, 수정된 주파수와 위상을 갖는 클럭을 생성한 후 복사 펄스 생성기로 전달한다. 복사 펄스 생성기에서는 텔레메트리 시스템에서 요구하는 형태를 갖는 펄스를 생성하여 시스템에 제공한다.

2-3 소프트웨어 구현

제안한 알고리즘의 타당성을 확인하기 위하여, 그림 4와 같이 간단한 M&S 프로그램을 python으로 개발하였다. 셋업부에서는 기준 펄스와 복사 펄스의 주파수 및 위상 오프셋, PLL 계수 설정, 기준 펄스의 NCO 및 복사 펄스의 NCO 설정, 시뮬레이션 시간 설정 등을 수행한다. 셋업이 완료되면 매 샘플마다 각 NCO의 현재 위상에 따라 기준 펄스와 복사 펄스를 생성하며, 기준 펄스의 상승에지마다 펄스간의 시간 지연을 계산하고 이를 위상차로 변환한다.

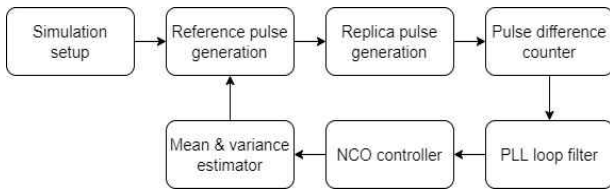


그림 4. M&S 소프트웨어의 블록 다이어그램
 Fig. 4. Block diagram of M&S software

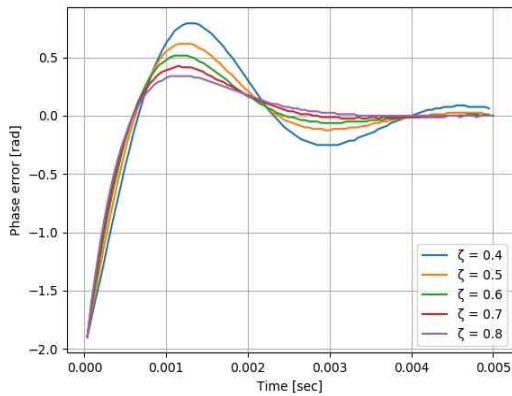


그림 5. M&S 소프트웨어의 동작 결과
 Fig. 5. Simulation result of M&S software

획득한 위상차는 그림 3과 같이 구현된 PLL 루프 필터로 인가되며 루프 필터의 동작 결과는 NCO 증가량으로 변환되어 복사 펄스의 NCO 제어부로 전달된다. 복사 펄스의 NCO에서는 수정된 NCO 증가량을 반영하여 매 샘플마다 NCO 위상을 갱신한다. 이때 기준 펄스의 NCO는 일정한 위상과 주파수를 유지해야 하므로 루프 필터의 출력에 영향 받지 않는다. 한편 추후 FPGA에서 시각동기 성능을 확인할 수 있도록 실시간 평균 및 분산 추정 알고리즘을 최적화하여 적용하였다. 소프트웨어의 동작 결과는 그림 5와 같다.

시간에 따른 위상차를 그림에 나타내었으며, 안정적으로 수렴하는 것을 확인할 수 있다. ζ 는 감쇠비를 의미하며 오버슈트 및 수렴 속도에 영향을 미친다.

III. 시각동기 알고리즘 구현

본 논문에서 앞서 제안한 2차 이산시간 PLL 알고리즘을 바탕으로 FPGA를 이용한 시각동기 로직을 구현한다.

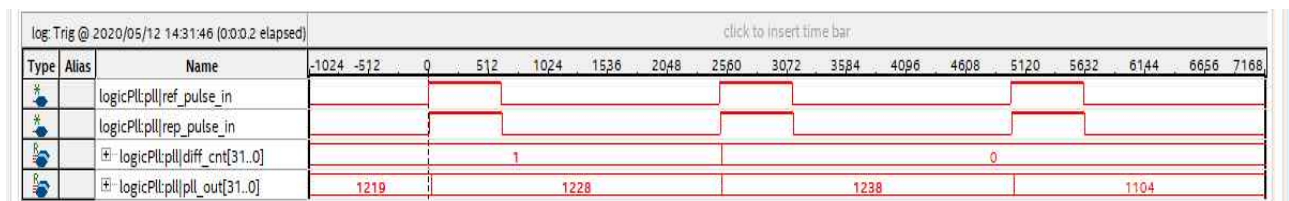


그림 7. 로직 분석 결과
 Fig. 7. Logic analyzer result

3-1 로직 구현

시각동기 알고리즘을 텔레메트리 시스템에 적용하기 위해서는 FPGA에 로직으로 구현해야 한다. 설계한 구조에 타당성이 있음을 앞서 소프트웨어를 통해 확인하였으므로, 동일한 구조를 VHDL로 구현한다면 시각 동기화가 가능함을 기대할 수 있다. 시각 동기 알고리즘을 구현하기 위해 사용한 FPGA는 Terasic 사의 DE10-Lite kit의 MAX10이며, FPGA에 로직으로 구현된 시각동기 알고리즘은 그림 6과 같다.

시각동기 알고리즘의 FPGA 로직은 크게 기준 펄스를 생성하는 MakeRefPulse 블록, 복사 펄스를 생성하는 MakeRepPulse 블록과 PLL을 구현하는 LogicPLL 로직으로 구성하였다.

본래 기준 펄스는 외부 입력 펄스를 의미하지만, 본 연구에서는 성능 확인의 용이함을 위하여 로직 내에서 기준 펄스를 생성하였으며 이를 MakeRefPulse 블록으로 정의하였다. 생성된 기준 펄스의 주파수는 20KHz이며, 펄스 점유율은 0.25로 가정하였다. MakeRepPulse 블록은 복사 펄스를 생성하며, 복사 펄스의 위상은 PLL의 출력에 영향을 받는다.

마지막으로 LogicPLL 블록은 시각 동기를 위한 PLL을 구현한 블록이다. 기준 펄스 및 복사 펄스를 입력으로 받고 복사 펄스를 생성하기 위한 NCO의 증가량을 출력으로 내보낸다. 이때 연산 효율성과 구현 편의성을 위하여 PLL 내부의 모든 변수를 정수로 가정하고 스케일링을 적용하였다. 결과적으로 기준 펄스와 복사 펄스의 샘플 차이를 PLL에 입력하게 되며, 그림 3의 계수 K0, K1 및 K2를 스케일링에 따른 변화를 감안하여 변경하였다.

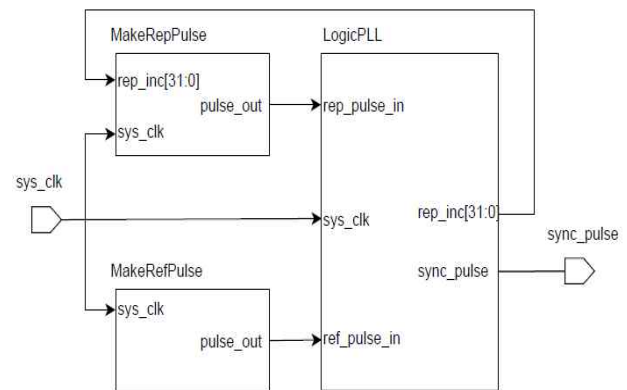


그림 6. 제안한 알고리즘의 FPGA 블록도
 Fig. 6. FPGA block diagram of proposed algorithm

성능 분석에 앞서 동작 확인을 위해 시각 동기 알고리즘을 구현한 결과를 Intel FPGA사에서 제공하는 로직 분석 도구인 Signal tap으로 확인하였으며 그 결과는 아래의 그림 7과 같다.

그림 7에서 ref_pulse_in와 rep_pulse_in은 각각 기준 펄스와 복사 펄스를 의미하며, pll_out은 PLL 동작 결과를 의미한다. 만약 PLL이 오실레이션 상태에 빠졌거나 발산할 경우 복사 펄스가 기준 펄스를 따라가지 않으며, pll_out이 수렴하지 않고 불안정한 수치를 보인다.

그림 7로부터 이러한 현상이 발생하지 않았으며 기준 펄스와 복사 펄스가 동기가 되었으므로 PLL이 정상적으로 수렴하는 것을 확인할 수 있다. 다만 이상적인 경우 PLL의 출력은 0에 수렴하는데, pll_out이 일정한 수치를 갖는 이유는 PLL의 출력이 복사 펄스 위상에 실제로 반영될 때까지의 로직 내 지연 시간과 정수 사용으로 인한 수치 오차 등으로 인해 매우 작은 주파수 차이가 존재하기 때문이다. 마지막으로 diff_cnt는 기준 펄스와 복사 펄스의 샘플 차이를 나타내며, 곧 시각 동기 성능을 의미한다.

3-2 시뮬레이션 성능

기준 펄스의 주파수가 20KHz이고 샘플링 주파수가 10MHz 일 때, NCO의 레지스터 크기를 28비트로 설계한다면 그림 3의 2차 PLL 필터의 계수는 각각 식 (7), 식 (8) 및 식 (9)와 같이 계산할 수 있으며 감쇠 비 별로 근사한 결과는 표 1과 같다.

$$K_0 = \left(\frac{f_c}{f_s}\right)\left(\frac{f_c}{f_s}\right)2^{n_{NCO}} \cdot 2^{n_s} \tag{7}$$

$$K_1 = a_1\omega_{0,PLL}T \cdot 2^{n_s} \tag{8}$$

$$K_2 = \omega_{0,PLL}T^2 \cdot 2^{n_s} \tag{9}$$

여기서 K_0, K_1, K_2 는 그림 3의 계수를 나타내며, n_{s1} 은 K_0 를 정수로 근사하기 위한 스케일링 비트, n_{s2} 는 K_1 과 K_2 를 정수로 근사하기 위한 스케일링 비트를 의미한다. 이때 표 1의 계수를 감쇠 비에 적용하였다면 반드시 PLL의 출력을 $2^{n_{s1}+n_{s2}}$ 로 역 스케일링해야 한다.

각 감쇠 비 별 시각 동기 성능은 그림 8과 같다. 감쇠 비 별로 수렴 시간과 수렴 성능에 차이가 발생하는 것을 확인할 수 있다. 본 연구에서 대상으로 하는 텔레메트리 시스템에서 요구하는 시각 동기 성능은 일반적으로 수 마이크로 초 이내이며, 고속 이동체에 탑재된다고 가정할 경우 수십 밀리 초 내에 시각 동기를 성공해야한다. 시스템 조건을 만족하는 계수를 선택하기 위하여 표 1에서 제시한 루프 필터 계수를 사용하였을 때 0.05초 이후의 성능을 관찰한 결과는 표 2와 같다.

표 2에 나타난 동기 성능과 수렴 속도를 전부 고려하였을 때, 논문에서 제안한 알고리즘의 시각 동기 성능이 감쇠 비가 0.7 이상의 계수를 선택하였을 때 텔레메트리 시스템에 적합함

을 확인할 수 있다.

다만, 슬레이브 간의 시각 동기는 시각 동기 성능만을 요구할 뿐 시각 정보 교환을 요구하지 않는 것에 비해, 마스터와 슬레이브간의 시각 동기는 시각표 혹은 IEEE-1588 등의 간단한 메시지 교환을 여전히 필요로 한다. 따라서 이를 고려하여 텔레메트리 시스템에 PLL 시각 동기 알고리즘을 적용해야한다.

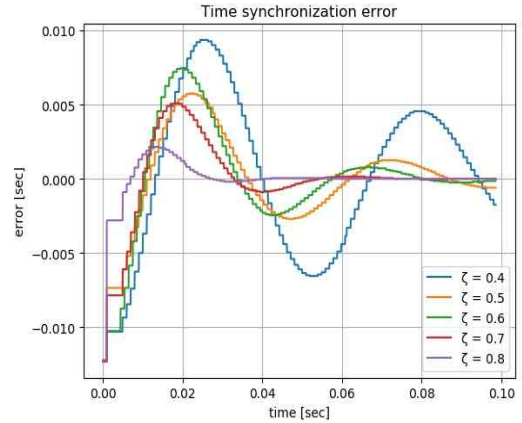


그림 8. 시간에 따른 시각 동기 오차
Fig. 8. Time synchronization error according to time

표 1. PLL 루프 필터 계수

Table 1. PLL loop filter coefficient

Damping ratio	K0	K1	K2
0.4	34360	78	10
0.5	34360	102	10
0.6	34360	121	10
0.7	34360	137	9
0.8	34360	151	8

표 2. 시각 동기 성능

Table 2. Time synchronization performance

Damping ratio	Average [uses]	Variance [uses]
0.4	-185.2	15.03
0.5	-109.8	1.223
0.6	0.8	0.3387
0.7	11.7	0.009483
0.8	8.15	0.0003411

IV. 결 론

텔레메트리 시스템은 비행중인 비행체의 성능을 실시간으로 확인하고 분석하기 위해 내부 상태정보를 계속하여 수신소로 전송하는 시스템으로 대형 비행체의 경우 각각의 분산 획득 장치들을 통해 상태 정보를 계속하고 유/무선 네트워크를 통해 데이터를 획득한다. 때문에 분산 장치들 간의 시각 동기화가 점차 중요해지면서 시각 동기 알고리즘에 관련한 연구가 진행되어 왔다.

본 논문에서는 타 연구에서 제시한 시각 동기 알고리즘에 비하여 구현의 복잡도가 적고, 시각 동기화를 위해 추가적인 메시지 전송을 최소화하여, 데이터 처리 속도 측면에서 우수한 성능을 기대할 수 있는 PLL 기반의 알고리즘을 제안하였다.

제안한 PLL은 2차 루프 필터를 적용하여 시각 동기 알고리즘을 구현하였으며 python을 이용하여 이론적 타당성을 시뮬레이션을 통해 확인하였다. 확인한 시각 동기 알고리즘은 텔레메트리 시스템에 적용하기 위해 PLL 루프 필터 계수를 스케일링하고, 최적화하여 FPGA의 VHDL 로직으로 구현하여 시각 동기 성능을 확인하였다. 이때 PLL 루프 필터 계수를 변경하여 시뮬레이션을 수행하면서 시간에 따른 시각 동기 오차를 확인하였다.

결과에 따르면 감쇠 비가 0.7 이상인 PLL 시각 동기 알고리즘을 텔레메트리 시스템에 적용한다면 시각 동기 측면에서 우수한 성능을 기대할 수 있다.

Reference

- [1] A. Berdugo and J. Hildin, "A system approach to a network centric airborne data acquisition system," in *Proceeding of the International Telemetry Conference*, San Diego: CA, Vol.42, pp.198-206, Oct. 2006 .
- [2] J. Hildin, and S. Arias, "Airborne Network Switch With IEEE-1588 Support", in *Proceedings of the 42nd Annual International Telemetry Conference*, San Diego: CA, Vol. 42, Oct. 2006.
- [3] M. Mock, R. Frings, E. Nett and S. Trikaliotis, "Continuous clock synchronization in wireless real-time applications," in *Proceeding of the 19th IEEE Symposium on Reliable Distributed Systems*, Washington: WA, pp.125-133, Oct. 2000.
- [4] F. Sivrikaya and B. Yener, "Time synchronization in sensor networks: a survey," *IEEE Network*, Vol. 18, No. 4, pp. 45-50, 2004.
- [5] R. Michael, *Digital Communications: A Discrete Time Approach*, London, UK: Pearson, 2008.
- [6] S. Buhr, M. Kreißig and F. Ellinger, "Low Power 16 Phase Ring Oscillator and PLL for Use in sub-ns Time Synchronization over Ethernet," in *Proceeding of the IEEE International Conference on Electronic, Circuits and Systems*, Bordeaux, pp.53-56, 2018.
- [7] C. Andrich, J. Bauer, P. Große, A. Ihlow and G. D. Galdo, "A Fast and Stable Time Locked Loop for Network Time Synchronization with Parallel FLL and PLL," in *Proceeding of the IEEE International Symposium on Precision Clock Synchronization for Measurement, Control, and Communication*, Geneva, pp.1-4, 2018
- [8] F. Ring, T. Bigler and R. Exel, "Synchronization robustness using Kalman-based clock servos," in *Proceeding of the IEEE International Symposium on Precision Clock Synchronization for Measurement, Control, and Communication*, Beijing:China, pp.64-69, 2015



김 건 희 (Geon-Hee Kim)

2014년 2월 : 서울과학기술대학교 전자정보공학과 (공학사)
 2015년 4월 ~ 현재 : 단암시스템즈(주) 통신기술연구소 재직 중
 ※관심분야 : 항공 통신 시스템, 원격측정장치



진 미 현 (Mi-Hyun Jin)

약력 2010년 2월 : 충남대학교 전자전파정보통신공학부 (공학사)
 2017년 2월 : 충남대학교 전자공학과 공학박사
 2017년 8월 ~ 현재 : 단암시스템즈(주) 항법기술연구소 재직 중
 ※관심분야 : 위성항법, 위성통신, 소프트웨어 수신기



김 복 기 (Bok-Ki Kim)

약력 1995년 2월 : 서울대학교 수학과 (이학사)
 1997년 2월 : 서울대학교 수학과(정수론) (이학석사)
 1997년 1월 ~ 2002년 4월 : 단암전자통신(주) 연구소
 2002년 5월 ~ 현재 : 단암시스템즈(주) 통신기술연구소 재직 중
 ※관심분야 : 무선통신, 채널코딩, 디지털 신호처리 구조