

PoP용 Substrate의 Warpage 감소를 위해 유한요소법을 이용한 설계 파라메타 연구

조승현[†] · 이상수

동양미래대학교 기계공학과

Study on Design Parameters of Substrate for PoP to Reduce Warpage Using Finite Element Method

Seunghyun Cho[†] and Sangsoo Lee

Department of Mechanical Engineering, Dongyang Mirae University, 445, Gyeongin-ro, Guro-gu, Seoul 08221, Korea

(Received August 10, 2020; Corrected August 25, 2020; Accepted September 9, 2020)

초 록: 본 논문에서는 FEM(유한요소) 기법을 사용하여 칩이 실장되는 얇은 substrate와 칩이 실장된 substrate의 warpage를 해석하여 칩의 실장이 warpage에 미치는 영향을 비교·분석하였다. 또한, warpage를 감소시키기 위한 substrate의 층별 두께의 영향도 분석과 층별 두께 조건을 다구찌법에 의한 신호 대 잡음 비로 분석하였다. 해석 결과에 의하면 칩이 실장되면 substrate의 warpage는 패턴의 방향이 변할 수 있고, 칩이 실장되면서 패키지의 강성도(stiffness)가 증가하고, 패키지 상·하의 열팽창계수의 차이가 작아지면서 warpage는 감소하였다. 또한, 칩이 실장되지 않은 substrate를 대상으로 설계 파라메타의 영향도 분석 결과에 의하면 warpage를 감소시키기 위해서는 회로층 중에서 내층인 Cu1과 Cu4를 중점 관리하고, 다음으로 바닥면의 solder resist 층의 두께와 Cu1과 Cu2 사이의 프리프레그 층의 두께를 관리해야 한다.

Abstract: In this paper, we calculated the warpage of bare substrates and chip attached substrates by using FEM (Finite Element Method), and compared and analyzed the effect of the chips' attachment on warpage. Also, the effects of layer thickness of substrates for reducing warpage were analyzed and the conditions of layer thickness were analyzed by signal-to-noise ratio of Taguchi method. According to the analysis results, the direction of warpage pattern in substrates can change when chips are attached. Also, the warpage decreases as the difference in the CTE (coefficient of thermal expansion) between the top and bottom of the package decreases and the stiffness of the package increases after chips are loaded. In addition, according to the impact analysis of design parameters on substrates where chips are not attached, in order to reduce warpage, the inner layers of the circuit layer Cu1 and Cu4 has be controlled first, and then concentrated on the thickness of the solder resist on the bottom side and the thickness of the prepreg layer between Cu1 and Cu2.

Keywords: PoP, PCB, Taguchi, Warpage, FEM

1. 서 론

반도체 칩을 조립하고 검사하는 패키징에서 반도체 칩들을 3차원 구조로 적층하는 패키징 기술 중 하나로 활발히 개발이 진행되고 있는 PoP (Package on Package) 기술은 스마트폰, 모바일 제품, RF, 전장부품, 디스플레이, 의료 등 전방위 분야에 사용되는 반도체 소자의 초소형화와 성능 향상을 위한 핵심 기술이다. PoP 공정기술은 패키지를 3차원으로 적층하는 3D 패키지 기술로서 작고 얇

으면서도 고성능과 다기능을 구현할 수 있으며, 전력소모가 작아 장시간 구동이 가능하기 때문에 모바일 기기 제품에 적합한 기술이다.

이러한 PoP 기술은 칩을 적층할수록 두께 증가를 최소화하기 위해 칩을 얇게 가공하고 얇은 두께의 PCB를 사용해야하기 때문에 PoP를 이루는 상부, 하부 패키지에서 warpage가 크게 발생할 수 있다. PoP의 warpage는 패키지에서 발생하는 언더필과 솔더 조인트의 박리, 크랙, 솔더 조인트의 open joint 불량 등 신뢰성 이슈의 근본적 원

[†]Corresponding author
E-mail: coolsh@dongyang.ac.kr

© 2020, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

인으로 오랜기간 개선의 대상이 되고 있다.¹⁻⁸⁾ 대표적인 방법으로는 패키지 레벨의 warpage를 줄이기 위해 PCB 레벨의 디자인 및 소재 개발, PoP 공정기술의 개발, 수치해석을 위한 근본적 메커니즘을 고찰하기 위한 것들이 있다.⁹⁻¹⁸⁾

특히, PCB의 두께가 얇아지고, 적층수가 증가하면서 PCB의 warpage가 PoP의 신뢰성에 미치는 영향은 더욱 증가하기 때문에 PCB 제조기업은 PCB의 소재개발 뿐만 아니라 회로층, 절연층, SR층의 두께 최적화로 PoP용 PCB의 warpage를 제어하고 있다.

따라서 본 논문에서는 PoP용 PCB의 warpage를 칩이 실장되기 전 bare substrate와 반도체 칩이 실장된 substrate를 reflow 조건에서 유한요소법을 이용한 수치해석으로 분석하였다. 또한, Bare substrate 상태에서 warpage가 최소화되는 층 두께를 다구찌법에 의한 SN비 분석으로 최적화하였다. 이와 같은 연구는 PoP용 PCB 개발 및 제조 엔지니어들에게 반도체 칩이 실장되는 전·후의 warpage 패턴을 이해하고, PCB의 warpage를 최소화하는 층별 두께를 어떻게 관리해야하는지에 대한 유용한 정보를 제공할 것으로 기대된다.

2. 수치해석

2.1 유한요소 모델링

본 논문에서 해석을 위해 선정한 모델은 Fig. 1과 같이 4층 회로를 갖는 PoP용 substrate이다. 칩이 warpage에 미치는 영향을 고찰하기 위해 칩이 실장되지 않은 bare substrate와 칩이 실장된 substrate를 해석하였다. 유한요소는 8-노드를 갖는 육면체 메쉬를 사용하였고 substrate의 각 층과 반도체 칩을 모델링하여 각 메쉬의 노드를 일치 시킴으로써 각 요소들이 완벽하게 접합되었다고 가정하였다.

칩이 실장된 모델의 경우 칩의 사이즈는 7.8 mm×7.9 mm이고, 두께는 0.15 mm이다. 칩과 substrate를 연결하는 솔더 조인트의 지름과 높이는 각각 80 μm이며, 언더필 (underfill)의 높이도 80 μm로 동일하다.

Table 1은 substrate의 층 구조와 층별 두께를 나타낸 표이다. Substrate는 코어(Core)를 중심으로 상·하 2개의 회로층을 갖고 있으며 반도체 기업으로부터 제공된 최소값, 평균값, 최대값의 두께가 반영되어 전층 두께는 324

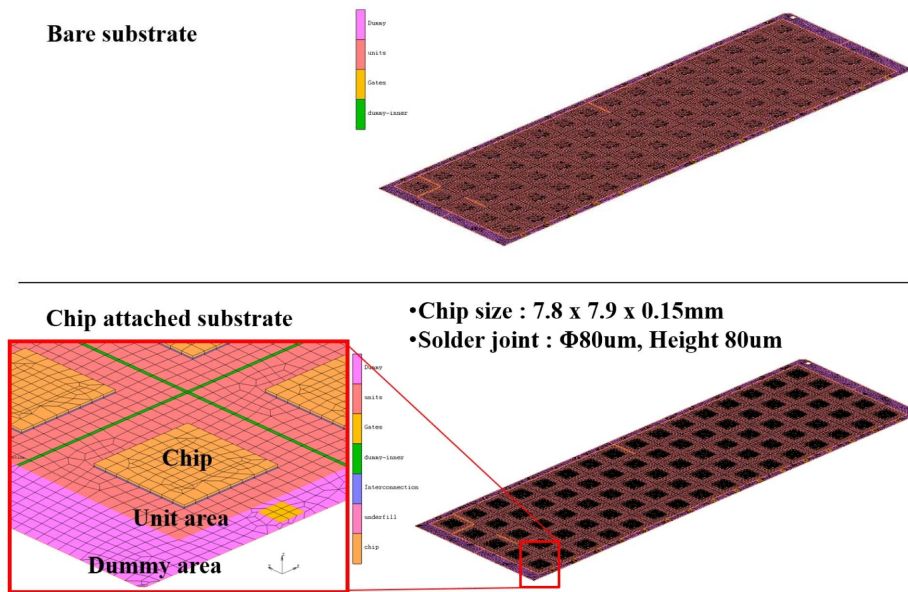


Fig. 1. Structure of bare and chip attached substrate for PoP

Table 1. Material thickness of substrate for PoP

Material	Minimum thickness, mm	Average thickness, mm	Maximum thickness, mm
Solder resist on top surface	13	14	16
1 st . circuit layer	16	18	20
Prepreg between 1 st . and 2 nd . circuit layer	35	38	40
2 nd . circuit layer	22	26	30
Core	152	155	156
3 rd . circuit layer	22	26	29
Prepreg between 3 rd . and 4 th . circuit layer	35	37	38
4 th . circuit layer	17	18	20
Solder resist on bottom surface	12	14	16
Total thickness, mm	324	346	365

mm~365 mm 이다. Substrate의 두께는 warpage에 중요한 변수이기 때문에 다구찌법에 의한 실험계획법에는 각 층의 최소 두께와 최대 두께를 고려하였다.

Table 2는 substrate의 회로층 별 구리 비율을 보여주고 있다. 회로층은 구리와 절연층으로 구성되어 있고, 구리의 비율은 회로층의 탄성계수, 열팽창계수 등 특성값에 직접적인 영향을 미치고, 이것은 warpage와 밀접한 관련이 있기 때문에 회로층의 구리 비율은 매우 중요하다. 본 논문에서는 Fig. 1에 표기한 바와 같이 PCB substrate를 dummy영역과 unit 영역으로 나눠 회로층의 구리 비율을 표기하였고, 회로층의 재료특성값은 혼합률(rule of mixture)을 사용하여 계산하였다. 혼합률 계산에 적용된 substrate의 재료특성값과 칩, 솔더 조인트 및 언더필의 재료특성값은 Table 3과 같다.

Table 2. Copper portion of circuit layers in substrate

Material	Dummy area, %	Unit area, %
1 st . circuit layer	9	63
2 nd . circuit layer	6	63
3 rd . circuit layer	6	61
4 th . circuit layer	7	68

Table 3. Material properties of substrate and package for PoP

Materials	Elastic modulus, GPa	CTE, $\mu\text{m}/\text{m}\cdot^\circ\text{C}$	Poisson's ratio
Solder resist (T_g 114 $^\circ\text{C}$)	3.4/0.5	60/130	0.35
Prepreg (T_g 154 $^\circ\text{C}$)	7.5	23/78	0.3
Core (T_g 230 $^\circ\text{C}$)	32.5	xy : 10.5/5 z : 17.5/70	0.343
Chip	192	1.5 ~ 3.3	0.3
Solder joint	61.65	20.8 ~ 27.2	0.4
Underfill (T_g 65 $^\circ\text{C}$)	8.5	36/120	0.313

Table 5. Orthogonal array of $L_{16}(9^2)$ of Taguchi method for substrate

No.	SR1	Cu1	PPG1	Cu2	Core	Cu3	PPG2	Cu4	SR2	Total thickness, mm
1	13	16	35	22	152	22	35	17	12	324
2	13	16	35	22	152	22	35	20	16	331
3	13	16	35	30	156	29	38	17	12	346
4	13	16	35	30	156	29	38	20	16	353
5	13	20	40	22	152	29	38	17	12	343
6	13	20	40	22	152	29	38	20	16	350
7	13	20	40	30	156	22	35	17	12	345
8	13	20	40	30	156	22	35	20	16	352
9	16	16	40	22	156	22	38	17	16	343
10	16	16	40	22	156	22	38	20	12	342
11	16	16	40	30	152	29	35	17	16	351
12	16	16	40	30	152	29	35	20	12	350
13	16	20	35	22	156	29	35	17	16	346
14	16	20	35	22	156	29	35	20	12	345
15	16	20	35	30	152	22	38	17	16	346
16	16	20	35	30	152	22	38	20	12	345

2.2 해석 조건

유한요소법을 이용한 수치해석을 위해 온도의 영향만을 고려하였는데 온도 조건은 칩 실장 후와 비교하기 위해 Fig. 2와 같이 리플로우(Reflow) 조건이 모든 노드에 균일하게 적용된다고 가정하였다. 온도를 고려한 thermo-mechanical coupled 해석은 비선형 거동 해석용 범용 프로그래밍인 MSC/MARC2019 소프트웨어를 사용하였다.

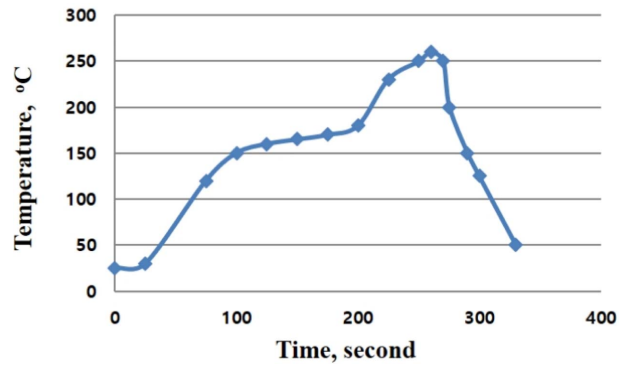


Fig. 2. Temperature profile with reflow condition.

Table 4. Factor and level of the Taguchi method for substrate

Factor	Level, mm	
	1	2
Solder resist on top surface (SR1)	13	16
1 st . circuit layer (Cu1)	16	20
Prepreg between 1 st . and 2 nd . circuit layer (PPG1)	35	40
2 nd . circuit layer (Cu2)	22	30
Core	152	156
3 rd . circuit layer (Cu3)	22	29
Prepreg between 3 rd . and 4 th . circuit layer (PPG2)	35	38
4 th . circuit layer (Cu4)	17	20
Solder resist on bottom surface (SR2)	12	16

PoP용 substrate의 warpage를 제어하는 방법으로 PCB 제조기업에서는 절연층과 회로층의 두께의 최적두께를 선정하는 방법을 적용하고 있다. 따라서 본 논문에서도 substrate의 warpage에 미치는 최적의 두께를 선정하기 위해 두께를 설계인자로 선정하여 효과를 분석하였다. Table 5와 같이 substrate의 최소 두께와 최대 두께를 설계 수준으로 선정하였고, Table 6과 같이 substrate 두께 인자 9개를 선정하고 warpage에 미치는 영향도 분석을 위한 9인자 2수준의 $L_{16}(9^2)$ 직교배열표를 적용하였다. 9인자는 절연층인 윗면과 아랫면의 solder Resist, 두개층의 prepreg, core층, 그리고 4개의 회로층이다. warpage에 미치는 영향도 분석은 다구찌법에 의해 warpage가 작으면 작을수록 좋은 망소특성으로 SN비(signal to noise)을 분석하였다.

3. 결과 및 고찰

3.1 Warpage 해석

Fig. 3은 리플로우 온도조건에서 칩이 실장되지 않은 substrate의 최외곽 코너에서 발생한 warpage 분포를 나타낸 결과이다. warpage는 리플로우 온도 프로파일과 같은 패턴으로 발생하였는데 warpage는 (-)값으로 계산되었다. 즉, 칩이 실장되는 윗면을 기준으로 warpage 형태는 아래로 볼록한(concave) 형태인 것이다. 이와 같은 패턴이 발생한 것은 bare PCB substrate의 재료특성값 때문으로 Fig. 4에서 보여주는 바와 같이 core를 중심으로 윗부

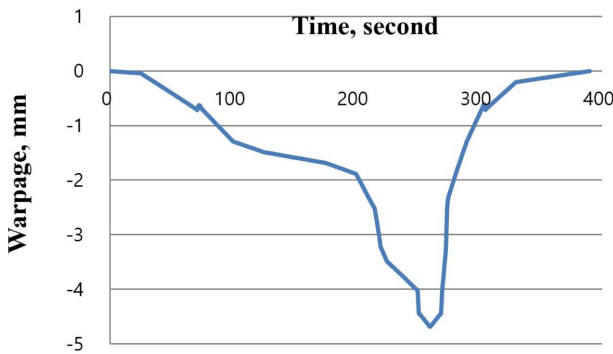


Fig. 3. Warpage of bare substrate under reflow condition.

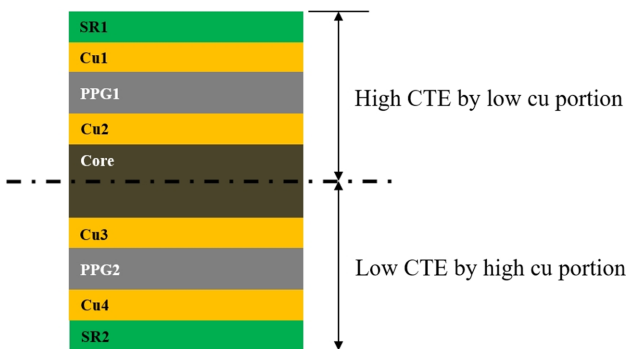


Fig. 4. CTE difference between upper and lower parts of core layer in bare substrate.

분(1차, 2차 회로층)의 구리 비율이 낮고 절연재의 비율이 높아서 아랫 부분에 비해 열팽창계수가 높아 리플로우 온도가 상승할수록 윗 부분의 변형량이 아랫 부분보다 크기 때문에 발생하는 것이다. Fig. 5는 리플로우 온도 조건에서 발생한 칩이 실장되지 않은 substrate의 warpage 분포를 5배 확대한 결과이다. 칩이 실장되는 윗면을 기준으로 warpage 형태는 아래로 볼록한(concave) 형태로 최대 약 210 μm 가 발생한 것을 확인할 수 있다.

Fig. 6은 리플로우 온도조건에서 칩이 실장된 substrate의 최외곽 코너에서 발생한 warpage 분포를 나타낸 결과이다. warpage는 리플로우 온도 프로파일과 같은 패턴으로 발생하였고 warpage는 (+)값으로 계산되어 칩이 실장되는 윗면을 기준으로 warpage 형태는 아래로 오목한(convex) 형태이다. 이와 같은 패턴이 발생한 것은 열팽창계수가 낮은 칩의 영향 때문으로 Fig. 7과 같이 core를 중심으로 윗 부분이 칩이 실장되면서 아랫 부분에 비해 열팽창계수가 낮아 리플로우 온도가 상승할수록 아랫 부분의 변형량이 윗 부분보다 크기 때문에 발생한 결과이다. Fig. 8은 리플로우 온도조건에서 발생한 칩이 실장된 substrate의 warpage 분포를 5배 확대한 결과이다. 칩이 실장되는 윗면을 기준으로 warpage 형태는 아래로 오목한(convex) 형태로 최대 약 1.41 μm 가 발생한 것을 확인할 수 있다.

이와 같은 결과로부터 칩이 실장되면 substrate의

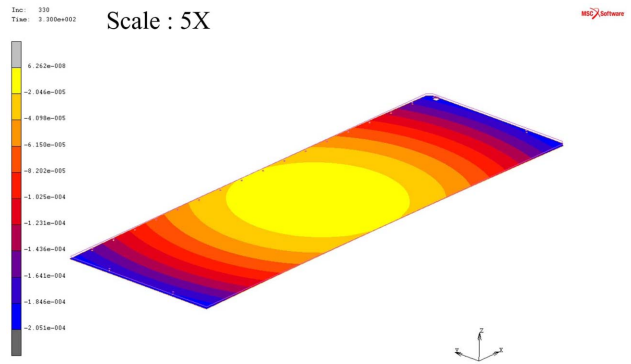


Fig. 5. Warpage distribution of bare substrate at end of reflow condition.

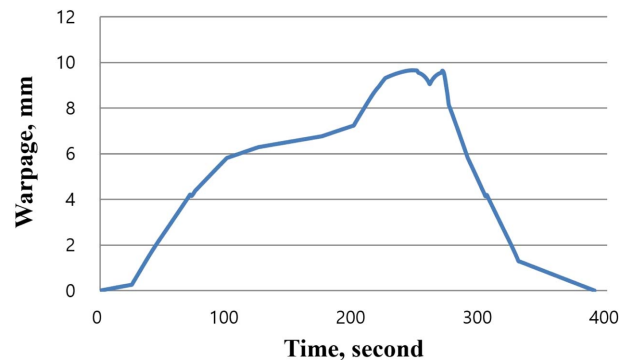


Fig. 6. warpage of chip attached PCB substrate under reflow condition.

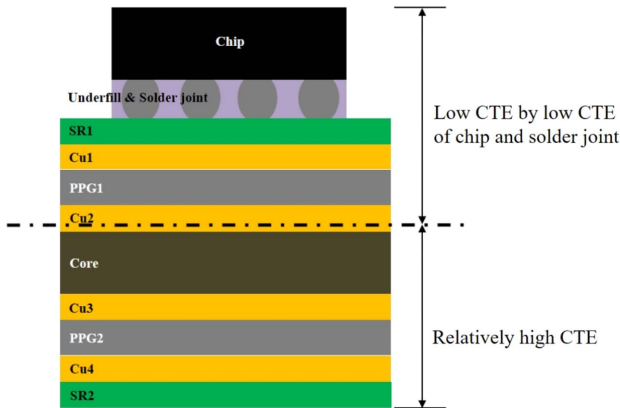


Fig. 7. CTE difference between upper and lower parts of center in chip attached substrate.

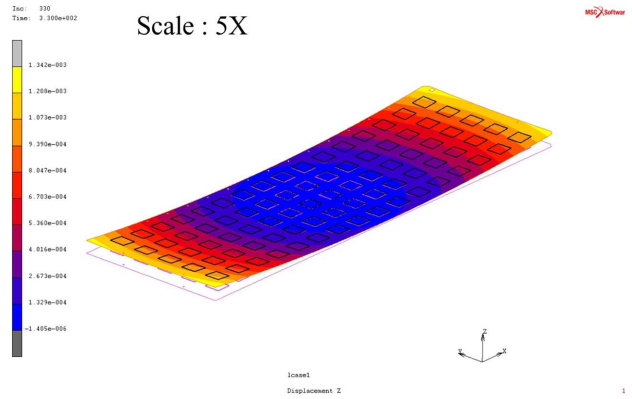


Fig. 8. Warpage distribution of chip attached PCB substrate at end of reflow condition.

warpage는 패턴의 방향이 변하고 패키지의 강성도 (stiffness)가 증가하고, 패키지 상·하의 열팽창계수의 차이가 작아지면서 warpage는 감소하였다.

3.2 파라메타 영향도 해석

Table 6은 망소특성에 의한 파라메타의 신호 대 잡음비(SN비)로 계산된 warpage에 대한 파라메타의 기여율 (contribution ratio)를 계산한 결과이다. 표에서 보여주는 바와 같이 Cu1의 기여율이 62.9%로 가장 높고, Cu4가

10.5%로 두 번째로 높았으며, SR2가 7.3%로 세 번째, PPG1이 6.3%로 네 번째로 높았다. 그리고 그 외 파라메타들은 5% 미만의 기여율로써 warpage에 대한 영향도가 낮았다. 따라서 칩이 실장되지 않은 substrate의 warpage를 감소시키기 위해서는 회로층 중에서 내층인 Cu1과 Cu4를 중점 관리하고, 다음으로 바닥면의 solder resist 층의 두께와 Cu1과 Cu2 사이의 프리프레그 층의 두께를 관리하는 것이 바람직하다.

Fig. 9은 다구짜 망소특성에 의한 파라메타의 신호 대

Table 6. Contribution of parameters on warpage of bare substrate

Level	SR1	Cu1	PPG1	Cu2	Core	Cu3	PPG2	Cu4	SR2
1	9.463	13.333	9.836	9.153	9.341	9.547	9.163	10.095	9.895
2	9.426	5.557	9.053	9.736	9.548	9.342	9.727	8.794	8.994
Contribution ratio, %	0.3	62.9	6.3	4.7	1.7	1.7	4.6	10.5	7.3
Ranking	9	1	4	5	7	8	6	2	3

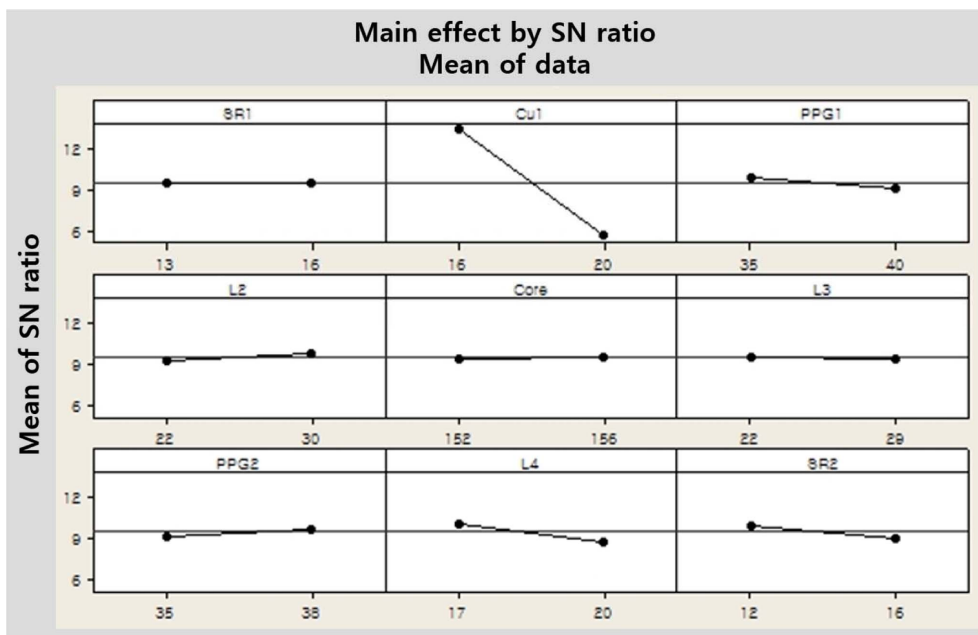


Fig. 9. Main effect parameters of bare substrate warpage on SN ratio.

Table 7. Optimized thickness conditions of parameters of substrate for low warpage

Parameter	SR1	Cu1	PPG1	L2	Core	L3	PPG2	L4	SR2
Thickness, mm	16	16	35	30	156	22	38	17	12

잡음 비(SN비)를 나타낸 그림으로 파라메타의 영향도와 최적조건을 보여주고 있다. 신호 대 잡음 비는 크면 클수록 강건설계이기 때문에 각 파라메타의 왼쪽에 표기된 신호 대 잡음 비는 숫자가 클수록 warpage를 감소시키는 조건이 된다. 또한, 그래프의 기울기는 각 파라메타의 영향도를 나타내는 것으로 기울기가 클수록 파라메타의 warpage에 대한 영향도가 크다고 할 수 있다.

그림에 의하면 회로층은 외층(Cu1과 Cu4)의 두께가 얇을수록 warpage를 감소시킬 수 있고, solder resist 층은 두께가 얇을수록 warpage를 감소시킬 수 있다. 이때, SR1은 영향도가 거의 없고, SR2의 영향도가 상대적으로 높다는 것을 알 수 있다. 또한, 회로층의 내층(Cu3과 Cu4)은 두께가 두꺼울수록 warpage를 감소시킬 수 있는데 Cu3의 영향도가 거의 없기 때문에 상대적으로 Cu2의 영향도가 크다고 할 수 있다. 끝으로 core는 영향도가 거의 없으나 가능하면 얇게 하는 것이 warpage를 줄이는데 효과적이다. 이러한 신호 대 잡음 비 분석을 통해 도출된 칩이 실장되지 않은 substrate의 최적 두께 조건을 정리하면 Table 7과 같다.

4. 결 론

본 논문에서는 유한요소법을 사용하여 칩이 실장되는 얇은 substrate와 칩이 실장된 substrate의 warpage를 해석하여 칩의 실장이 warpage에 미치는 영향을 비교·분석하였다. 또한, warpage를 감소시키기 위한 substrate의 층별 두께의 영향도 분석과 층별 두께 조건을 다구찌법에 의한 신호 대 잡음 비로 분석하였다. 해석 결과에 의하면 칩이 실장되면 substrate의 warpage는 패턴의 방향이 변할 수 있고, 칩이 실장되면서 패키지의 강성도(stiffness)가 증가하고, 패키지 상·하의 열팽창계수의 차이가 작아지면 warpage는 감소하였다.

또한, 칩이 실장되지 않은 substrate를 대상으로 설계 파라메타의 영향도 분석 결과에 의하면 warpage를 감소시키기 위해서는 회로층 중에서 내층인 Cu1과 Cu4를 중점 관리하고, 다음으로 바닥면의 solder resist 층의 두께와 Cu1과 Cu2 사이의 프리프레그 층의 두께를 관리해야 한다.

이러한 결과는 칩이 실장되지 않은 substrate의 warpage 제어가 더욱 어렵고, 칩이 실장되면 warpage의 패턴과 크기가 달라지기 때문에 패키지 관점에서 substrate의 warpage는 제어되어야 한다는 것을 시사한다.

이와 같은 본 논문의 결과는 PoP용 substrate의 층별 구조를 설계할 때 PCB 관점 뿐만 아니라 패키지 관점을 동시에 고려한 설계가 필요함을 제시하였고, PCB 제조 및

개발엔지니어들에게 warpage를 감소시키고 신뢰성을 향상시키는 실용적이고 유용한 접근법을 제시할 것으로 기대할 수 있다.

감사의 글

이 연구는 한국연구재단 이공학 개인기초 연구사업(과제번호 : 2018R1DA1B07043440)의 지원으로 수행되었습니다.

References

1. M. Y. Tsi, C. H. J. Hsu, and C. T. O. Wang, "Investigation of thermomechanical behaviors of flip chip BGA packages during manufacturing process and thermal cycling", *Components and Packaging Technologies*, 27(3), 568 (2004).
2. R. Darveaux, C. Reichman, and N. Islam, "Interface Failure in Lead Free Solder Joints", *Proc. 56th Electronic Components and Technology Conference (ECTC)*, San diego, 906 (2006).
3. S. H. Cho, S. J. Cho, and J. Y. Lee, "Estimation of warpage and thermal stress of IVHs in flip-hip ball grid arrays package by FEM", *Microelectronics Reliability*, 48(2), 300 (2008).
4. J. H. Lau and S. W. R. Lee, "Effects of Build-Up Printed Circuit Board Thickness in the Solder Joint Reliability of a Wafer Level Chip Scale Package(WLCSP)", *Trans. Comp. Packag. Technol.*, 25(1), 51 (2002).
5. S. H. Cho, H. I. Jung, and O. C. Bae, "Numerical Analysis on the Design Variables and Thickness Deviation Effects on Warpage of Substrate for FCCSP", *J. Microelectron. Packag. Soc.*, 19(3), 57 (2012).
6. W. Sun, W. H. Zhu, C. K. Wang, A. Y. S. Sun, and H. B. Tan, "Warpage Simulation and DOE Analysis with Application in Package-on-Package Development", *Proc. 9th Int. Conf. on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems, Euro-SimE, Freiburg*, 244, IEEE (2008).
7. Y. L. Tzeng, N. Kao, E. Chen, J. Y. Lai, Y. P. Wang, and C. S. Hsiao, "Warpage and Stress Characteristic Analyses on Package-on-Package (PoP) Structure", *Proc. 9th Electronics Packaging Technology Conference (EPTC)*, Singapore, 482, IEEE (2007).
8. W. Sun, W. H. Zhu, K. S. Le, and H. B. Tan, "Simulation Study on the Warpage Behavior and Board-level Temperature Cycling Reliability of PoP Potentially for High-speed Memory Packaging", *Proc. International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP)*, Shanghai, 978, IEEE (2008).
9. C. M. Ryder, "Embedded components: A comparative analysis of reliability", *Proc. IPC APEX, Las Vegas*, 3156 (2011).
10. S. H. Cho D. H. Kim, Y. G. Oh, J. T. Lee, and S. S. Cha, "A Study on the Parameters of Design for Warpage reduction of Passive components Embedded Substrate for PoP", *J. Microelectron. Packag. Soc.*, 22(1), 75 (2015).

11. L. Boettcher, S. Karaszkiwicz, D. Manassis, and A. Ostmann, "Embedded chip technology: Technologies, applications, and future developments", Proc. SMTA, San Diego, 9 (2012).
12. C. T. Ko, S. Chen, C. W. Chiang, T. Y. Kuo, Y. C. Shih, and Y. H. Chen, "Embedded active device packaging technology for next-generation chip-in-substrate package, CiSP", Proc. 56th Electronics Components and Technology Conference (ECTC), San Diego, 322, IEEE (2006).
13. L. Boettcher, D. Manassis, A. Ostmann, and H. Reichel, "Realization of system in package modules by embedding of chips", Proc. IMAPS Device Packaging, Scottsdale, 397 (2008).
14. H. W. Park, S. H. Cho, J. Kress, A. Bruderer, and N. Galster, "Dielectric composite material with good performance and process ability for embedding of active and passive components into PCBs", Proc. 63rd Electronic Components and Technology Conference (ECTC), Las Vegas, 1325, IEEE (2013).
15. S. H. Cho, D. H. Kim, Y. G. Oh, J. T. Lee, and S. S. Cha, "A Study on the Parameters of Design for Warpage reduction of Passive components Embedded Substrate for PoP", J. Microelectron. Packag. Soc., 22(1), 75 (2015).
16. D. H. Park and T. S. Oh, "Reliability Characteristics of a Package-on-Package with Temperature/Humidity Test, Temperature Cycling Test, and High Temperature Storage Test", J. Microelectron. Packag. Soc., 23(3), 43 (2016).
17. S. Yi, K. O. Kim, D. W. Lee, H. W. Kim, and T. S. Jung, "Embedded passive device technology for wireless mobile devices", Microelectronics International, 30(1), 33 (2013).
18. T. Snyder and S. Yi, "Thermal performance of embedded active chips", Proc. 9th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT), 209 (2014).