

단면 연마된 실리콘 웨이퍼의 열에 의한 휨 거동

김준모¹ · 구창연² · 김택수^{1,†}

¹KAIST 기계공학과, ²포항공과대학교 기계공학과

Thermal Warpage Behavior of Single-Side Polished Silicon Wafers

Junmo Kim¹, Chang-Yeon Gu², and Taek-Soo Kim^{1,†}

¹Department of Mechanical Engineering, Korea Advanced Institute of Science and Technology (KAIST),
291 Daehak-ro, Yuseong-gu, Daejeon 34141, Korea

²Department of Mechanical Engineering, Pohang University of Science and Technology (POSTECH),
77 Cheongam-ro, Nam-gu, Pohang, Gyeongbuk 37673, Korea

(Received August 24, 2020: Corrected September 28, 2020: Accepted September 30, 2020)

초 록: 반도체 패키지의 경박단소화로 인해 발생하는 복잡한 휨 거동은 내부 응력을 발생시켜 박리나 균열과 같은 다양한 기계적인 결함을 야기한다. 이에 따른 수율 감소를 막기 위해 휨 거동을 정확하게 예측하려는 노력은 다양한 측면에서 그 접근이 이루어지고 있다. 이 중 패키지를 구성하는 주 재료인 실리콘 웨이퍼는 일반적으로 균질한 물질로 취급되어 열에 의한 휨 거동은 전혀 없는 것으로 묘사된다. 그러나 실리콘을 얇게 가공하기 위해서 진행되는 그라인딩과 폴리싱에 의해 상온에서 휨이 발생한다는 사실이 보고되어 있고, 이는 표면에 형성되는 damage layer가 두께 방향으로 불균질함을 발생시키는 것으로부터 기인한다. 이에 본 논문에서는 반도체 패키징 공정 중 최고온 공정 과정인 solder reflow 온도에서 단면 연마된 웨이퍼가 나타내는 휨 거동을 측정하고, 이러한 휨 량이 나타나는 원인을 연마된 면과 그렇지 않은 면의 열팽창계수를 측정함으로써 밝혀내었다. 측정에는 미세 변형률과 형상이 모두 측정 가능한 3차원 디지털 이미지 상관법(Digital Image Correlation; DIC)을 이용하였다.

Abstract: Complex warpage behavior of the electronic packages causes internal stress so many kinds of mechanical failure occur such as delamination or crack. Efforts to predict the warpage behavior accurately in order to prevent the decrease in yield have been approached from various aspects. For warpage prediction, silicon is generally treated as a homogeneous material, therefore it is described as showing no warpage behavior due to thermal loading. However, it was reported that warpage is actually caused by residual stress accumulated during grinding and polishing in order to make silicon wafer thinner, which make silicon wafer inhomogeneous through thickness direction. In this paper, warpage behavior of the single-side polished wafer at solder reflow temperature, the highest temperature in packaging processes, was measured using 3D digital image correlation (DIC) method. Mechanism was verified by measuring coefficient of thermal expansion (CTE) of both mirror-polished surface and rough surface.

Keywords: silicon wafer, warpage, digital image correlation, coefficient of thermal expansion, polishing

1. 서 론

전자제품의 경박단소화로 인하여 칩을 3차원으로 쌓아 올리기 위한 패키징 기술이 최근 주목 받고 있으나, 그에 따른 신뢰성 문제도 대두되고 있다.^{1,2)} 특히 다양한 열 공정을 포함하는 패키징 공정에서 발생하는 휨 거동(warpage)은 기계적 신뢰성에 악영향을 끼쳐 수율 감소를 야기한다. 따라서 휨 거동을 발생시키는 다양한 요인들

과 메커니즘을 이해하는 것이 필요하며, 이를 통해 반도체 패키지의 휨 거동을 예측하고 이를 저감시킬 수 있는 구조 설계가 이루어져야 한다.³⁾

휨 거동을 발생시키는 요인으로 가장 널리 알려져 있는 것은 이종재료들로 이루어진 구조로부터 발생하는 재료들 간의 물성 차이, 특히 열팽창 계수(coefficient of thermal expansion; CTE) 차이이다. 더욱 복잡해지고 있는 패키지 구조로 인해 각 재료들의 열팽창 계수 차이만으

[†]Corresponding author
E-mail: tskim1@kaist.ac.kr

© 2020, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

로도 복잡한 휨 거동이 발생하나, 실제 휨 형상은 그보다 더욱 복잡한 형태로 나타난다. 따라서 휨 량(warpage), 방향(orientation), 모드(mode), 형상(shape) 등 전반적인 거동을 표현하는 여러 인자들에 대해 열팽창 계수 차이 외에도 에폭시 소재의 점탄성, 잔류 응력(구리 도금, 경화 수축), 흡습 특성, 재료의 이방성 등의 다양한 요인들이 휨 거동에 미치는 영향이 연구되었다.⁴⁻⁸⁾

그러나 이들 연구는 주로 기판이나 에폭시 재료의 물성, 거동이 주는 영향을 확인하는 것에 집중되어 있는 실정이며, 이 외에도 패키지를 구성하는 주 재료인 실리콘 칩의 물성 및 거동 또한 휨 거동에 영향을 미칠 수 있다. 실리콘의 이방성 물성이나 back-grinding 및 polishing에 의해 축적되는 잔류응력은 잘 알려져 있으나 실제 이를 반영하여 휨 거동을 예측하는 경우는 매우 드물다.⁹⁻¹²⁾ 특히, 단면 연마 실리콘 웨이퍼의 경우 양면이 다른 특성으로 인해 두께 방향으로 불균질한 물성을 가지며,^{11,13)} 열하중에 의해 휨 거동이 발생할 것으로 예상되므로 이에 대한 검증이 필요하다. 특히 최근 wafer level package (WLP) 가 각광받고 있고, 실리콘이 패키지 내에서 base wafer, carrier wafer 등으로 많은 비율을 차지하게 되며 더욱 연구의 필요성이 크다 할 수 있다.

따라서 본 연구에서는 단면 연마 실리콘 웨이퍼의 상온 및 고온 휨을 측정하고, 그러한 거동이 발생하는 원인을 규명하였다. 패키징 공정 중 가장 고온인 solder reflow 온도에서의 휨을 측정하였고, 메커니즘을 규명하기 위하여 웨이퍼의 polishing된 면과 되지 않은 면의 열팽창계수를 각각 측정하였다. 휨 측정을 위하여 Joint Electron Device Engineering Council (JEDEC) 의 휨 표준 측정법들 중 in-plane 방향의 변형률도 함께 측정 가능한 3D DIC법을 이용하였다.

2. 실험 방법

2.1 3D DIC법을 이용한 변형 측정

4인치 크기의 단면 연마 실리콘 웨이퍼의 휨 및 in-plane 방향의 변형률을 측정하기 위하여 3D DIC법을 이용하였다. DIC 분석에는 상용 소프트웨어인 ARAMIS (GOM社, 독일)를 사용하였다. 하드웨어는 3D 분석을 위해 600만 화소의 카메라 두 대와 광학적인 오차를 줄이기 위한 파란색의 단색 LED를 각각 사용하였다. 또한 분석을 위해 랜덤한 패턴을 형성시키기 위하여 고온에서의 안정성이 확보되어 있는 세라믹 입자 스프레이를 사용하였다. (Fig. 1(a)).¹⁴⁾

고온 환경은 실리콘이 높은 열전도율을 보임을 고려하여 핫플레이트를 통해 전도로 열을 가해주어 조성하였다. 승온 과정 중 상온인 외기와와의 접촉을 차단하는 단열 효과를 위해 유리 페트리 디쉬로 시편을 덮어주었다. 실제로, 250 °C에서 윗면과 아랫면의 온도 차이는 약 3 °C로 큰 차이를 보이지 않았다. 휨 측정은 상온과 solder

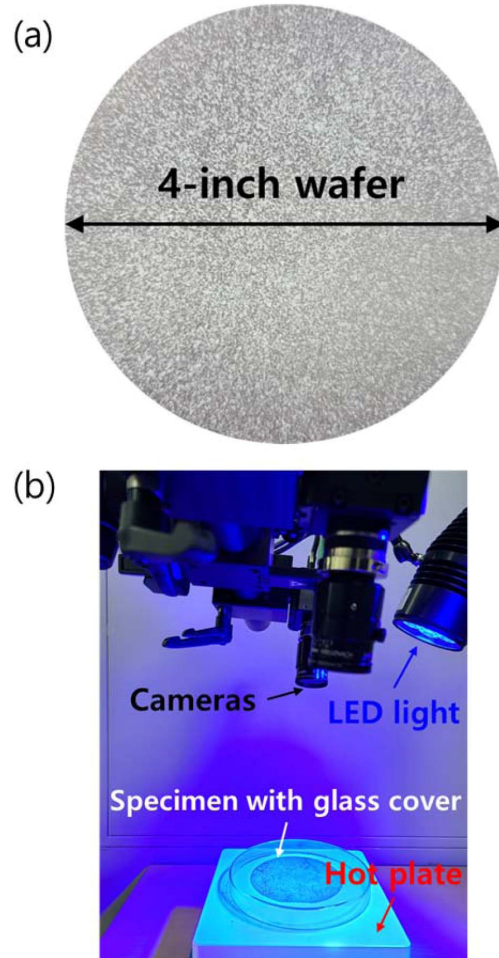


Fig. 1. (a) Random speckle pattern generated by ceramic spray on the Si wafer surface. (b) 3D-DIC set-up to measure warpage at high temperature.

reflow 온도인 250 °C에서 이루어졌다.

웨이퍼의 열팽창 계수 역시 3D DIC법을 이용하여 측정하였다.¹⁵⁾ Fig. 2(a)는 열팽창 계수 측정 과정을 도식화한 것이다. 측정을 위해 실리콘 웨이퍼를 10×70 mm 크기 시편으로 제작하였으며, 이를 자유 팽창이 가능하도록 챔버 내에서 한 쪽 끝을 고정시킨 후 가열하였다. 시편의 정확한 온도 측정을 위해 시편 주변의 온도를 thermocouple로 측정하였다.

2.2 휨 거동 및 열 변형률 분석

웨이퍼의 휨 량은 약 수 십 μm 정도로 매우 작기 때문에 외부 요인에 의해 왜곡된 형상이 측정될 가능성이 높아 이를 보정하였다(Fig. 3). 첫 번째로, 분석 면적을 촬영 면적에 비해 작게 설정하여 초점에서 벗어남으로써 발생할 수 있는 왜곡 가능성을 배제하였다. 촬영 면적은 100×70 mm로 카메라를 교정 (calibration) 하였고, 분석 면적은 소프트웨어 상에서 45×25 mm로 제한하였다. 두 번째로, 약간의 기울어짐에도 쉽게 왜곡이 일어나는 것을 보정하기 위하여 분석하고자 하는 면적에 대한 Gaussian fitting plane을 형성시키고 이에 대한 편차를 나타내었다.

또한 분석 면적의 중심을 관통하는 대각선 방향 직선을 따라 line profile을 얻은 후, 이를 polynomial curve fitting하여 그 curvature를 휨의 지표로 정량화 하였다.

열팽창 계수의 경우 측정 중 발생할 수 있는 시편의 휨을 보정하기 위하여 특정 gauge length의 변화가 아닌, 시편 표면 전면 해석(full-field analysis)을 적용하였다. 표면

위에 존재하는 모든 node들에서의 strain을 구하여 그 평균을 strain 값으로 분석하였다.

3. 실험 결과 및 고찰

Fig. 4는 상온에서 실리콘 웨이퍼의 휨을 측정한 것이다. Fig. 4(a)는 mirror-polishing이 된 앞면, (b)는 rough한 뒷면의 휨으로 각각 $1.77 \times 10^{-5} \text{ mm}^{-1}$, $1.82 \times 10^{-5} \text{ mm}^{-1}$ 의 curvature 값을 나타내며 방향이 반대로 측정되었다. 반대에 위치하는 면을 측정한 것이므로 휨 방향이 실제로는 같은 것이고, 이로부터 상온 휨의 존재성을 확인할 수 있었다.

또한 측정 결과에서 발생하는 수 μm 수준의 노이즈를 발생시키는 요인으로는 크게 두 가지가 있다. 첫 번째는 Table 1과 같이 웨이퍼 표면 상 위치에 따른 두께 편차이다. 측정 결과 웨이퍼 한 장 내에서 2~3 μm 의 두께 편차가 존재함을 확인하였고, 노이즈와 유사한 수준임을 확

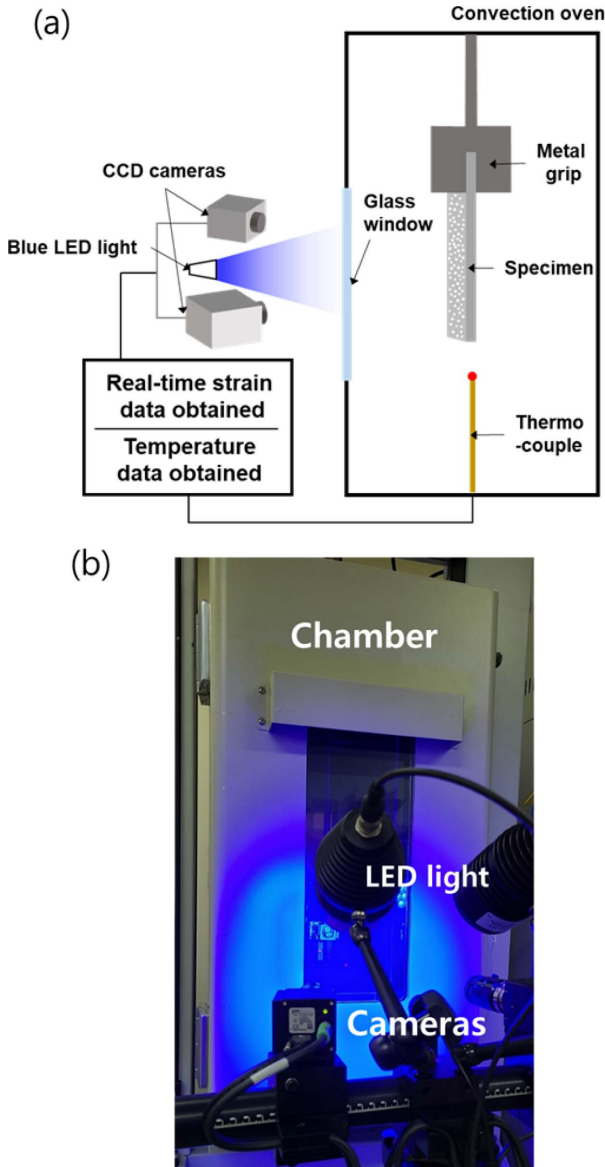


Fig. 2. (a) A schematic and (b) image of the experimental setup to measure the CTE of the Si wafer.

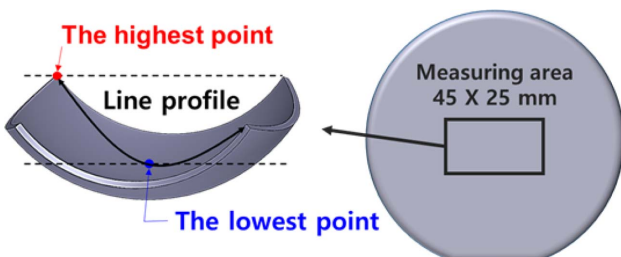


Fig. 3. DIC analysis to quantify the value of the warpage.

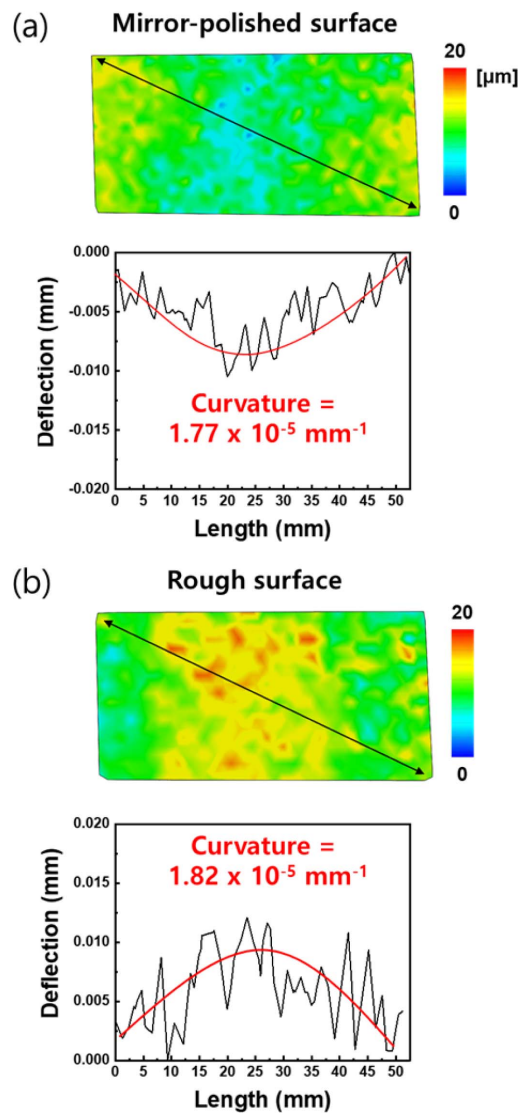


Fig. 4. Deflection contour and line profile of silicon wafer at the room temperature (a) front side, and (b) back side.

Table 1. Measurement of thickness of silicon wafers. Thickness were measured at 8 locations for each specimen. [μm]

Specimen #	Maximum thickness	Minimum thickness	Average
1	540	537	537.9 ± 1.1
2	534	532	533.0 ± 0.7

인할 수 있었다. 또한 DIC 분석을 위하여 세라믹 스프레이를 통해 표면에 형성시킨 패턴과 웨이퍼 표면의 단차 또한 그 높이가 약 수 μm 수준으로 노이즈의 원인이 될 수 있다.

이러한 단면 연마 실리콘 웨이퍼의 상온 휨은 grinding 및 polishing 과정에서 CMP 공정 여부에 따라 축적되는 잔류 응력 차이에 의해 발생한다.¹¹⁾

Fig. 5(a)는 Fig. 4(a)에서 분석한 면적의 휨을 250 °C에

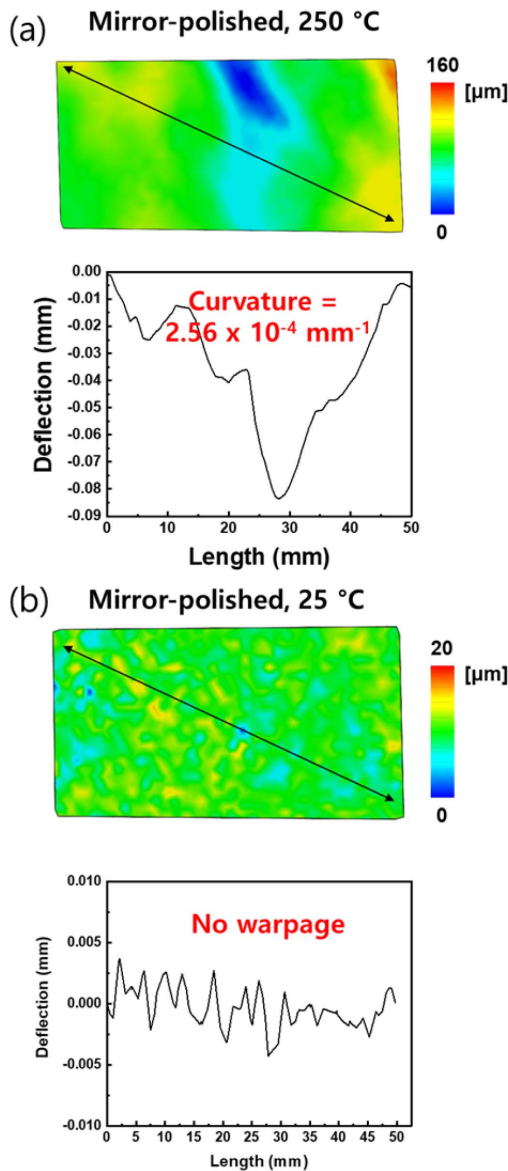


Fig. 5. Deflection contour and line profile of silicon wafer (a) at 250 °C, (b) at room temperature after cooling.

서의 측정된 결과이다. 휨 거동이 같은 방향으로 더 심화된 것을 알 수 있고, 실제 같은 line profile 상에서 curvature를 측정된 결과 $2.56 \times 10^{-4} \text{ mm}^{-1}$ 로 상온에 비해 14배 더 크게 측정되었다. 이는 quadratic function의 형상을 가정하였을 때, 300 mm 크기의 웨이퍼를 기준으로 2.88 mm의 maximum deflection을 발생시키는 curvature이다. 300 mm 웨이퍼를 사용하는 웨이퍼 레벨 패키지의 휨을 야기하는 주요 공정인 EMC 몰딩에서 약 수 mm 수준의 휨(<5 mm)이 발생하기 때문에,^{16,17)} 이러한 실리콘 단일 물질의 고온 휨이 매우 유의미한 영향을 줄 것임을 알 수 있다.

또한, 이를 다시 냉각한 후 상온에서의 휨은 측정할 수 없는 수준으로 작았다(Fig. 5(b)). 즉, 상온 휨을 야기하던 잔류 응력이 풀려 사라졌음을 확인하였다.

이러한 측정 결과를 뒷받침하기 위하여 웨이퍼 윗면(mirror-polished)과 아랫면(rough)의 열팽창 계수를 각각 측정해 본 결과는 Fig. 6과 같다. 100 °C~200 °C 구간에서 각각 윗면의 열팽창 계수는 $3.68 \pm 0.02 \text{ ppm}/^\circ\text{C}$, 아랫면의 경우 $4.88 \pm 0.20 \text{ ppm}/^\circ\text{C}$ 로 아랫면에서 약 33% 더 큰 열팽창 계수가 측정되었다. 이는 Fig. 5(b)와 같이 smile 방향 휨이 더 심화된 휨 측정 결과와 일치한다. 또한 실리콘의 열팽창 계수는 온도에 비례함이 알려져 있기 때문에,¹⁸⁾ 이를 확인한 결과 mirror-polished된 면이 알려진 실리콘과 같은 열팽창 거동을 보였으며, rough한 표면은 그보다 큰 열팽창 거동을 보였다(Fig. 6(b)).

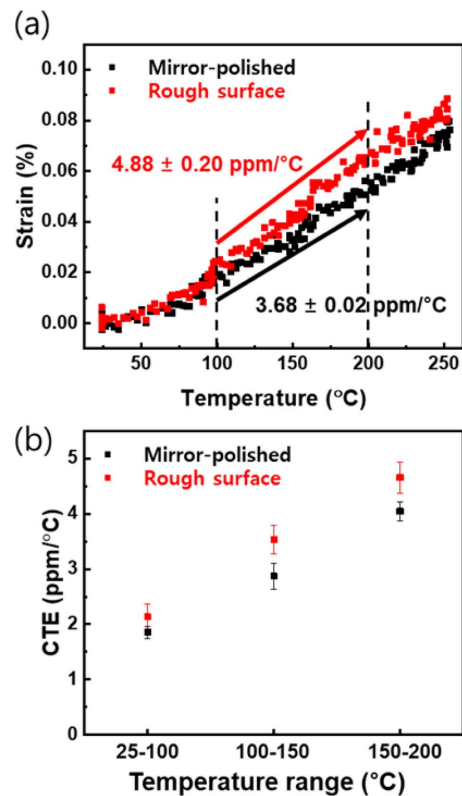


Fig. 6. (a) Measurement of coefficient of thermal expansion of single-side polished silicon wafer (b) CTE data for each temperature range.

4. 결 론

본 논문에서는 3D DIC법을 이용하여 단일 재료인 실리콘 웨이퍼의 상온 및 solder reflow 온도에서의 휨 거동을 측정하고, polishing 여부에 따른 열팽창 계수 차이를 측정하여 휨 거동 발생의 원인을 규명하였다. 휨 거동 측정 결과, 분석 면적을 기준으로 상온에서의 약 $1.82 \times 10^{-5} \text{ mm}^{-1}$ 에 비해 solder reflow 온도에서는 $2.56 \times 10^{-4} \text{ mm}^{-1}$ 의 curvature로 smile 방향의 warpage가 더 크게 측정되었다. 이는 300 mm wafer 기준으로 약 2.88 mm의 maximum deflection을 나타낼 수 있는 유의미한 warpage이다. 따라서 이에 대한 메커니즘 규명을 위해 웨이퍼의 열팽창 거동을 측정 한 결과, mirror-polishing이 된 표면은 Si의 알려진 열팽창 계수와 유사한 거동을 보인 반면, rough한 표면에서는 약 30% 큰 열팽창 계수가 측정되었다. 이러한 측정 결과는 고온에서 smile 방향으로 심화되는 휨 방향과 일치하는 경향성을 나타내었다. 본 연구 결과를 통하여 polishing 이후 단일 물질인 실리콘 칩에서도 휨 거동이 나타나는 현상을 이해한다면, 반도체 패키지의 휨 예측에 있어서 실리콘의 거동을 더욱 정확히 반영할 수 있는 기틀을 마련할 수 있을 것이다.

감사의 글

본 연구는 산업통상자원부(20010170)와 KSRC 지원 사업인 미래반도체소자 원천기술개발사업 및 2020년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원(NRF-2020M3F3A2A01081589)을 받아 연구결과로 수행되었음.

References

1. T. Yoon and T. S. Kim, "Thermo-Mechanical Reliability of TSV based 3D-IC (in Korean)", *J. Microelectron. Packag. Soc.*, 24(1), 35 (2017).
2. L. Shi, L. Chen, D. W. Zhang, E. Liu, Q. Liu, and C. I. Chen, "Improvement of Thermo-Mechanical Reliability of Wafer-Level Chip Scale Packaging", *Journal of Electronic Packaging*, 140(1), 011002 (2018).
3. P. Chen, Z. Ji, Y. Liu, C. Wu, N. Ye, and H. Takiar, "Warpage Prediction Methodology of Extremely Thin Package", *Proc. 67th Electronic Components and Technology Conference (ECTC)*, 2080, IEEE (2017).
4. C. Kim, T. I. Lee, M. S. Kim, and T. S. Kim, "Mechanism of Warpage Orientation Rotation due to Viscoelastic Polymer Substrates During Thermal Processing", *Microelectronics Reliability*, 73, 136 (2017).
5. C. Kim, T. I. Lee, M. S. Kim, and T. S. Kim, "Warpage Analysis of Electroplated Cu Films on Fiber-Reinforced Polymer Packaging Substrates", *Polymers*, 7(6), 985 (2014).
6. P. Y. Lin and S. Lee, "Warpage Modeling of Ultra-Thin Packages Based on Chemical Shrinkage and Cure-Dependent Viscoelasticity of Molded Underfill", *IEEE Transactions on Device and Materials Reliability*, 20(1), 67 (2019).
7. J. B. Pyo, T. I. Lee, C. Kim, M. S. Kim, and T. S. Kim, "Prediction of Time-Dependent Swelling of Flexible Polymer Substrates Using Hygro-Mechanical Finite Element Simulations", *Soft matter*, 12(18), 4135 (2016).
8. T. I. Lee, C. Kim, J. B. Pyo, M. S. Kim and T. S. Kim, "Effect of Anisotropic Thermo-Elastic Properties of Woven-Fabric Laminates on Diagonal Warpage of Thin Package Substrates", *Composites Structures*, 176, 973 (2017).
9. A. V. Mazur and M. M. Gasik, "Thermal Expansion of Silicon at Temperatures up to 1100 C", *Journal of materials processing technology*, 209(2), 723 (2009).
10. S. Lee, J. H. Kim, Y. S. Kim, T. Ohba, and T. S. Kim, "Effects of Thickness and Crystallographic Orientation on Tensile Properties of Thinned Silicon Wafers", *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 10(2), 296 (2019).
11. S. Gao, Z. Dong, R. Kang, B. Zhang, and D. Guo, "Warping of Silicon Wafers Subjected to Back-Grinding Process", *Precision Engineering*, 40, 87 (2015).
12. H. Shimizu, T. Watanabe, and Y. Kakui, "Warpage of Czochralski-Grown Silicon Wafers as Affected by Oxygen Precipitation", *Japanese journal of applied physics*, 24(7R), 815 (1985).
13. S. Cho and S. E. Kim, "Effect of Si Grinding on Electrical Properties of Sputtered Tin Oxide Thin Films. (in Korean)", *J. Microelectron. Packag. Soc.*, 25(2), 49 (2018).
14. Y. L. Dong and B. Pan, "A Review of Speckle Pattern Fabrication and Assessment for Digital Image Correlation", *Experimental Mechanics*, 57(8), 1161 (2017).
15. T. I. Lee, M. S. Kim, and T. S. Kim, "Contact-Free Thermal Expansion Measurement of Very Soft Elastomers using Digital Image Correlation", *Polymer Testing*, 51, 181 (2016).
16. T. C. Chiu and E. Y. Yeh, "Warpage Simulation for the Reconstituted Wafer used in Fan-Out Wafer Level Packaging", *Microelectronics Reliability*, 80, 14 (2018).
17. J. H. Lau, M. Li, D. Tian, N. Fan, E. Kuah, W. Kai, M. Li, J. Hao, Y. M. Cheung, Z. Li, K. H. Tan, R. Beica, T. Taylor, C. T. Ko, H. Yang, Y. H. Chen, S. P. Lim, N. C. Lee, J. Ran, C. Xi, K. S. Wee, and Q. Yong, "Warpage and Thermal Characterization of Fan-Out Wafer-Level Packaging", *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 7(10), 1729 (2017).
18. Y. Okada and Y. Tokumaru, "Precise Determination of Lattice Parameter and Thermal Expansion Coefficient of Silicon Between 300 and 1500 K", *Journal of Applied Physics*, 56, 314 (1984).