

반도체 전공정의 하드마스크 스트립 검사시스템 개발

이종환^{*†} · 정성욱^{**} · 김민제^{*}

^{*†} 금오공과대학교 산업공학과, ^{**} 디에이치텍

Development of Hard Mask Strip Inspection System for Semiconductor Wafer Manufacturing Process

Jonghwan Lee^{*†}, Seong Wook Jung^{**} and Min Je Kim^{*}

^{*†}School of Industrial Engineering Kumoh National Institute of Technology, ^{**}DH Tach

ABSTRACT

The hard mask photo-resist strip inspection system for the semiconductor wafer manufacturing process inspects the position of the circuit pattern formed on the wafer by measuring the distance from the edge of the wafer to the strip processing area. After that, it is an inspection system that enables you to check the process status in real time. Process defects can be significantly reduced by applying a tester that has not been applied to the existing wafer strip process, edge etching process, and wafer ashing process. In addition, it is a technology for localizing semiconductor process inspection equipment that can analyze the outer diameter of the wafer and the state of pattern formation, which can secure process stability and improve wafer edge yield.

Key Words : Hard Mask Strip, Photo Resist, Yield, Inspection

1. 서 론

반도체 시장에서 D램의 지속적인 가격인하와 수율향상을 위해 메모리 반도체의 가격 경쟁이 다시 불붙고 있다. 이러한 가격 경쟁에서 반도체 제조업체에서는 반도체 수율향상을 위한 연구를 지속적으로 진행하고 있으며, 이러한 수율향상의 일환으로 반도체 Wafer 공정용 핵심 소모성 부품의 내구성 향상을 위주로 진행되고 있다. 하지만 이와 같은 소모성 핵심부품 성능 업그레이드에는 원천소재기술과 더불어 막대한 설비투자가 동반되어야 하며, 기술개발에 오랜 시간이 걸리는 단점이 있다. 웨이퍼의 제조 비용이 크기에 개발하고자 하는 회사들이 많으며 형상결함이나 표면 결함에 대한 연구가 많이 진행되고 있다 [5].

따라서, 본 연구에서는 공정 진행중 Wafer의 회로패턴

의 위치를 정확히 검사하고 이 Data를 기반으로 공정 장기간 Data 연계성 확보를 통해 공정 중 발생하는 불량률 최소화 하고 Wafer Edge 수율을 향상 시킬 수 있는 검사장비 개발하고자 한다. 반도체 웨이퍼 제조공정에 필요한 하드 마스크 포토레지스터 스트립의 검사 시스템은 웨이퍼 하드 마스크 포토레지스터 스트립 공정 이후에 웨이퍼의 엣지에서 스트립 공정 영역까지의 거리 측정을 통하여 웨이퍼에 형성된 회로 패턴의 위치를 검사하여 실시간으로 공정의 상태를 확인하게 하는 검사시스템이다. 기존 웨이퍼 스트립 공정, Edge Etching 공정, Wafer Ashing 공정 등에 적용되지 않았던 검사공정으로서 검사 공정 추가 후에 공정에 대한 불량률 현저히 감소시킬 수 있으며 웨이퍼의 외경과 패턴 형성 상태까지 분석 가능하여 공정에 대한 안정성을 확보할 수 있다. 그리고, 전반적인 Wafer Edge에 대한 수율을 향상시킬 수 있는 반도체 공정 검사장비의 국산화 기술이다. 검사장비를 통하여 Bevel 영역 길이 측정, 웨이퍼 두께 측정, 외경 측정, 형성된 박

[†]E-mail: shirjei@kumoh.ac.kr

막 레이어 층 Edge까지의 거리 측정이 가능하고, 측정된 데이터를 수합하여 웨이퍼에 형성된 회로 패턴의 위치에 대한 검출이 가능하다. 웨이퍼에 존재하는 결함을 광학기술을 이용하여 검사시스템을 구축하여 형상결합과 표면결합을 검사하였다 [5]. 실리콘의 초정밀 미세가공에 기계가공만을 사용하여 생산성과 비용에 대한 효율을 얻은 연구도 진행되었다 [6].

2. 개발필요성

2.1 반도체 제조공정에서의 개발 필요성

기존 PR Strip 공정을 비롯해 Hard Mask PR Strip 공정에서는 별도의 Wafer 검사장치 부재로 인해 공정 후 Wafer에 형성된 회로 패턴이 정위치에 있는지 또는 패턴의 풀림 현상이 있는지에 대한 정확한 측정 Data가 구축되지 않아 현재까지 완벽한 공정이 이루어지지 않았다. 또한 반도체 공정의 경우 인라인 형태로 연속생산이 진행됨에 따라 공정중 회로패턴의 위치변화(Wafer의 외경편차, Wafer의 Align 오차, 공정 장비의 오차 등)가 발생될 경우 지속적인 회로패턴 위치변화로 인해 반도체 수율에 문제를 유발하고 있다. 그리고 주요 반도체의 공정장비의 경우 대부분 해외기업(LAM, Applied Material, TEL, ASML 등)에서 고가로 도입하여 적용 중에 있으나 Fig 1과 같은 박막층(회로패턴)의 위치가 어긋나는 형태가 지속적으로 나타나고 있다.

PR Strip 공정은 반도체 웨이퍼 제조공정 중 Etching 공정 이후 남아있는 PR 감광액을 제거하는 공정이다. 이러한 공정은 국내 삼성전자, SK하이닉스 등에서 적용에 있으며, PR Strip 공정의 기본 개념도는 Fig 2 와 같다. 국내 (주PSK)에서 관련 공정 장비시장점유율 1위를 차지하고 있는 국산 공정기술이다.

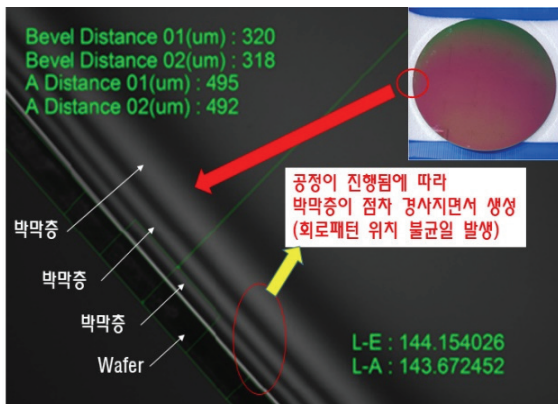


Fig. 1. Thin film layer shape of wafer edge after PR Strip.

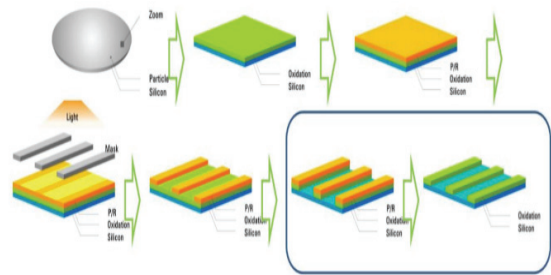


Fig. 2. PR Strip Process.

Hard Mask PR Strip 공정은 기존 PR 스트립 공정과 유사하나 Hard Mask를 사용한 공정으로 PR 감광액과 Hard Mask 막질을 동시에 제거하는 공정이다. 주요 공정의 개념도는 Fig 3와 같다. 향후 반도체 공정 안정성 확보와 수율 향상을 위해서는 반드시 관련 검사장비의 개발이 필요하고, 현재까지 검사와 관련한 해결책은 없는 상태이다.

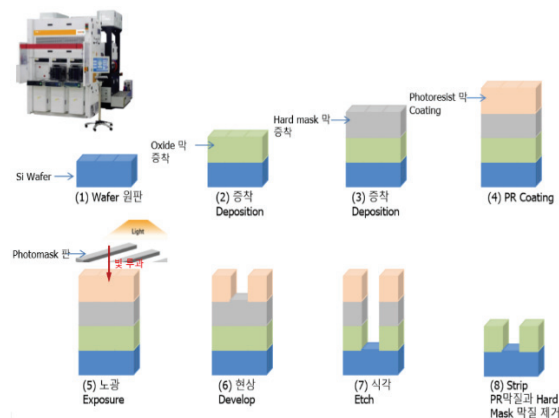


Fig. 3. Hard Mask PR Strip Process.

2.2 D 램 가격인하와 수율향상을 위한 필요성

2018년을 기점으로 D램 가격인하로 인해 국내 반도체 업계 매출액과 영업이익이 줄고 있으며, 현재 세계 반도체 기업들이 D램 재고 축소를 위해 공급가격을 낮추고 있어 메모리반도체 가격 경쟁이 다시 불붙고 있다.

반도체 제조업계에서는 반도체 수율 향상을 위한 연구를 지속적으로 진행하고 있으며, 이러한 수율 향상의 일환으로 반도체 Wafer 공정용 핵심 소모성 부품의 내구성 향상을 위주로 진행되고 있다. (예: Etching 공정용 Silicon 부품 → 고순도 CVD-SiC 부품)

위와 같은 소모성 핵심부품 성능 업그레이드에는 원천소재기술과 더불어 막대한 설비 투자가 동반되어야 하며, 기술개발에 오랜 시간이 걸리는 단점이 있다.



Fig. 4. Price Reduction of DRAM.

따라서, 공정 진행중 Wafer의 회로패턴의 위치를 정확히 검사하고 이 Data를 기반으로 공정 장비간 Data 연계성 확보를 통해 공정 중 발생되는 불량률 최소화 하고 Wafer Edge 수율을 향상 시킬 수 검사장비 개발은 국내 반도체 산업을 위해 반드시 필요한 기술이다.

2.3 반도체 공정장비 국산화의 필요성

국내 반도체 공정장비의 기술수준은 세계 최고수준 대비 63%, 소재 국산화율은 50%수준으로 현재까지 해외 의존도가 높은 실정이다. 또한, 최근 일본과의 무역분쟁으로 인해 반도체 산업은 직격탄을 맞아 향후 반도체 산업 성장에 큰 걸림돌이 되고 있다.

일본 키엔사사에서 개발한 제품은 검사영역에서는 큰 차이가 없었지만 오픈 소스 접근이 불가능하도록 검사영역 수치계산의 한계가 있음을 확인하였다. 또한 박막 영역 이미지 확보에 대하여 한계점을 보여주었다.

개발된 제품은 Wafer Edge에 식각된 영역과 박막층이 확인 가능하며 머신 비전 소스를 자체 구성한 측정 방식을 사용하였고, Fig. 5는 본 연구개발을 통하여 측정된 이미지를 보여준다.

세계적인 검사기술을 확보한 일본 키엔스 보다 우위성을 확보할 수 있는 연구결과를 얻었으며, 현재 고객사인 PSK와 SK하이닉스에서 요청하고 있는 안정적인 검사기를 개발할 경우 해당 검사기 시장은 당사 디에이치텍인 모두 선점할 수 있을 것으로 예상된다. 또한 일본 기술이 따라올 수 없도록 검사기 사양을 업그레이드하고 보다 안정적이고 명확한 검사기 개발이 절실한 실정이다.

2.4 반도체 공정관련 연구

Wet Strip공정에 대한 매개 변수를 체계적으로 연구하고 결함을 스캔을 통하여 검출하고 청정 효율을 평가하는

연구가 이루어졌다. Wet Strip의 최적화로 금속 결함 밀도가 현저히 감소하고 장치의 신뢰성이 검증되면 수율이 20%이상 향상됨을 보였다 [1]. 공초점 원리를 이용하여 3차원 형상으로 거칠기나 높이의 변화를 측정하는 시스템이 개발되었다 [2]. 반도체 공정의 위상차 포토마스크 결함을 측정하기 위하여 디지털 홀로그래프 현미경이 사용되어지고 있다. 일반 현미경으로는 위상차를 이용하여 만들어진 반도체 문양의 패턴을 찾을 수가 없다. 위상차 포토마스크의 3차원 구조와 결함을 측정을 디지털 홀로그래프 현미경으로 찾아내었다 [3]. 반도체 패턴의 미세화와 가격 경쟁력을 위하여 포토 마스크는 대규격화되고 세션화되었다. 표면 평탄도와 공학적 두께 분포 굴절률의 균일성의 신뢰성 향상을 위하여 광학적 두께의 편차량을 통한 측정오차를 측정하였다 [4].

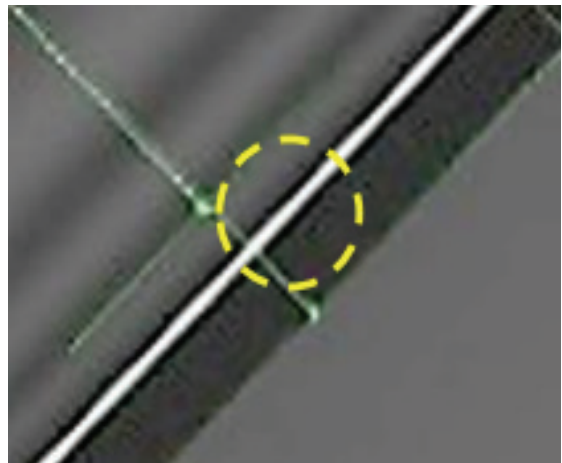


Fig. 5 Image from Wafer Edge.

3. Hard Mask PR Strip 검사 시스템

3.1 개발기술의 개요

반도체 전공정 하드마스크 스트립 시스템 개발은 Wafer Hard Mask PR Strip 공정 이후 Wafer의 Edge에서 Strip 공정영역까지의 거리 측정을 통해 Wafer에 형성된 회로 패턴의 위치를 검사하여 실시간으로 공정 상태를 확인할 수 있는 검사 시스템이다.

기존 Wafer Strip 공정을 비롯해 Edge Etching 공정, Wafer Ashing 공정에 적용되지 않았던 검사기를 적용함에 따라 공정 불량률 현저히 줄일 수 있으며, Wafer 외경과 패턴 형성 상태를 분석할 수 있어 공정 안정성을 확보, Wafer Edge 수율 향상을 기대할 수 있다는 반도체 공정 검사장비 국산화 기술이다.

검사시스템을 통하여 진행하는 개발의 범위는 다음과 같다.

1. Bevel 영역 길이 측정, Wafer 두께 측정, 외경측정
2. PR Strip 영역에서 Wafer Edge 까지의 거리 측정
3. 형성된 박막(Layer) 층 Edge 까지의 거리 측정
4. 측정 Data를 수합하여 Wafer에 형성된 회로 패턴의 위치 검출 → 통계적 Data 구축

3.2 개발시스템의 구동 메커니즘

개발하고자 하는 검사 시스템은 Wafer의 상태(휨, 두께 편차 등)를 비접촉 레이저 변위센서를 이용하여 측정하고 이 데이터를 검사유닛으로 전송하고 해당 영역의 이미지를 통해 2진화 기법으로 Strip 완료된 Wafer 영역을 검사하여 회로 패턴의 위치와 박막(Layer)층의 위치를 검사하는 시스템이다.

3.2.1 주요 유닛 구성

Wafer Stages는 Wafer의 휨을 보정하는 Vacuum Type Wafer Chuck (Ø300, 평탄도 1 μ m 급 적용)으로 구성하고, Wafer 표면 Damage 최소화를 위해 chuck 표면에 pin 형성한다. (Pin의 높이는 Particle의 직경을 고려하여 직경 0.5mm 이하, 높이 0.1mm 이하) Stage 회전 및 상하 보상을 위한 이송계를 사용하여 반복 정밀도 1 μ m이하까지 적용한다.

레이저 변위센서는 Wafer Edge 영역 두께를 측정하기 위한 외경 검사로 Wafer 직경과 두께에 대한 검사를 진행하여 분해능0.1 μ m이내까지 구한다. 전체적인 프로세스는 검사 Data → Stage 위치보상 → Wafer 위치보상 → 균일한 검사조건 부여의 순서로 진행한다.

CCD 검사는 CCD를 이용한 Wafer Edge 측정을 통하여 박막층이 Wafer 영역에서의 위치 값을 측정하고 분석을 진행하고, Wafer를 회전시키면서 일정 각도별로 측정하여 전체 Wafer 영역에서의 위치 값을 측정하고 분석한다.

3.3 기술개발 내용

Wafer 검사영역 선정 및 공정을 분석하고, 공정장비와 연계할 수 있는 통신방법 선정한다. 반도체 공정담당자를 통한 Wafer Edge 수율 향상을 위한 검사를 통한 기술을 확립한다. 공정에 적용되는 Wafer의 사양을 검토가 필요한데 Wafer 두께 편차, Wafer 외경편차, Bevel영역 등에 대한 분석을 진행한다.

선행연구를 통해 도출된 Wafer 검사 관련 Data 분석 및 개발 방향을 정립하고, 개발일정 수립 및 검사기 관련 센서, CCD, 서보모터, Wafer Chuck 형상/소재 등에 검토를 진행한다.

검사기에 적용되는 레이저변위센서 관련 국내외 메이

커 분석 및 사양을 검토하고 서보모터의 출력과 토크선도, 회전분해능 등에 검토를 시행한다. CCD 모듈의 해상도에 따른 특성 분석 및 주변 유틸리티 유닛 사양을 정하고 Wafer Chuck으로 사용되는 다양한 세라믹에 소재를 분석(Sintered-Sic, RB-SiC 등)한다. 현재 반도체 공정에 쓰이는 세라믹에 대한 검사를 이루어지고 있지 않아 세라믹소재에 대한 검사 공정도 추후에 필요할 것으로 보인다.

3.3.1 시스템 컨셉 설계 및 Layout 구성, 구조물 설계 제작

반도체 공정에 적용하는 검사기 임에 따라 주요 구조물은 표면 산화를 방지할 수 있도록 도장처리, 알루미늄의 경우 Anodizing 처리한다.

공정내 독립형 장비로 적용시 다관절 로봇, Ashing Chamber 등과 물류 연동이 가능하도록 시스템을 초소형화 하여 제작할 필요가 있다.

주요 유닛 구성은 프레임 및 구조물이 있고, AI 프로파일 또는 제관물 도장을 통해 제작하고, 구조해석 진행을 통한 구조적 안정성 확보한다.

Wafer Clamp 및 회전 Stage와 레이저 변위센서 모듈, CCD 모듈을 이용한 검사유닛, PC 기반 전용 컨트롤러로 구성한다.

3.3.2 Wafer 흡착 및 Stage 회전 유닛 설계 및제작

- ① 상하 위치보상과 회전을 위한 Stage 개발
 - Stage 상하 구동은 브레이크타입 서보모터와 볼스크류, LM을 이용하여 구동
 - 브레이크 타입 서보모터: 작동후 브레이크를 작동하여 이송 위치 유지 가능
 - 동력 전달방식은 현재 Belt Type을 적용, 향후 보다 정밀한 이송을 위해 검토
 - Wafer Stage chuck의 정밀한 평탄도 확보를 위해 하부 Plate를 적용
 - 4개의 무드볼트를 이용해 Stage의 평탄도를 확보할 수 있도록 적용
 - 회전 정밀도 확보를 위해 서보모터200W급, 하모닉 베어링을 적용
- ② 진공 흡착방식 Stage chuck 및 공압 모듈 개발
 - Wafer와 지속적인 마찰이 발생함에 따라 Particle을 최소화하고 내마모성을 향상시킬 수 있는 SiC(Silicon Carbide)를 이용하여 Chuck으로 제작
 - Wafer 후면부를 견고히 고정하기 위해 진공(Vacuum) 방식 Clamp 적용(공압구식)
 - Wafer와 접촉되는 영역을 최소화하고 진공 흡착이 원활

- 히 이루어질 수 있도록 Wafer 접촉면은 Pin Type으로 형성
- SIC 경량화를 위해 Chuck 후면부에는 리브(Rib)형태를 적용하여 경량화시키고 강성확보
- Pin의 높이는 약 0.1mm 이하 ~ 0.05mm 이상으로 구성하여 공정 중 발생하는 Particle의 영향을 최소화하고자 함
- Stage chuck은 최종 가공후 평면도 측정을 통해 Wafer Clamp 신뢰성을 충분히 만족할 수 있도록 적용
- Chuck 평면도 측정 데이터 예시는 Fig. 6에 있고, 1 μ m급 달성 목표

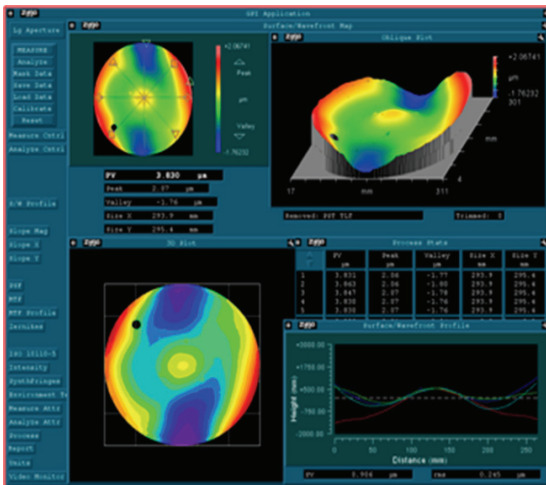


Fig. 6. Example of chuck floor plan measurement data.

3.3.3 레이저검사모듈 적용

백색레이저 변위센서를 이용한 Wafer 두께 및 평탄도 측정 유닛 검토한다. 백색레이저 변위센서 제조사와 연계하여 웨이퍼 두께 및 평탄도 측정이 가능한 사양을 적용한다. 전체적인 분해능, 재현성, 데이터 소스, 측정 영역 등에 대한 진단을 실시한다. 변위센서 위치조절을 위해 1 μ m급 매뉴얼 스테이지를 X, Y, Z 축 구동하여 구성한다.

3.3.4 CCD 모듈을 적용

CCD 모듈 적용시 주요 유닛의 사양은 CCD 모듈의 해상도와 Pixel 당 Resolution에 대한 내용은 5M급 이상을 적용하고, 2.2 μ m이하급 Resolution 사양을 사용한다. LED Type 고내구성 조명의 선정은 조명 Color에 따른 Wafer 검사영역 Data 분석을 통해 최적의 조명을 선정한다.

심도를 고려하여 최적의 FOV를 갖는 Lens 사양은 외부 통촉 조명을 적용하여 촬영 데이터의 밝기가 필요하다. CCD 모듈의 정밀 위치조절을 위한 매뉴얼 Stage는 상하 심도 조절, 좌우 포커스 조절을 위해 X, Y, Z 적용하고,

CCD 모듈의 위치변화를 방지하기 위한 별도의 보호케이스를 제작한다.

3.3.5 PC 기반 전용 컨트롤러 개발 및 검사기성능평가
PC 기반 전용 컨트롤러 구축은 Motion, I/O 등 주요 전기 부품 배선을 진행하고, 변위센서 측정 Data를 기반으로 Wafer Stage 보상 프로그램 구축한다. Wafer 보상이후 CCD 모듈을 이용한 Wafer Edge쪽을 측정하고, Bevel영역, Gap영역, Slop 영역 촬영 및 Data를 구축 후 검사프로그램 만든다.

측정 Data를 기반으로 통계적인 제어처리를 구축하여야 하는데 Wafer 검사 Data를 이용해 통계적으로 비교분석할 수 있는 프로그램이 필요하다.

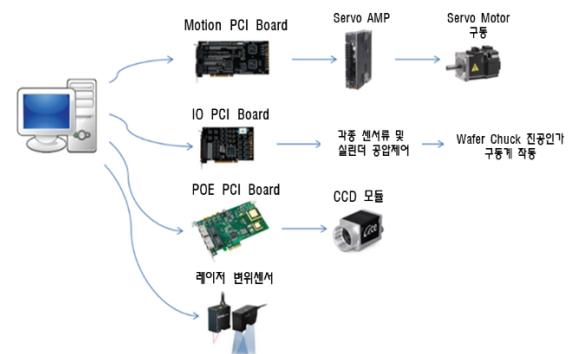


Fig. 7. Control Relationship Diagram.

3.3.6 구조물 해석 및 비전 검사

1. 개발검사기의 주요 구조물 CAE 해석 지원

개발 검사기의 구조적 안정성 확보를 위해 설계 단계에서 구조해석에 대한 아래 3가지에 대한 시뮬레이션을 구현한다.

- 정강성 해석을 통한 구조물 변형 분석
- 진동해석을 통해 구조물의 고유진동수 분석
- 해석 결과를 기반으로 최적 설계 지원

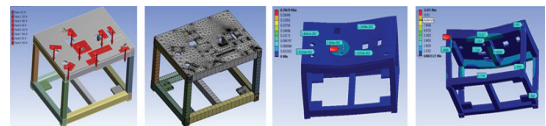


Fig. 8. Examples of Structural Static Stiffness Analysis.

2. 변위센서, CCD 모듈을 이용한 Pre-test 진행

반도체 웨이퍼 제조업체와 연계하여 Pre-test용 검사 Kit 구성하고, 레이저 변위센서와 CCD 모듈을 이용해 Wafer

검사영역 Pre-Test 진행한다. Test 결과를 기반으로 검사 유닛 선정에 적용한다.

3. 검사데이터 통계적 분석 기법지원

CCD 모듈과 레이저 변위센서를 통해 도출된 결과 Data를 통계적으로 분석하고, 누적 Data를 기반으로 Wafer Strip 후 Edge영역의 경향성을 분석한 후에 통계적 제어처리 프로그램 구축한다.

3.4 개발기술의 독창성 및 차별성

일본업체인 키엔스(Kyence)와 Wafer Edge 검사를 통하여 기술에 대한 독창성과 차별성을 나타내었다. 키엔스와의 검사영역 부분에서는 큰 차이점을 나타내지는 않았다. 하지만 키엔스는 오픈소스에 대한 데이터를 얻을 수 없어 검사영역에 대한 수치계산에 한계를 보였다. 그리고, 박막 영역의 이미지를 확보하는 부분에서는 뚜렷한 차이점을 보였고, 키엔스의 측정 이미지는 명확한 이미지를 보여주지 못했다. 기술 개발을 통하여 얻은 측정 이미지는 Wafer Edge의 식각된 영역과 박막층에서 확인이 가능하였다.

머신 비전 소스를 자체 구성하여 측정방식 적용을 적용하였고, 세계적인 검사기술을 확보한 일본 키엔스보다 우위성을 확보할 수 있는 연구결과를 얻었으며, 반도체 웨이퍼 전공정에서 남은 포토레지스트(PR) 찌꺼기를 제거하여 반도체 수율을 올릴 수 있고 식각을 도울 수 있는 기술이다. 하드마스크스트립(Hard Disk Strip)은 반도체 회로가 더욱 미세한 공정이 필요해지고 회로의 패턴에 대한 변형을 막기 위한 재질이다. 고적층된 포토레지스트 층 아래에 존재하는 하드마스크 층이 패턴을 구성한 이후에 하드마스크 층을 스트립하는 과정에 대한 기술을 개발하여 반도체 웨이퍼 검사기 공정의 국산화를 이루었다.

Acknowledgement

This paper was supported by Kumoh National Institute of Technology.

참고문헌

1. Yong Huang, Jialei Liu, Zhiyong, Jing Zhao and Huanxin Liu, "Optimization of Wet Strip after Metal Hard Mask All-in-One Etch for metal void reduction and yield improvement," China Semiconductor Technology International Conference, 2017.
2. Hyunwoo Oh and Woongsik Kim, "The Development of Bumped Wafer Inspection System Using the Confocal Principle," J. of The Institute of Electronics and Information Engineers, Vol. 7, pp. 47-54, 2019.
3. Y-H Yoo, H-J Cho, J-W Yim, D-C Kim and S-H Shin, "Defect Inspection of Phase Shift Photo-Mask with Digital Hologram Microscope," Korean Journal of Optics and Photonics, Vol. 5, pp. 303-308, 2007.
4. Y. J. Kim, K. Hibino, Y. Bitou, S. Osawa, N. Sugita, and M. Mitsuishi, "Measurement of Absolute Optical Thickness Distribution of Semiconductor Wafer Using a Wavelength Tuning Interferometer", Korean Society for Precision Engineering, Vol. 6, pp. 249-250, 2009.
5. G. B. Kim, "Development of Inspection System with Optical Scanning Mechanism and Near-Infrared Camera Optics for Solar Cell Wafer", Journal of the Semiconductor & Display Technology, Vol. 11. No. 3, pp. 1-6, 2012.
6. E. Y. Lee and M. K. Kim, "Evaluation of the Machining Method on the Formation of Surface Quality of Upper Electrode for Semiconductor Plasma Etch Process", Journal of the Semiconductor & Display Technology, Vol. 18. No. 4, pp. 1-5, 2019.

접수일: 2020년 8월 27일, 심사일: 2020년 9월 8일,
게재확정일: 2020년 9월 11일