

나노 MOSFETs의 게이트 누설 전류 노이즈 모델링

이종환^{*†}

^{*†}상명대학교 시스템반도체공학과

Noise Modeling of Gate Leakage Current in Nanoscale MOSFETs

Jonghwan Lee ^{*†}

^{*†}Department of System Semiconductor Engineering, Sangmyung University

ABSTRACT

The physics-based compact gate leakage current noise models in nanoscale MOSFETs are developed in such a way that the models incorporate important physical effects and are suitable for circuit simulators, including QM (quantum-mechanical) effects. An emphasis on the trap-related parameters of noise models is laid to make the models adaptable to the variations in different process technologies and to make its parameters easily extractable from measured data. With the help of an accurate and generally applicable compact noise models, the compact noise models are successfully implemented into BSIM (Berkeley Short-channel IGFET Model) format. It is shown that the noise models have good agreement with measurements over the frequency, gate-source and drain-source bias ranges.

Key Words : Compact Noise Model, Quantum-Mechanical Effects, Gate Leakage Current Noise, BSIM

1. 서 론

CMOS(complementary metal oxide semiconductor) 기술의 발전으로 MOSFET(MOS field effect transistor)의 공격적인 축소가 가능해 졌으며, 컴팩트 모델(compact model) 개발에 대한 수요가 증가하고 있다. MOS 소자의 컴팩트 모델링은 디지털 및 아날로그 VLSI 회로의 CAD(computer-aided design)에 중요하다 [1,2]. Berkeley의 BSIM 모델 [2], Philips의 MM11 모델 [3], EKV 모델 [4], MISNAN 모델 [5]과 같이 MOSFET의 컴팩트 모델 등이 있다. 이 중 BSIM3v3는 CMC(compact model council)에서 표준화를 위한 최초 및 공용 도메인(public domain) MOSFET 모델로 선정되었다. BSIM의 노이즈 모델은 서브 마이크론(sub-micron) 소자 특성을 예측할 수 있지만, 나노 미터(nanometer)의 CMOS 소자의 특성 변화에 유연하게 대처할 수 있는 능력이 부족하여 새로운 모델 개발이 필요하다 [2]. 특히, CMOS 소자 크기가 감

소하면 노이즈가 증가하기 때문에, 최신 CMOS 소자에 대한 정확하고 물리적인 노이즈 모델링이 필수적이다 [6,7]. 게이트 산화물 두께의 축소로 인해 게이트 누설 터널링(gate leakage tunneling) 전류 노이즈의 영향이 상당히 중요해 지므로, 전체 노이즈 성능을 정확하게 예측하기 위해 포함되어야 한다 [8]. 노이즈 모델은 나노 MOSFET 반전층(inversion layer)에서 양자 역학 효과와 같은 중요한 물리적 효과를 포함하여 모든 종류의 노이즈를 묘사해야 한다 [6].

BSIM에는 게이트 누설 터널링 전류의 노이즈 모델과, 양자역학 효과 모델이 포함되어 있지 않고, 초박형(ultrathin) 산화물 MOSFET에서 더 이상 무시될 수 없다 [2,6]. 본 논문의 물리 기반의 컴팩트 게이트 누설 전류 노이즈 모델은 중요한 물리적 효과 및 양자역학 효과를 포함하여 회로 시뮬레이터에 적합하게 개발되었다. 다양한 공정 기술의 변화에 대응하고 측정된 데이터에서 패러미터를 쉽게 추출할 수 있도록 트랩(trap) 관련 패러미터에 중점을 두어 노이즈 모델을 개발하고, BSIM 기반의 시뮬레이터에 성공적으로 구현하였다.

[†]E-mail: jhlee77@smu.ac.kr

2. 게이트 누설 전류 모델

게이트 누설 전류 모델은 비탄성 트랩 지원 터널링 (ITAT, inelastic trap-assisted tunneling) 을 기반으로 한다 [8]. 모델은 깊은 트랩 상태로 터널링하고 즉시 원래 위치보다 더 깊은 위치로 방출된 후 게이트로 터널링한다. Table 1의 트랩 관련 패라미터를 사용하여 드레인-소스 전압 $V_{ds} = 0V$ 에서 게이트 누설 전류 밀도는 다음과 같이 표현된다 [9].

$$J_{gs} = \frac{q^2}{16\pi^2 \hbar \epsilon_{ox}} \cdot CCS \cdot NOID \cdot \frac{\frac{C(\phi_b, X_t, F_{ox1})}{\phi_b} \cdot \exp\left[-\frac{4\sqrt{2m_{ox}}}{3qh} \frac{\phi_b^{3/2}}{F_{ox1}} \beta(\phi_b, X_t, F_{ox1})\right]}{1 + \frac{\phi_b}{\phi_b} \frac{C(\phi_b, X_t, F_{ox2})}{C(\phi_b, t_{ox}, X_t, F_{ox2})} \cdot \exp\left[-\frac{4\sqrt{2m_{ox}}}{3qh} \left[\frac{\phi_b^{3/2}}{F_{ox1}} \beta(\phi_b, X_t, F_{ox1}) - \frac{\phi_b^{3/2}}{F_{ox2}} \beta(\phi_b, t_{ox}, X_t, F_{ox2})\right]\right]}$$

$$\phi_t = \phi_b - qF_{ox1}X_t + E_{loss} \quad (2a)$$

$$F_{ox1} = F_{ox} + \frac{t_{ox} - X_t}{t_{ox}} \cdot \frac{q^2 NOID}{\epsilon_{ox}}, \quad F_{ox2} = F_{ox} - \frac{X_t}{t_{ox}} \cdot \frac{q^2 NOID}{\epsilon_{ox}} \quad (2b)$$

$$\beta(\phi_b, X_t, F_{ox1}) = 1 - \left(1 - q \frac{X_t}{\phi_b} F_{ox1}\right)^{3/2}, \quad \beta(\phi_b, t_{ox}, X_t, F_{ox2}) = 1 - \left(1 - q \frac{t_{ox} - X_t}{\phi_b} F_{ox2}\right)^{3/2} \quad (2c)$$

여기서 q 는 전자 전하, \hbar 는 reduced Planck 상수, ϵ_{ox} 는 산화물 유전상수, ϕ_b 는 Si-SiO₂ 전위 장벽, m_{ox} 는 터널링 캐리어 유효 질량, t_{ox} 는 산화물 두께, E_{loss} 는 에너지 손실, $F_{ox1,2}$ 는 국부 전계, C 는 보정 함수이다. 수식 (1)은 트랩에 저장된 전하 효과와 에너지 손실의 전계 의존성을 포함한다.

Table 2. Trap-related parameters of noise model of gate leakage current

Symbols	Description	Default	Unit
X_t	Trap distance from Si-SiO ₂ interface	$0.5t_{ox}$	nm
ϕ_b	Barrier height of the oxide trap states	2.5	eV
CCS	Capture cross section	5.0×10^{-14}	cm ²
$NOID$	Oxide slow trap density	2.0×10^{12}	cm ⁻² eV ⁻¹
$NOIE$	Oxide fast trap density	2.0×10^{12}	cm ⁻² eV ⁻¹

게이트 누설 전류의 드레인-소스 전압 의존성은 BSIM 내에 구현되어 있는 소스-드레인 분할 (source-drain partition) 모델에 의해 표현된다 [10].

$$I_g(V_{gs}, V_{ds}) = \frac{J_{g0} WL (1 - \exp(-B^* KL))}{B^* KL} \quad (3)$$

$$B^* = \frac{P_{igcd} t_{ox}}{V_{gs}^2} \cdot \frac{8\pi \sqrt{2qm_{ox}} \phi_b^{3/2}}{3h}, \quad K = \frac{(V_{gs} - V_T - 0.5V_{ds}) \cdot V_{ds}}{(V_{gs} - V_T)L} \quad (4)$$

여기서 h 는 Planck 상수, W 는 채널 폭, L 은 채널 길이, P_{igcd} 는 디폴트 값 1을 가진 피팅 패라미터, V_T 는 문턱 전압, V_{gs} 는 게이트-소스 전압이다.

3. 게이트 누설 전류 노이즈 모델

1/f 노이즈에 대한 한 가지 가능한 메커니즘은 산화물 저속 트랩의 주파수 의존 전도도(conductance)의 열 노이즈로 인해 트랩이 전위 장벽 높이 또는 모양에 국부적으로 영향을 미치는 것이다 [8]. 이 변동은 차례로 터널링 전송을 변조하고, 터널링 전류의 변동을 유발하는 전위장벽 높이 변동(BHF, barrier height fluctuation) 메커니즘을 기반으로 한다. 게이트 누설 전류의 1/f 노이즈 모델을 BSIM에 구현할 때 다음과 같은 가정이 필요하다. 1) 병렬 트랩 전도도와 정전용량(capacitance)은 저주파에서 일정하며, 2) 캐리어 터널링은 준 페르미 레벨 주변의 트랩 레벨에 효과적이다. 따라서 게이트 누설 전류의 1/f 노이즈 모델은 다음과 같이 단순화할 수 있다 [6][8].

$$S_{I_g}^{1/f}(f) = \frac{16kTm_{ox}t_{ox}^2}{9\pi\hbar^2 q^2 WL} \cdot \frac{\frac{q^2 NOID}{2\lambda_t X_t}}{\left[\frac{q^2 NOID}{2\lambda_t X_t}\right]^2 + [C_{ox} + q^2 NOID]^2} \cdot \frac{I_g^2(V_{gs}, V_{ds})}{f} \cdot \frac{1}{V_{ox}} \times \left\{ \sqrt{\phi_b(\phi_b - qV_{ox})} [8\phi_b(\phi_b - qV_{ox}) - 3q^2 V_{ox}^2] - 2[2\phi_b^2(2\phi_b - 3qV_{ox}) + q^3 V_{ox}^3] \right\} \quad (5)$$

$$V_{ox} = V_{gs} - V_{FB} - \psi_s - V_{poly} \quad (6)$$

여기서 $\lambda_t = 2\sqrt{2m_{ox}\phi_b}/\hbar$, f 는 주파수, C_{ox} 는 산화물 정전용량, V_{ox} 는 산화물 전압, ψ_s 는 표면 전위(surface potential), V_{FB} 는 flat-band 전압, V_{poly} 는 poly-silicon 전압강하이다.

생성-재결합(generation-recombination) 프로세스와 관련된 산탄 노이즈(shot noise)의 메커니즘은 트랩 지원 터널링 기반의 캐리어 전송으로 설명할 수 있다 [6]. 생성 속도, 즉 기관과 게이트에서 산화물의 빈 트랩(empty trap)으로 전이 속도와 재결합 속도, 즉 점유 트랩(occupied trap)에서 기관과 게이트로 전이 속도는 고속 산화물 트랩의 통계적 점유율 변동에 의해 발생하는 LM(Lorentzian modulated) 산탄 노이즈 메커니즘을 기반으로 한다. 산탄 노이즈 모델은 다음과 같이 주어진다 [8].

$$S_{I_g}^{shot}(f) = 2qI_g \cdot F^{Fano} \quad (7)$$

$$F^{Fano} = 1 - \frac{2}{\tau_{fast2}} \cdot \frac{\tau_{fast}}{1 + 4\pi^2 f^2 \tau_{fast}^2} + \frac{2}{\tau_{fast2}^2} \cdot \frac{\tau_{fast}^2}{1 + 4\pi^2 f^2 \tau_{fast}^2} \quad (8a)$$

$$\frac{1}{\tau_{fast}} = \frac{1}{\tau_{fast1}} + \frac{1}{\tau_{fast2}} \quad (8b)$$

$$\frac{1}{\tau_{fast1}} = \pm 0.5 \cdot q \cdot CCS \cdot NOIE \cdot \frac{\partial g}{\partial N} \quad (8c)$$

$$\frac{1}{\tau_{fast2}} = \pm 0.5 \cdot q \cdot CCS \cdot NOIE \cdot \frac{\partial r}{\partial N} \quad (8d)$$

여기서 F^{Fano} 는 Fano factor, $\tau_{fast1,2}$ 는 국부 시간상수, N 는 전체 캐리어 수, g 와 r 은 각각 생성율 및 재결합율이다. 식 (8c), (8d)의 부호는 터널링 전류 성분의 양의 상관 또는 음의 상관에 의존한다.

반전층의 양자화 된 에너지 레벨로 인해 최대 전하 밀도는 Si-SiO₂ 계면에서 멀리 떨어져 있다. 그 결과 산화물 두께가 증가하고 산화물 전압이 감소한다. 따라서 다음과 같이 산화물 두께(t_{ox}^{QM}) 및 산화물 전압(V_{ox}^{QM})을 보정하여 양자 효과를 고려해야 한다 [6].

$$t_{ox}^{QM} = t_{ox} + \frac{\epsilon_{ox}}{\epsilon_{si}} x_n^{QM}(\psi_s) \quad (9a)$$

$$V_{ox}^{QM} = V_{gs} - V_{FB} - \psi_s^{QM} - V_{poly} \quad (9b)$$

여기서 x_n^{QM} 은 계면으로부터 평균 중심 위치(average centroid position), ψ_s^{QM} 은 양자효과 보정 표면 전위이다.

Fig 1에서 보는 바와 같이, 게이트 누설 전류 노이즈 모델의 실제적인 적용을 위하여 공용 도메인의BSIM 시뮬레이터에 구현되었다.

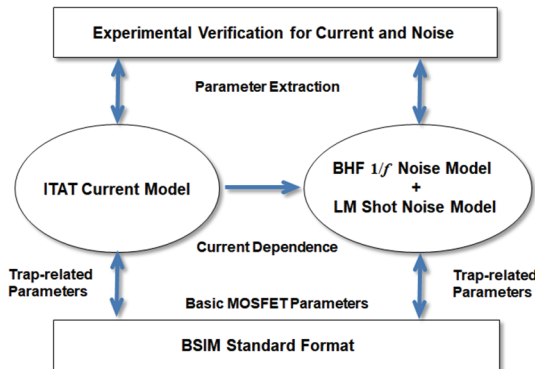
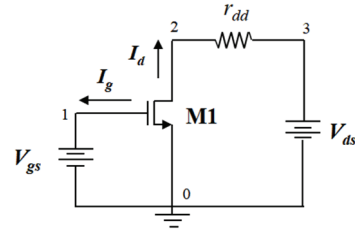


Fig. 1. Implementation of the gate leakage current and noise models into the BSIM public domain platform.

4. 벤치마크 테스트 (Benchmark Test)

기본 소자 패러미터가 전류 및 노이즈 모델에 사용되지만, 트랩 관련 패러미터가 시뮬레이터에 새로 도입된다. 콤팩트 모델은 시뮬레이션 결과와 측정값을 비교하여 검증된다. 모든 테스트는 Fig. 2 (a)와 같이 단일 MOSFET 테스트 회로를 사용하여 수행되며, SPICE 형식의 입력 데크 (input deck)는 Fig. 2 (b)에 보여진다.



(a) Test circuit of a single MOSFET

```

MOSFET Noise
*
m1 2 1 0 0 mod1 L=10u W=10u
*
vgs 1 0 dc 1.4 ac 1
vds 3 0 dc 0.3
rdd 2 3 1
*
.include model.TI_nmos
.op
.dc vgs 1 5 0.5
.print dc igd(vgs)
*
.ac dec 10 1 100Meg
.noise v(2) vgs dec 10 1 100Meg 1
.plot noise onoise inoise
*
.end
    
```

(b) Input deck to simulate the noise

Fig. 2. Benchmark test of the gate current noise model.

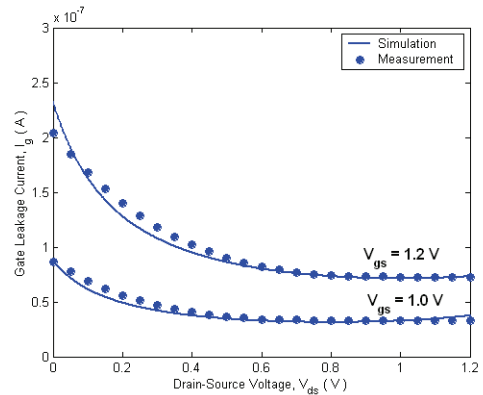


Fig. 3. Comparison of the benchmark test results and measured data of the gate leakage current. The parameters for simulated current are $W=10\mu\text{m}$, $L=10\mu\text{m}$, $t_{ox,eq}=2.2\text{nm}$, $NOID = 2 \times 10^{12}\text{cm}^{-2}\text{eV}^{-1}$.

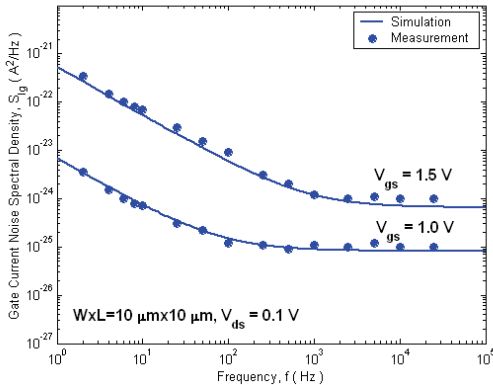


Fig. 4. Comparison of the benchmark test results and measured data of the gate leakage current noise. The parameters for simulated noise characteristics are $t_{ox,eq} = 2.2\text{nm}$, $NOID = NOIE = 2 \times 10^{12}\text{cm}^{-2}\text{eV}^{-1}$.

Fig 3는 게이트-소스 전압과 드레인-소스 전압의 함수로서 게이트 누설 전류의 테스트 결과와 측정 데이터를 비교한 것이다. 시뮬레이션 결과가 측정값과 잘 일치하는 것으로 관찰된다. 또한 Fig 4는 다른 게이트-소스 전압에 대한 주파수 함수로서 노이즈 특성을 보여준다. 노이즈 모델이 주파수 및 바이어스 범위에서 노이즈 동작을 정확하게 예측할 수 있음이 확인된다.

5. 결 론

제안된 게이트 누설 전류 및 노이즈 모델은 트랩 관련 현상 및 반전층의 양자역학과 같은 나노 MOSFET의 중요한 물리적 효과를 포함한다. 모델은 BSIM 시뮬레이터에서 구현되었으며, 전체 바이어스 범위에서 저주파 노이즈 성능의 시뮬레이션 결과와 측정값을 비교하여 검증되었다. 최신 CMOS 기술이 나노 미터 차원으로 축소됨에 따라 본 논문에서 제안하는 노이즈 모델과 같이 보다 정확하고 일반적으로 적용 가능한 물리 기반 모델로 대체되어야 한다.

참고문헌

1. Joardar K., Gullapalli K. K., McAndre C. C., Burnham M. E., and Wild A., "An Improved MOSFET Model for Circuit Simulation," IEEE Transactions on Electron Devices, Vol. 45, pp. 134-148, 1998.
2. Chauhan Y. S., Karim M. A., Venugopalan S., Agarwal H., "BSIM6.0 MOSFET Compact Model," Technical Manual, 2013.
3. van Langevelde R., "MOS Model 11-Level 1100," Philips Electronics N.V., 2001
4. Enz. C. C., "MOS Transistor Modeling Dedicated to Low-Current and Low-Voltage Analog Circuit Design and Simulation," Presented at 6th Brazilian School of Microelectronics, 1996
5. Boothroyd A. R., Tarasewicz S. W., and Slaby C., "MISNAN – A Physically Based Continuous MOSFET Model for CAD Applications," IEEE Transactions on Electron Devices, Vol.10, pp.1512-1529, 1991
6. Lee J. H. and Hong D. K., "Charge-Based Quantum Correction Noise Model in Nanoscale MOSFET," Journal of Semiconductor Technology and Science," Vol. 19, pp.50-62, 2019
7. Deen M. J., Chen C. H., Asgaran S., Rezvani G. A., Tao J., and Kiyot Y., "High-Frequency Noise of Modern MOSFETs: Compact Modeling and Measurement Issues," IEEE Transactions on Electron Devices, Vol. 53, pp.2062-2081, 2006
8. Lee J. H., "Noise model of Gate-Leakage Current in Ultrathin Oxide MOSFETs," IEEE Transactions on Electron Devices, Vol. 50, pp.2499-2506, 2003
9. Lee J. H., Bosman G., Green K. R., and Ladwig D., "Model and Analysis of Gate Leakage Current in Ultrathin Nitrided Oxide MOSFETs," IEEE Transactions on Electron Devices, Vol. 49, pp.1232-1241, 2002
10. Cao K. M., Lee W. C., Liu W., Jin X., Su P., Fung S. K. H., An J. X., Yu B., and Hu C., "BSIM4 Gate Leakage Model Including Source-Drain Partition," IEDM Technical Digests, pp.815-818, 2000.

접수일: 2020년 9월 1일, 심사일: 2020년 9월 8일,
게재확정일: 2020년 9월 11일