

# 낸드 플래시 메모리와 PSRAM을 이용한 비동기용 불휘발성 메모리 모듈 설계

김태현\*·양 오\*\*·연준상\*\*

\*\*청주대학교 반도체공학과

\*\*우진산전(주)

## Design of Asynchronous Non-Volatile Memory Module Using NAND Flash Memory and PSRAM

Tae Hyun Kim \*, Oh Yang \*\*† and Jun Sang Yeon \*\*

\*\*† Semiconductor Engineering of Cheongju University

\*\*WOOJIN Industrial System Co. Ltd.

### ABSTRACT

In this paper, the design method of asynchronous nonvolatile memory module that can efficiently process and store large amounts of data without loss when the power turned off is proposed and implemented. PSRAM, which takes advantage of DRAM and SRAM, was used for data processing, and NAND flash memory was used for data storage and backup. The problem of a lot of signal interference due to the characteristics of memory devices was solved through PCB design using high-density integration technology. In addition, a boost circuit using the super capacitor of 0.47F was designed to supply sufficient power to the system during the time to back up data when the power is off. As a result, an asynchronous nonvolatile memory module was designed and implemented that guarantees reliability and stability and can semi-permanently store data for about 10 years. The proposed method solved the problem of frequent data loss in industrial sites and presented the possibility of commercialization by providing convenience to users and managers.

**Key Words** : NVSRAM, PSRAM, DRAM, NAND Flash Memory, Asynchronous Memory Module

### 1. 서 론

4차 산업혁명의 시작으로 IOT (Internet Of Things) 관련 기술의 중요성이 부각되고 기술의 고도화 노력을 통해 IT융합이 다양한 분야로 확대되고 있다[1]. 기술 발전과 맞물려 소비되는 디지털 콘텐츠의 데이터 양이 점점 방대해지고 있다. 따라서 방대한 데이터를 처리하기 위한 고성능의 시스템이 요구되어지고 있으며, 데이터 처리와 저장을 위한 고속의 대용량 저장장치의 필요성이 커지고 있

다[2,3]. 트랜지스터의 크기가 점차 줄어드는 것에 따라 회로의 집적도가 점차 상승하고 있으며 용량이 크고 속도가 빠른 반도체 메모리 소자가 개발되어지고 있다[4]. 최근에 요구되어지는 시스템의 특성상 소비자의 편의성을 위하여 다양한 기능과 유무선 형태의 통신방식을 지원해야 한다. 요구되는 시스템을 구축하기 위해서는 다양한 메모리 소자의 활용이 필수적이고 수많은 소자들이 상호 간섭없이 적용될 수 있도록 하는 고밀도 집적 기술력이 필요하다[5]. 또한 시스템에 많은 기능이 적용되면서 시스템의 전력소모가 커지고 있기 때문에 소자들의 동작 속도를 늘리면서 전력소모를 줄이는 기술의 필요성이 대두

†E-mail: ohyang@cju.ac.kr

되고 있다[6].

이러한 요구에 대응함에 따라서 사용의 편의성에 위해 많은 산업현장에서 사용되고 있는 장비, 차량 등에 고성능 대용량 메모리 시스템 적용이 늘어나고 있다. 산업현장의 특성상 대부분의 장비가 다양한 환경에서 적용되는 만큼 장비의 성능 저하 및 고장에 의해 데이터 손실이 빈번히 일어나고 있다. 따라서 시스템 상태에 관계없이 데이터 손실을 최소화하는 기술이 필요하다[7,8].

본 논문에서는 PSRAM(Pseudo Static Random Access Memory) 과 낸드 플래시 메모리를 이용한 비동기용 불휘발성 메모리 모듈의 설계 방법을 제안 및 구현하였다. 이를 통해 데이터의 손실 문제를 해결하고 다양한 산업현장에서 사용되는 시스템의 메모리를 개선하여 상용화 가능성을 제시하고자 한다.

## 2. 비동기용 불휘발성 메모리 모듈 설계

### 2.1 NVSRAM (Non-Volatile Static Random Access Memory)의 구조

기본적으로 NVSRAM은 하나의 디바이스에 비동기용 SRAM(Static Random Access Memory)과 불휘발성 메모리 기술을 결합한 것이다. 전원이 인가된 시스템의 조건에서 NVSRAM은 SRAM과 동일하게 작동한다.

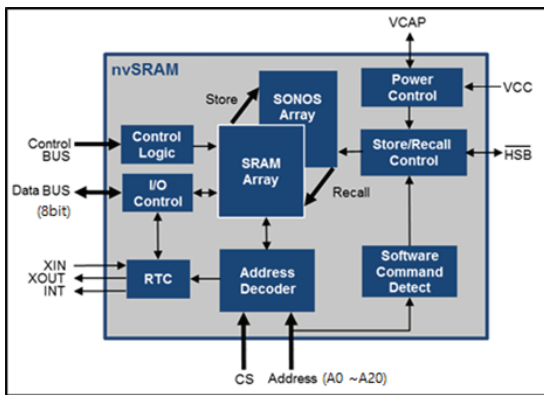


Fig. 1. Structure of CYPRESS NVSRAM.

시스템의 전원이 OFF가 되었을 경우 NVSRAM은 데이터 손실 위험을 감지하고 휘발성 메모리인 SRAM의 데이터를 불휘발성 메모리인 낸드 플래시 메모리로 백업하는 절차를 진행하게 된다. 이후에 전원이 다시 ON되면 낸드 플래시 메모리에 백업 되어있는 데이터를 다시 SRAM으로 불러와 작업할 수 있게 되어 데이터 손실을 최소화할 수 있는 시스템이다[9]. 현재 개발되어 시중에서 보편적으로

사용되고 있는 CYPRESS사의 2Mbytes 용량을 갖는 NVSRAM의 구조는 Fig.1과 같다.

### 2.2 비동기용 불휘발성 메모리 모듈의 구조

임베디드 시스템의 환경에서 RAM(Random Access Memory)은 시스템 동작 중에 데이터를 처리하는 필수적인 메모리이다[10]. RAM의 한 종류인 SRAM의 경우 가격이 비싸지만 내부 구조상 비트 당 내장 면적이 성능대비 월등히 높고 데이터 유지를 위한 추가적인 리프레시(Refresh) 과정을 수행하지 않아도 되기 때문에 사용하기 편한 장점을 가지고 있다[11].

PSRAM은 SRAM과 DRAM(Dynamic Random Access Memory)의 장점을 취한 제품으로 DRAM의 단순한 구조에 재기록 회로를 내장한 메모리 소자다. 따라서 DRAM의 가격적인 장점을 그대로 가져오면서 하드웨어적으로 리프레시(refresh) 절차를 진행하기 때문에 SRAM처럼 사용 가능하다[12]. 즉, 외부의 구조는 비동기용 SRAM이고 내부는 하드웨어적으로 DRAM 구조를 가진다.

낸드 플래시 메모리는 대표적인 비휘발성 메모리 소자 중 하나로 반도체 집적 기술의 발전에 따라 면적대비 높은 용량을 지니고 있다. 또한 적은 전력 손실로 MPU(Micro Processor Unit)를 통해 낸드 플래시 메모리를 제어할 수 있기 때문에 많이 사용되고 있다[13].

Fig. 2 와 Table 1은 본 논문에서 제시한 비동기용 대용량 메모리 모듈의 구조와 설계사양이다. 시스템의 동작 전압은 2.7V에서 3.6V이고 Fig. 2 와 같이 고속의 데이터 처리를 위해서 4Mbytes의 PSRAM을 사용하였고 데이터 저장을 위하여 1Gbyte의 낸드 플래시 메모리를 활용하여 구성하였다. 또한 Software Command Detect와 메모리의 효율적인 제어를 위하여 ST사의 STM32H750IBK를 사용하여 구성하였다. 시스템의 IO는 Table 1의 설계사양에 맞추어 22개의 Address Bus, 8bit의 Data Bus 로 구성했으며 제어를 위한 5개의 Control Bus로 구성하였다.

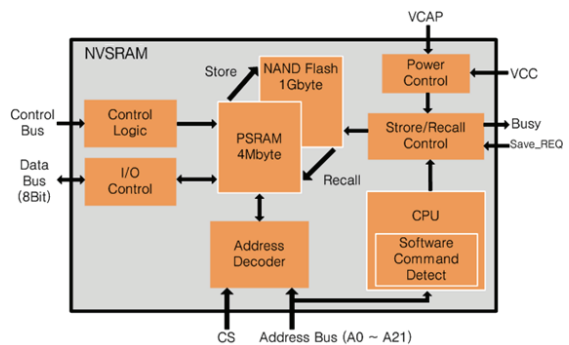


Fig. 2. Structure of proposed NVSRAM module.

**Table 1.** Specification of proposed NVSRAM module

Item	Specification
Memory Size	4MBytes
Operating Voltage	2.7V ~ 3.6V
Address Bus	A0 ~ A21
Data Bus	D0 ~ D7 (8bit data bus)
Control Bus	CS-
	RD-
	WR-
	Busy- Save_REQ-

본 논문에서 제시한 모듈은 적은 면적에서 ns단위로 고속 통신하기 때문에 소자간 신호간섭에 민감하다. 따라서 BGA(Ball Grid Array) 타입의 소자들을 이용하여 회로를 구성하였으며 고밀도 집적 기술을 활용한 6층의 PCB(Printed Circuit Board)를 설계하였다. 이것으로 추가 필터 회로 없이 신호간섭을 효과적으로 줄여 시스템의 오동작을 최소화할 수 있게 구성하였다. 또한 소모전력을 효과적으로 감소시켜 SRAM으로부터 낸드 플래시 메모리로 데이터 저장하는 시간을 충분히 확보할 수 있게 구성하였다.

**2.3 비동기용 불휘발성 메모리 모듈의 동작**

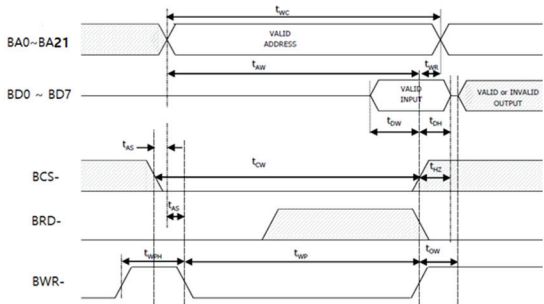
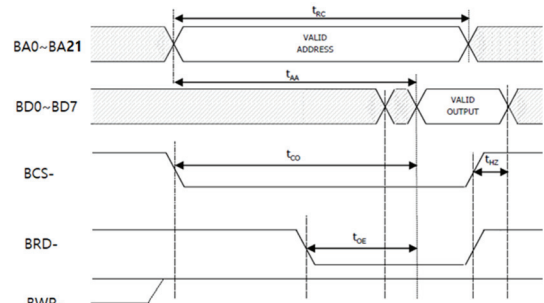
시스템에 전원을 인가하지 않으면 PSRAM은 휘발성 메모리이기 때문에 처리하던 데이터들이 소멸되어 버린다. 시스템의 전원이 OFF될 경우 메모리 컨트롤러에서 전원 감시 신호를 입력 받아 저전원 상태를 감지하고 처리하던 PSRAM의 데이터를 낸드 플래시 메모리로 즉각적으로 복사하는 절차를 진행하게 된다. 이 때 전원이 불안정하여 시스템을 구동할 수 있는 전력이 부족하므로 슈퍼 커패시터를 활용한 승압회로를 구성하였다.

구성한 승압회로는 모듈에 전원이 인가되었을 경우에 슈퍼 커패시터를 충전해 두게 되고 전원이 OFF되었을 때 저장되어 있던 전력을 승압시켜 3.3V를 출력하게 된다. 출력된 3.3V를 SRAM에서 낸드 플래시 메모리로 데이터를 백업하는 시간 동안에 안정적으로 시스템에 공급해줄 수 있도록 구성하였다.

본 논문에서 제시한 모듈의 읽기 과정은 메모리 컨트롤러에 의해 전원이 모듈에 인가되었을 때 낸드 플래시 메모리에 백업된 데이터를 PSRAM으로 읽어오도록 구성하였다. Fig. 3의 (a) 타이밍도와 Table 2의 Read 부분을 보게 되면 BCS- 가 Low가 되는  $t_{CO}$ 와 BA0에서 BA21까지 메모리 주소에 Access하게 되는  $t_{RC}$ 인 75ns 시간 동안에 BRD-가 Low가 되었을 때 유효한 데이터를 읽을 수 있도록 구성하였다.

모듈의 쓰기 과정은 모듈의 전원이 OFF될 때 진행된다.

Fig. 3의 (b) 타이밍도와 Table 2의 Write 부분을 보게 되면 BCS- 가 Low가 되는  $t_{CW}$ 와 BA0에서 BA21까지 메모리 주소에 Access하게 되는  $t_{WC}$ 인 75ns 시간 동안에 BWR-가 Low가 되었을 때 유효한 데이터를 입력할 수 있게 구성하였다.



**Fig. 3.** Timing diagram of proposed NVSRAM module.

**Table 2.** Electrical characteristic of proposed NVSRAM module

Read operation		Write operation	
Symbol	Time [ns]	Symbol	Time [ns]
$t_{AA}$	75	$t_{WC}$	75
$t_{RC}$	75	$t_{AW}$	75
$t_{CO}$	75	$t_{DW}$	30
$t_{HZ}$	10	$t_{DH}$	5
$t_{OE}$	25	$t_{CW}$	75
		$t_{WP}$	50
		$t_{WPH}$	15
		$t_{WR}$	5
		$t_{AS}$	0
		$t_{WHZ}$	10

또한 백업된 데이터를 받은 후에 모듈이 데이터 처리를 시작하며 일정 주기 간격으로 메모리간 동기화를 위해 쓰고 읽는 과정을 반복한다. 메모리 컨트롤러에서 데이터 손실을 최소화하기 위한 노력으로 전원 OFF시에 낸드 플래시에 백업한 데이터와 전원 ON시에 SRAM으로 읽은 데이터를 비교하는 32비트 CRC(Cyclic Redundancy Check)를 수행하여 신뢰성이 상승할 수 있도록 구성하였다.

### 3. 비동기용 불휘발성 메모리 모듈 구현 및 결과

#### 3.1 비동기용 불휘발성 메모리 모듈 구현

본 논문에서 구현된 비동기용 불휘발성 메모리 모듈의 프로토타입은 Fig. 4와 같다. 많은 수의 메모리 I/O가 필요한 모듈의 특성과 면적을 최소화하기 위해 24핀인 2mm pitch의 커넥터를 사용하여 설계 사양의 규격에 맞게 구성했다. 또한 메모리와 메모리 컨트롤러를 비롯한 IC 종류를 BGA규격으로 구성하고 고집적 기술이 활용된 6층의 PCB를 설계하여 전력소모를 최소화하고 고속으로 통신하는 동안 소자 상호간 신호간섭이 최소화될 수 있도록 했다.

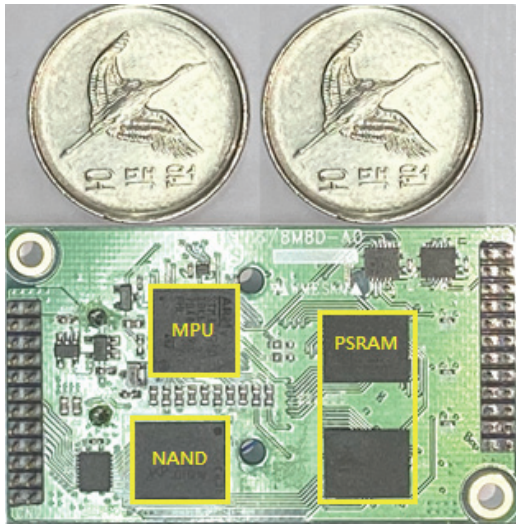


Fig. 4. Prototype of proposed NVSRAM Module.

#### 3.2 Boost Converter 설계

구현한 Fig. 5의 Boost Converter 회로는 AVX사의 0.47F 크기의 슈퍼 커패시터와 MICROPCHIP사의 MCP1642B-33I를 이용하여 구성했다. 구현한 회로를 검증하기 위하여 0.47F의 슈퍼 커패시터를 충전시킨 후에 시스템 구동을 위한

최소전원인 2.7V까지 방전시켜서 어느정도 시간이 소요되는지 측정해 보았다. 약 200mA의 부하를 주었을 때 슈퍼 커패시터가 방전될 때까지 약 5초가 소요되는 것을 확인했고 약 3초이내까지는 3.3V가 안정적으로 출력되는 것을 확인했다. 이것으로 설계한 Boost Converter가 데이터를 백업하는 시간동안 전원을 충분히 공급할 수 있는 것을 확인했다. 추가적으로 모듈에 연속적으로 전원 ON/OFF하여 구성한 Boost Converter 회로가 안정적으로 전원을 공급할 수 있는 것을 확인했다.

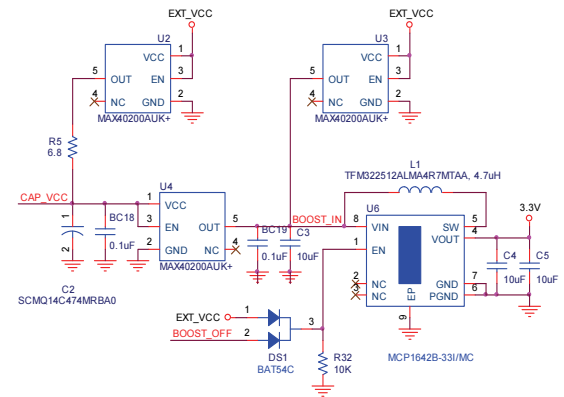


Fig. 5. Boost converter circuit for power supply.

#### 3.3 비동기용 불휘발성 메모리 모듈 결과

PSRAM의 데이터가 낸드 플래시 메모리에 올바른 백업여부와 메모리간 쓰기 과정을 검증하기 위하여 4Mbytes 크기의 데이터를 입력한 후에 전원을 OFF 하고 오실로스코프를 통해 파형을 측정했다. 오실로스코프를 통해 측정된 파형인 Fig. 6을 보면 데이터를 쓰기 위해 CS-가 Low, WR-가 Low일 때 A0 주소에 access하여 D0의 데이터가 나오는 것을 확인했다. 또한 데이터를 쓰는 시간은 약 65ns가 소요되는 것을 확인하여 쓰는 과정이 구성한 타이밍도에 맞추어 정상적으로 수행되는 것을 확인했다.

구현한 비동기용 대용량 메모리 모듈의 읽기 동작을 검증하기 위하여 시스템에 전원이 인가되었을 때 낸드 플래시 메모리로부터 SRAM으로 다시 읽어오는 것을 오실로스코프를 통하여 측정하였다. 측정된 파형인 Fig. 7을 보면 데이터를 읽기 위해 CS-가 Low, RD-가 Low일 때 A0 주소에 access하여 D0의 데이터를 읽고 시간은 약 70ns가 소요되는 것을 확인했다. 또한 CRC가 정상적으로 수행되는 것을 검증하기 위하여 전원을 OFF하기전 데이터와 다시 전원을 ON하여 읽어온 데이터를 비교했을 때 데이터 손실없이 완벽하게 일치하는 것을 확인했다.



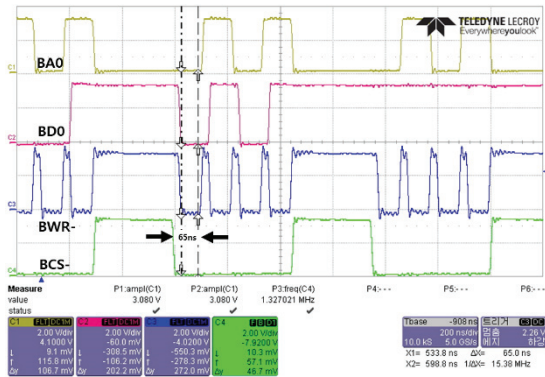


Fig. 6. Result waveform for write operation.

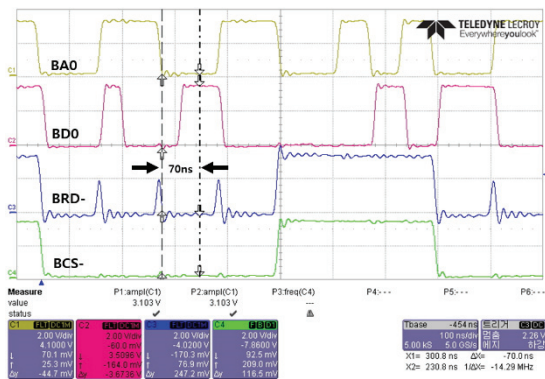


Fig. 7. Result waveform for read operation.

### 4. 결 론

본 논문에서는 대용량의 데이터를 전원 OFF시에도 손실없이 효율적으로 처리와 저장할 수 있는 비동기용 불휘발성 메모리 모듈의 설계 방법에 대해 제시하고 구현하였다. 데이터 처리를 위해 DRAM과 SRAM의 장점을 이용한 PSRAM을 사용하였고 데이터의 저장과 백업을 위해 낸드 플래시 메모리를 사용하였다. 메모리 소자 특성상 고속으로 데이터를 IC간에 송수신하여 많은 신호간섭이 일어나는 문제를 고밀도 집적 기술력을 활용한 6층 PCB 정밀 설계를 통해 해결하였다. 또한 전원 OFF시에 데이터를 백업할 시간동안 시스템에 충분한 전원을 공급하기 위해 0.47F의 슈퍼 커패시터를 활용한 승압회로를 설계하였다. 실험을 통하여 구현한 모듈의 전원의 ON과 OFF시에 구성된 타이밍도에 맞추어 데이터의 백업과 읽어오는 과정이 정상적으로 수행되는 것을 확인하였고 32비트 CRC를 통해 데이터의 손실이 없는 것을 확인하였다. 결과적으로 신뢰성과 안정성이 보장되고 약 10년간 데이터의 보존이 가능한 반영구적인 비동기용 불휘발성 메모리

모듈을 설계 및 구현하였다. 이것으로 산업현장에서 빈번한 데이터 손실 문제를 해결하고 사용자 및 관리자에게 편의성을 제공하여 상용화 가능성을 제시하였다.

### 감사의 글

본 연구는 2020년도 청주대학교 연구장학과 중소벤처기업부의 “산학연 Collabo R&D 예비연구사업(R&D, S289 9935)”으로 지원받아 수행된 연구결과입니다.

### 참고문헌

1. Tae Hyun Kim, Oh Yang, “Design and Implementation of Multi-monitoring System for Motor Pump”, Journal of the Semiconductor & Display Technology, Vol.18, No.4, pp.81-86, 2019.12.
2. Seok Man Kim, Min Seok Oh, Kyoung Rok Cho, “Efficient Policy ECC Parity Storing of NAND Flash Memory”, The Journal of the Korea Contents Association, Vol.16, No.10, pp.477-482, 2016.09.
3. Dong Hyuk Park, Jae Jin Lee, Gi Ju Yang, “Modulation Code for Removing Error Patterns on 4-Level NAND Flash Memory”, The Journal of Korea Information and Communications Society, Vol.35, No.12, pp.965-970, 2010.12.
4. Po Yuan Chen, Chin Lung Su, Chao Hsun Chen, Cheng Wen Wu, “Generalization of an Enhanced ECC Methodology for Low Power PSRAM”, IEEE TRANSACTIONS ON COMPUTERS, Vol.62, No.7 pp.1318-1331, 2013.7.
5. Won Taek Lee, Jin Woo Jang, Joon Il Kim, Soon Shin Choi, Yong Jee, “Analysis of Characteristic Impedance for FBGA Memory Module Package”, Proceedings of autumn Symposium The Institute of Electronics Engineers, Vol.29, No.2, pp.482-485, 2006.
6. Hyun Wook Park, Sang Won Shim, Yeon Bae Chung, “A current sense amplifier for low-voltage and high-speed SRAM”, Proceedings of autumn Symposium The Institute of Electronics Engineers, Vol.28, No.2, pp.727-730, 2005.
7. Jun Sang Yeon, Oh Yang “Implementation of Communication to Flexibly Configure the Number of Railway Cars”, Journal of the Semiconductor & Display Technology, Vol.15, No.4, pp.61-66, 2016.12.
8. Heon Guk Lee, Oh Yang, “Implementation of Monitoring and Control System for Fire Engine Pump using the AJAX”, Journal of the Semiconductor & Display Technology, Vol.15, No.3, pp.40-45, 2016.09.
9. CYPRESS, “CY14B116L - ZS25XI Datasheet 16-Mbit (2048K × 8/1024K × 16/512K × 32) nvSRAM”, pp.01-39, 2019.

10. Jung Won Kim, Seung Kyun Kim, Jae Jin Lee, Chang Hee Jung, Duk Kyun Woo, "Memory Hierarchy Optimization in Embedded Systems using On-Chip SRAM", Journal of the Korea Information Science Society (a) : computer systems and theory, Vol.36, No.2, pp.102-110, 2009.4.
  11. In Sung Gook, Jae Min Lee, "A Parallel Structure of SRAMs in embedded DRAMs for Testability", Journal of Korea institute of information, electronics, and communication technology, Vol.3, No.3, pp.3-7, 2010.
  12. Integrated Silicon Solution Inc, "IS66WV51216EBL - 70BLI Datasheet 64Mb Async/Page PSRAM", pp.01-34, 2018.8.
  13. Ji Eun Oh, Seok Ju Han, "Performance Comparison of Multi-level Coding Schemes for NAND Flash Memory", IEIE Transactions on Smart Processing and Computing, Vol.7, No.6, pp.496-504, 2018.12.
- 
- 접수일: 2020년 9월 17일, 심사일: 2020년 9월 22일,  
게재확정일: 2020년 9월 23일