

임베디드 시스템의 정확성 향상을 위한 클럭 주파수 검출기

정 광 현^{*,1)}

¹⁾ 국방과학연구소 제1기술연구본부

A Clock Frequency Detector for Improving Certainty of the Embedded System

Gwanghyeon Jeong^{*,1)}

¹⁾ The 1st Research and Development Institute, Agency for Defense Development, Korea

(Received 1 April 2020 / Revised 23 June 2020 / Accepted 30 July 2020)

Abstract

In this paper, the frequency detector which detects the clock frequency of the embedded system is proposed and analyzed. The proposed frequency detector is consisted of filter and peak voltage detector. The clock signal is converted from square wave to triangular wave by the filter. The peak voltage of the triangular wave is determined according to the frequency response of filter. The peak voltage detector detects and holds the peak voltage of the signal. Moreover, the proposed clock frequency detector can detect the frequency within 1ms and it gives guarantee of real-time operation.

Key Words : Frequency Detector(주파수 검출기), Passive Filter(수동소자 필터), Voltage Detector(전압 검출기)

1. 서 론

유도탄에 탑재되는 임베디드 시스템은 클럭 신호에 기반을 두고 동작한다. 따라서 클럭은 임베디드 시스템의 동작 정확성을 결정하는 가장 중요한 요소이다^[1,2]. 따라서 정확한 주파수의 클럭 신호를 사용할 수 없다면 여러 가지 문제가 발생하게 된다. 예를 들면 주파수의 미세한 변화로 인해 시스템이 실시간성을 만족시키지 못하거나^[3], 서로 다른 클럭 생성원을 가

진 시스템간의 통신에서 데이터에 오류가 발생할 수 있다^[4,5].

대부분의 임베디드 시스템에서 클럭은 주파수 발생기를 통해서 생성된다. 이러한 주파수 발생기의 출력은 소자의 특성, 온도, 습도 등 동작 환경에 의해서 달라질 수 있다. 앞서 언급한 것처럼, 클럭의 주파수가 변화하면 시스템 전체의 성능이 바뀌기 때문에 이를 보완하기 위해 온도 보상 발진기와 같은 회로들이 제안되고 있지만, 가격이 비싸다는 단점이 있다^[6].

다양한 분야에서 신호의 주파수를 검출하기 위한 노력들이 있었지만^[7-9], 주파수 검출 회로의 복잡성과 시간 지연 등의 문제로 인해 실시간으로 클럭 주파수

* Corresponding author, E-mail: gjeong@add.re.kr
Copyright © The Korea Institute of Military Science and Technology

를 확인하는 것이 어려웠다. 따라서 보상 회로를 사용함에 있어 제약 사항이 있었다.

본 논문에서는 임베디드 시스템이 동작하는 중에도 주파수 검출이 가능한 회로를 제안하였다. 제안한 주파수 검출 회로는 임베디드 시스템의 동작에 영향을 주지 않도록 간단하게 구현하여 1 ms 이내의 주파수 검출이 가능하다. 또한 필터의 주파수 응답 특성을 통한 최적 설계 방법을 제안하였다.

2. 주파수 검출기 구현

2.1 제안한 주파수 검출기 회로도

제안한 회로는 Fig. 1에서 볼 수 있듯이, 필터와 최대 전압 검출기로 구성된다. 필터는 클럭 신호를 필터링하여 주파수마다 다른 전압값을 가지는 삼각파를 만들어 주는 역할을 하므로 최대 전압 검출기는 필터의 출력으로 나오는 삼각파의 최대 전압을 감지하고 이를 직류 전압 형태로 출력한다.

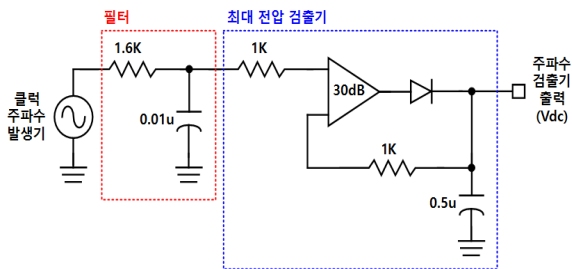


Fig. 1. Proposed frequency detector circuit

2.2 필터 구현

필터는 주파수마다 다른 크기의 출력 파형을 가지도록 하는 역할을 하므로 목표하는 주파수 근처에서 필터의 감쇄 특성이 발생하도록 구현해야 한다.

필터는 Low Pass Filter(LPF), High Pass Filter(HPF), Band Pass Filter(BPF), Band Stop Filter(BSF)로 구분할 수 있으며, 본 논문에서는 수십 kHz 수준으로 동작하는 임베디드 시스템의 동작 주파수를 고려하여 10~90 kHz를 구분할 수 있도록 LPF를 적용하여 설계하였다. LPF는 저항과 캐패시터를 사용하여 1개의 단으로 구성하였고, Fig. 2에서 볼 수 있듯이 소자의 값에 따라 감쇄 특성이 달라지는 것을 볼 수 있다.

이 때 감쇄 특성이 20 dB를 넘어가면 신호의 크기

가 작아져서 전압 검출이 어렵다. 본 논문에서는 목표한 주파수 범위에서 감쇄 특성이 20 dB를 넘지 않도록 캐패시터 0.01 uF과 저항 1.6 kΩ을 사용하여 필터를 구현하였다.

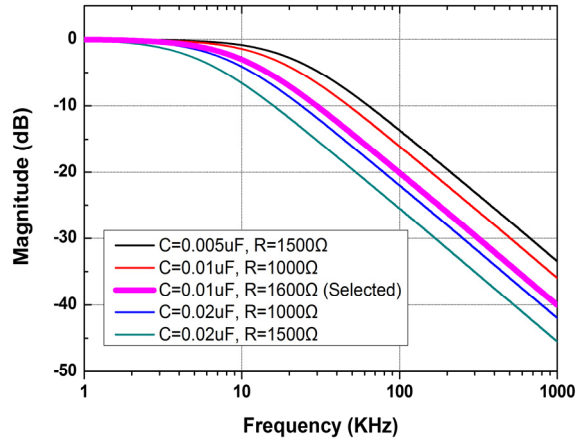


Fig. 2. Simulated frequency response according to resistor and capacitor

필터는 주파수에 따라 다른 전압값을 가지는 신호를 얻기 위해 사용되므로 본 논문에서와 다른 검출주파수 범위를 갖는 경우 HPF, BPF, BSF 등 다양한 형태의 필터도 활용 가능하다.

2.3 최대 전압 검출기 구현

최대 전압 검출기 필터의 출력에서 나오는 신호의 최대값을 찾은 후 일정시간 동안 유지하도록 구현하였다. 저항 값은 연산 증폭기의 입력 임피던스를 고려하여 1 kΩ으로 사용하였고, 출력을 일정시간 유지할 수 있도록 캐패시터와 다이오드를 사용하였다. 이 때 캐패시터의 값은 출력단의 시상수가 필터 출력의 주기보다 큰 값을 가지도록 결정하였다.

회로의 동작 원리는 Fig. 3과 같다. 먼저 필터의 출력에서 입력된 신호가 주파수 검출기의 출력보다 큰 경우에는 연산 증폭기에서 양의 값이 나오게 되고, 이 때 출력 단의 캐패시터가 충전이 된다. 반대의 경우에는 연산 증폭기에서 음의 값이 나오게 되고 이 때 캐패시터는 이전에 충전된 전압 값을 유지하게 된다. 이 때 캐패시터의 용량에 따라서 출력 유지 시간이 결정되므로 이를 고려하여 0.5 uF을 사용하여 구현하였다.

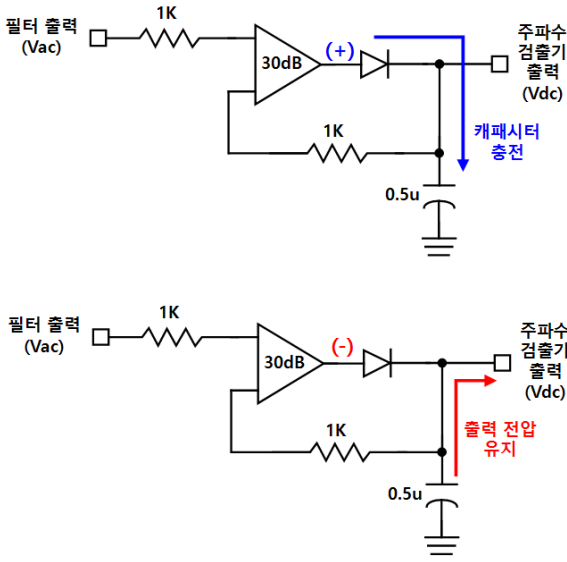


Fig. 3. Operation principle of peak voltage detector

2.4 필터의 주파수 응답 특성 분석

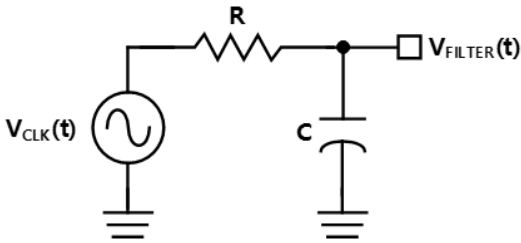


Fig. 4. RC low pass filter

저주파 RC 필터는 Fig 4와 같이 구성된다. 이 때 필터의 입력 신호를 시간에 대한 함수 $V_{CLK}(t)$, 출력 신호를 시간에 대한 함수 $V_{FILTER}(t)$ 로 표현하면 다음과 같다.

$$V_{CLK}(t) = A \cdot \sin(2\pi ft) \tag{1}$$

$$V_{FILTER}(t) = A \cdot (1 - e^{-\frac{t}{RC}}) \tag{2}$$

이 때 시간을 주파수로 바꾸어 표현할 수 있다.

$$V_{FILTER}(f) = A \cdot (1 - e^{-\frac{1}{RC} \cdot \frac{1}{f}}) \tag{3}$$

그리고 최대 전압 검출기는 필터의 최대 출력 전압을 검출하기 때문에 출력의 크기보다는 출력의 유지 시간과 관련이 있다. 따라서 최대 전압 검출기에서 나오는 최종 출력은 아래와 같이 필터의 최대 출력 값의 함수로 표현 가능하다.

$$V_{DETECTOR}(f) = MAX(V_{FILTER}(f)) \tag{4}$$

즉, 최종 출력은 사용하는 필터의 주파수 특성에 의해서 결정된다고 할 수 있으므로 $V_{FILTER}(f)$ 의 최대값이 최종 출력으로 나오게 되는 것이다. 식 (3)의 $e^{-\frac{1}{RC} \cdot \frac{1}{f}}$ 항은 주파수에 따라 다른 값을 갖게 된다. 여기서 저항과 캐패시터 값은 상수값이므로 주파수가 낮을수록 해당 항의 값이 작아진다. 따라서 주파수와 최종 출력 전압은 반비례하는 특성을 가진다.

2.5 필터의 최적화 설계

제안한 주파수 검출기는 필터의 주파수 응답 특성을 조절하여 다양한 주파수에 활용이 가능하다. 검출하고자 하는 주파수를 미세하게 조정하여 출력 전압이 크게 변하는 필터를 설계하면 된다. 이는 필터의 입력 주파수 변화에 대한 출력 전압의 민감도(S_f^V)를 의미하는데, 식으로 정리하면 아래와 같다.

$$S_f^V = \frac{\frac{\partial V}{V}}{\frac{\partial f}{f}} = \frac{f}{V} \frac{\partial V}{\partial f} \tag{5}$$

식 (5)에 식 (3)을 대입해서 정리하면 다음과 같다.

$$S_f^V = -\frac{M \cdot e^{-M}}{1 - e^{-M}} \quad \text{where } M = \frac{1}{RCf} \tag{6}$$

최종적으로 도출한 식 (6)은 필터의 민감도를 주파수에 대한 함수로 표현한 식이다. 즉, 원하는 주파수에서 큰 민감도를 가지는 저항과 캐패시터 값을 사용하여 필터를 설계할 경우에 작은 주파수 변화에도 출력 전압의 큰 변화를 얻을 수 있다는 것을 의미한다.

식 (6)을 활용해서 본 논문에서 설계한 저주파 필터의 목표 주파수 범위에 해당하는 10, 50, 90 kHz에 대

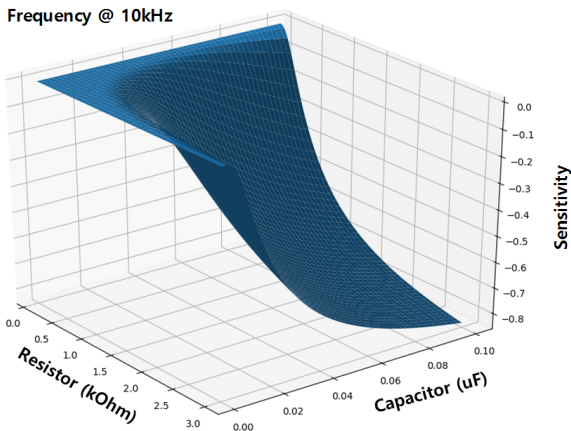


Fig. 5. Sensitivity of filter at 10 kHz (3D)

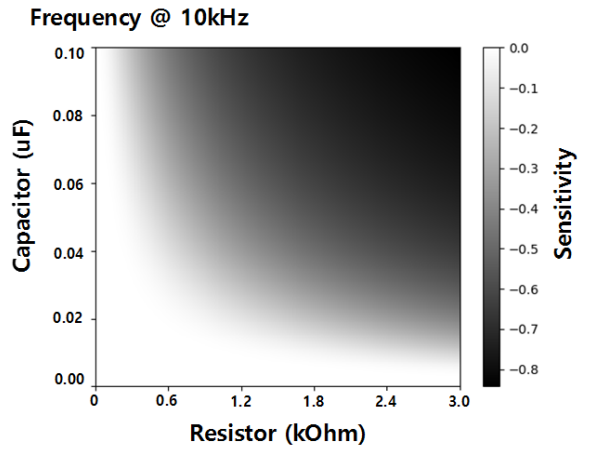


Fig. 8. Sensitivity of filter at 10 kHz (2D)

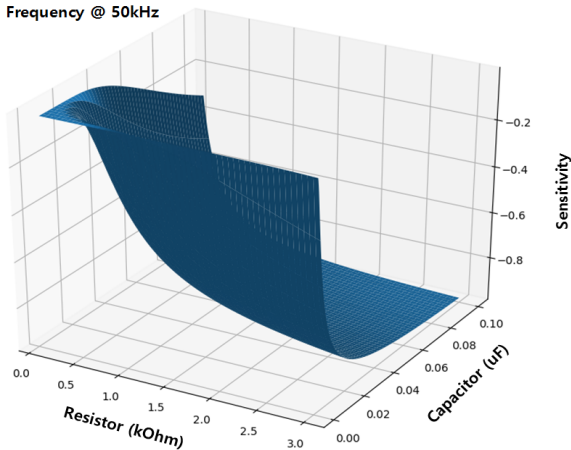


Fig. 6. Sensitivity of filter at 50 kHz (3D)

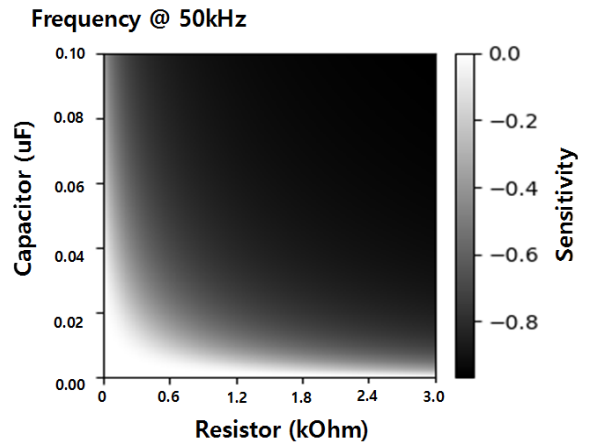


Fig. 9. Sensitivity of filter at 50 kHz (2D)

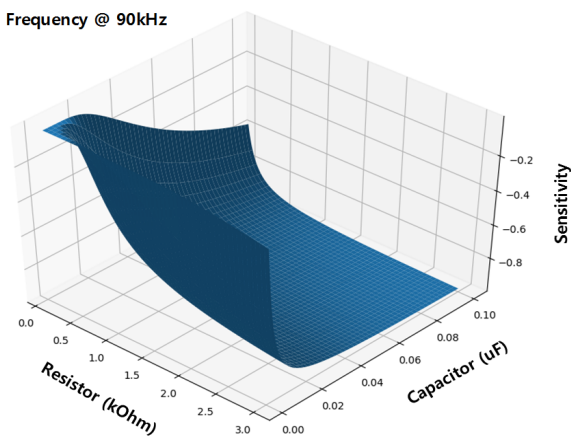


Fig. 7. Sensitivity of filter at 90 kHz (3D)

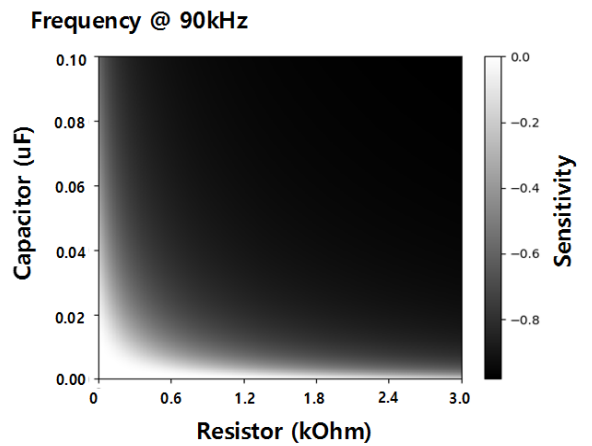


Fig. 10. Sensitivity of filter at 90 kHz (2D)

해서 살펴보았다. Fig. 5, 6, 7은 각각의 주파수에 대해 3차원 그래프로 나타낸 것이다. 식 (6)과 Fig. 5, 6, 7을 근거로 저항과 캐패시터의 값이 민감도에 영향을 준다는 것을 알 수 있다. 영향성 확인을 위해 Fig. 8, 9, 10에 2차원 그래프로 표현하였다.

모든 주파수에 대한 결과에서 볼 수 있듯이, 저항과 캐패시터의 값이 같은 값을 가질 때 같은 민감도를 가진다.

또한 동일한 필터를 사용하더라도 동작 주파수에 따라 민감도의 크기는 다르다. Fig. 8을 보면 10 kHz의 경우에 민감도가 큰 구간이 전체 면적의 1/3 정도를 차지하는데, 이는 소자의 공정 오차가 발생하더라도 민감도가 충분히 확보될 수 있음을 의미한다. 반면에 주파수가 높아질수록 민감도가 큰 구간이 좁아지며, 이는 소자의 오차에 의해서 민감도 특성이 달라질 수 있음을 의미한다.

민감도를 고려하여 대부분의 주파수에서 큰 민감도를 얻기 위해서는 작은 크기의 저항과 캐패시터를 사용하는 것이 유리하다. 하지만 적은 값의 저항과 캐패시터는 공정상의 오차율이 크고 고가이기 때문에 이를 고려하여 설계를 진행했다. 본 논문에서는 저항 1.6 kΩ, 캐패시터 0.01 μF을 사용하여 필터를 구성하였다.

이는 주파수 검출기가 낮은 주파수에서는 주파수 변화에 따라 큰 출력 전압 차이를 보이고, 높은 주파수에서는 주파수 변화에 따라 적은 출력 전압 차이를 보이는 것을 의미한다.

3. 주파수 검출기 동작 결과

제안한 회로를 구현하여 시뮬레이션을 통해 확인한 결과는 Fig. 11과 같다. 삼각파에 가까운 특성을 가지는 클럭 주파수는 필터를 통과하며 삼각파 형태를 갖는다. 이 때 감쇄 구간을 10~90 kHz 영역으로 설계하였기 때문에 주파수 값이 커질수록 삼각파 출력의 최대 진폭이 작아진다.

최대 전압 검출기의 출력 결과는 Fig. 12와 같다. 필터를 통과한 삼각파의 최대 전압을 감지하여 해당 전압을 출력하고 있다. 출력 전압은 약 0.6 ms가 지나면 안정적으로 수렴하는데 이는 출력 단의 캐패시터 용량에 의해서 결정되는 것이므로 필요에 따라 조절이 가능하다.

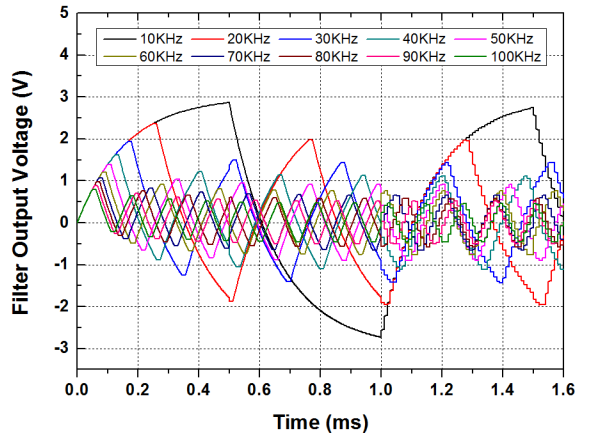


Fig. 11. Simulated output voltage of the filter

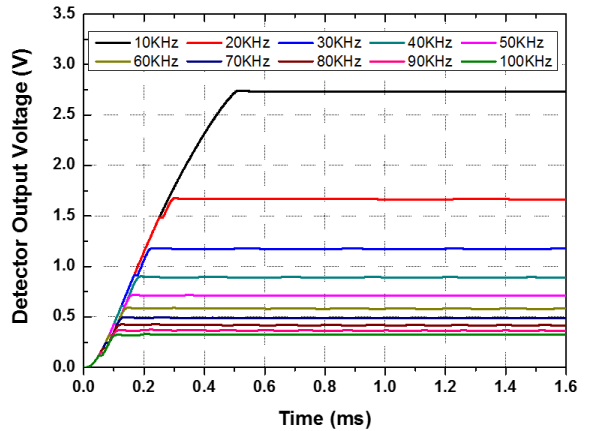


Fig. 12. Simulated output voltage of the detector

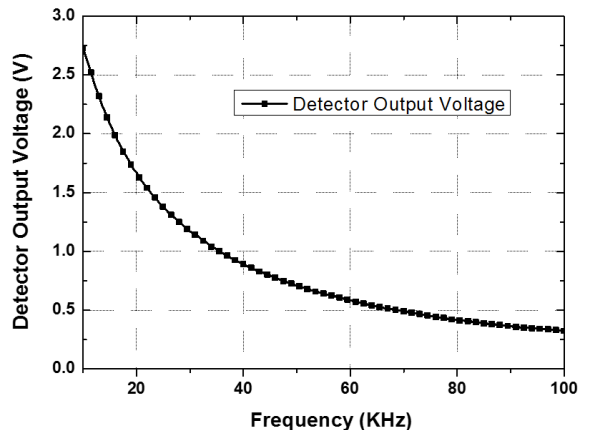


Fig. 13. Frequency response of output voltage for the detector

검출 전압의 주파수 응답 특성은 Fig. 13과 같다. 필터의 출력으로 나오는 신호의 최대 전압을 검출하기 때문에 주파수가 높아짐에 따라 검출 전압의 크기가 작아진다.

다른 주파수 대역을 검출하고자 할 때에는 2.5절에서 언급한 것처럼 필터의 특성을 바꾸어 설계하면 되며, 필터를 구성하는 저항과 캐패시터의 크기를 바꾸어가며 주파수 검출 전압을 Fig. 14와 같이 확인할 수 있다.

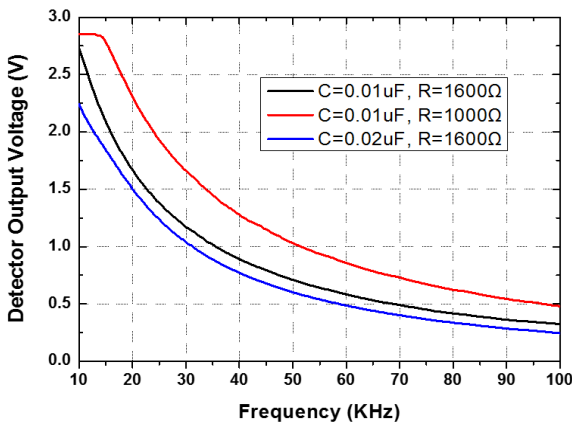


Fig. 14. Frequency response of the voltage detector according to resistor and capacitor

필터의 동작 주파수는 저항과 캐패시터의 값으로 결정되며, 필터의 동작 주파수가 현재 설계보다 낮은 경우와 높은 경우에 대해 각각 확인해 보았다. 필터의 동작 주파수가 낮은 경우에는 출력 전압이 낮은 주파수 쪽으로, 반대의 경우 높은 주파수 쪽으로 이동한다. 즉, 목표하는 검출 주파수에 따라 필터를 설계하면 원하는 검출 범위를 설정할 수 있음을 알 수 있다.

본 논문에서 설계한 주파수 검출기의 특성에 대한 참조 테이블은 Table 1과 같다. 참조 테이블을 활용하여 주파수 검출기의 출력 전압에 해당하는 주파수를 찾을 수 있다. Table 1에서 보면 10 kHz에서는 0.07 V 정도, 55 kHz 근처에서는 0.006 V 정도, 90 kHz 근처에서는 0.001 V 정도의 간격을 가진다. 이는 2.5절에서 언급한 것처럼 주파수가 높아질수록 민감도가 낮아지는 특성 때문이다. 현재 상용 ADC의 경우 전압 검출 해상도가 1 mV 정도를 만족하므로 본 논문에서 설계한 회로의 출력을 정확하게 검출할 수 있을 것으로 예상된다.

Table 1. Look-up table according to frequency

Frequency (kHz)	$V_{DETECTOR}$ (V)	Frequency (kHz)	$V_{DETECTOR}$ (V)
10	2.73	60	0.583
10.5	2.66	60.5	0.578
11	2.59	61	0.572
11.5	2.52	61.5	0.566
12	2.45	62	0.562
12.5	2.38	62.5	0.556
13	2.32	63	0.55
13.5	2.25	63.5	0.547
14	2.2	64	0.541
14.5	2.14	64.5	0.537
15	2.09	65	0.532
15.5	2.04	⋮	⋮
16	1.99	⋮	⋮
16.5	1.94	80	0.418
17	1.9	80.5	0.413
17.5	1.85	81	0.412
18	1.82	81.5	0.409
18.5	1.78	82	0.407
19	1.74	82.5	0.406
19.5	1.7	83	0.401
20	1.67	83.5	0.398
⋮	⋮	84	0.397
⋮	⋮	⋮	⋮
⋮	⋮	84.5	0.392
55	0.641	85	0.389
55.5	0.635	85.5	0.388
56	0.629	86	0.383
56.5	0.626	86.5	0.381
57	0.62	87	0.38
57.5	0.614	87.5	0.375
58	0.607	88	0.373
58.5	0.602	88.5	0.372
59	0.595	89	0.367
59.5	0.589	89.5	0.366

4. 결 론

유도탄에 탑재되는 임베디드 시스템은 클럭 주파수를 기준으로 동작하기 때문에 정확한 주파수의 신호를 사용해야 한다. 하지만 주파수 생성기는 동작환경에 의해서 오차가 발생하므로 이를 보상하기 위한 실시간 주파수 검출 및 보상 기능이 필요하다.

본 논문에서는 필터를 활용한 실시간 주파수 검출기를 제안하고 동작을 확인했으며, 필터의 주파수 특성에 대해 분석하여 최적 설계 방법을 제안하였다. 제안한 주파수 검출기는 필터와 최대 전압 검출기로 구성되어 있는 간단한 구조로 임베디드 시스템이 동작하는 동안 클럭 주파수를 실시간으로 검출할 수 있다. 또한 목표하는 검출 주파수에서 큰 민감도를 가지도록 설계하면 검출 정확도를 높일 수 있다.

추후에 제안한 주파수 검출기의 검출결과를 활용해서 FPGA의 클럭 분주율 제어를 한다면, 실시간으로 클럭 주파수를 보상할 수 있다. 이를 통해 고가의 주파수 발생기 없이도 임베디드 시스템의 정확성을 향상시킬 수 있을 것으로 예상된다.

References

- [1] H. Moon and Y. Kim, "An Optimal Selection of Embedded Platform for Specific Applications," *Journal of the Institute of Electronics Engineers of Korea*, Vol. 47, No. 1, pp. 48-55, 2010.
- [2] S. Jeong, J. Lee and J. Kim, "Characterization of Small Embedded Programs," *IEIE Annual Conference Proceedings*, pp. 771-772, 2008.
- [3] H. Park, S. Kwon, H. Kim, W. Jeon and M. Kong, "Integrated Testing for Real-Time Performance Test of GCU," *KIMST Annual Conference Proceedings*, pp. 278-281, 2010.
- [4] D. Kim, et al., "Clock Synchronization of Digital Receiver for Active Array Phase Antenna," *KIMST Annual Conference Proceedings*, pp. 1224-1225, 2018.
- [5] S. Woo, H. Lim, C. Choi and W. Jeong, "Real-Time Monitoring System Development for Aircraft Survivability Equipment Flight Test using Telemetry System," *KIMST Annual Conference Proceedings*, pp. 515-518, 2011.
- [6] D. Won, et al., "Performance Analysis of Temperature Compensated Crystal Oscillator," *KIMST Annual Conference Proceedings*, pp. 1845-1846, 2019.
- [7] C. Lee, et al., "Broadband Root-Mean-Square Detector in CMOS for On-Chip Measurements of Millimeter-Wave Voltages," *IEEE Electron Devices Letters*, Vol. 33, No. 6, pp. 752-754, 2012.
- [8] H. Johansson, "A Simple Precharged CMOS Phase Frequency Detector," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 2, pp. 295-299, 1998.
- [9] J. Savoj and B. Razavi, "A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Binary Phase/Frequency Detector," *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 1, pp. 13-21, 2003.