

논문 2021-16-33

레이더 알고리즘 분석을 위한 실시간 로깅 시스템 구현 (Implementation of Real-Time Data Logging System for Radar Algorithm Analysis)

진영석, 현유진*
(YoungSeok Jin, Eugin Hyun)

Abstract : In this paper, we developed a hardware and software platform of the real-time data logging system to verify radar FEM (Front-end Module) and signal-processing algorithms. We developed a hardware platform based on FPGA (Field Programmable Gate Array) and DSP (Digital Signal Processor) and implemented firmware software to verify the various FEMs. Moreover, we designed PC based software platform to control radar logging parameters and save radar data. The developed platform was verified using 24 GHz multiple channel FMCW (Frequency Modulated Continuous Wave) in an environment of stationary and moving targets of chamber room.

Keywords : Radar, FMCW, Real-Time, Logging System

I. 서론

최근 레이더는 국방, 항공, 자동차, 의료 등 다양한 분야에서 적용되고 있다. 특히 칩셋 벤더들이 다양한 레이더 송수신 IC (Integrated Circuit)와 고성능 DSP (Digital Signal Processor), MCU (Micro Controller Unit)를 시장에 출시하여 레이더 시스템의 상용화 가능성은 더욱 커질 전망이다.

레이더 시스템은 FEM (Front-end Module)과 BEM (Back-end Module)으로 구성된다 [1-3]. 여기서 FEM도 안테나와 송수신기로 나뉜다. BEM은 마이크로프로세서 및 주변 장치를 포함한 하드웨어와 신호 처리 알고리즘 및 작동 기능을 포함하는 임베디드 소프트웨어로 구성된다.

각 레이더 시스템에서 FEM과 BEM의 구성은 의료, 국방, 자동차, 항공등 다양한 응용분야의 요구조건에 따라 결정된다. 즉, FOV (Field of View), 안테나 형태, 파형 변조 방식, 송신기 전력, 신호 제어 방법, 인터페이스, 신호처리 구성, 그리고 알고리즘 복잡성 등이 응용분야 맞춤형으로 설계 및 구현되어야 한다.

따라서 레이더 시스템 개발을 위해서는 다양한 실제 환경에서 하드웨어는 물론이고 알고리즘을 포함한 소프트웨어 오류 및 성능 검증을 실측 데이터를 기반으로 진행해야 한다. 이를 위해 레이더 시스템의 개발에서는 일반적으로 맞춤형 검증 테스트 베드도 함께 개발되는데, 이는 시간과 비용을 필요로 한다.

물론 레이더 센서의 실측 데이터를 획득하기 위한 방법으

로 상용 모듈을 사용할 수도 있다. 그 대표적인 예로 PC 연결용 오실로스코프 보드, NI 사의 DAQ (Digital Acquisition) 모듈, 한컴MDS 사의 데이터로깅 장비 등이 있다.

먼저 PC 연결용 오실로스코프 보드는 낮은 가격에 휴대성이 용이하나, 샘플링 주파수가 낮고 응답속도가 느리다는 단점이 있다. NI 사 DAQ의 경우 Labview로 소프트웨어를 구현함으로써 다양한 신호를 로깅 할 수 있는 장점이 있는 반면, 샘플링 주파수가 낮은 관계로 수십 MHz 신호까지 로깅이 필요한 레이더 센서에는 다소 한계가 있다. 마지막으로 한컴MDS 사 데이터로깅 장비 경우에는 자율주행 자동차용에 맞춰 제작된 장비로 가격이 매우 고가이므로 단순 레이더 센서 신호 로깅용으로 활용하는 것에는 무리이다.

따라서 본 논문에서 제안한 테스트 베드는 다채널 레이더 신호를 고속으로 획득 가능하며, 영상 신호와도 동기화 되어 저장되고, ADC 샘플링 주파수로 고속으로 운영할 수 있어 레이더 개발에 매우 효과적이다.

이에 본 논문에서는 다양한 레이더 FEM 및 신호 처리 알고리즘의 실시간 테스트를 위한 하드웨어 및 소프트웨어 플랫폼을 개발했다. 본 논문에서 개발한 플랫폼은 FPGA (Field Programmable Gate Array)와 DSP (Digital Signal Processor)를 포함하는 하드웨어 플랫폼과 입출력 핀들을 제어하고 데이터를 저장하는 소프트웨어 플랫폼으로 구성된다. 개발된 플랫폼은 챔버실에서 24GHz 다중 채널 FMCW (Frequency Modulated Continuous Wave) FEM을 사용하여 검증했다.

II. 개발 및 구현

1. 전체 로깅 시스템 플랫폼 구조

그림 1은 실시간 데이터 로깅을 위한 하드웨어 및 소프트

*Corresponding Author (braham@dgist.ac.kr)

Received: Sep. 29, 2021, Revised: Nov. 3, 2021, Accepted: Nov. 29, 2021.

Y.S. Jin : DGIST (Researcher)

E. Hyun : DGIST (Principal Researcher)

※ 본 논문은 과학기술정보통신부에서 지원하는 DGIST 기관고유사업("미래 자동차 환경 센싱 및 소프트웨어 플랫폼 핵심기술 개발", 21-IT-02)의 지원을 받아 수행한 연구임.

© IEMEK J. Embed. Sys. Appl. 2021 Dec. 16(6) 253-258

ISSN : 1975-5066

http://dx.doi.org/10.14372/IEMEK.2021.16.6.253

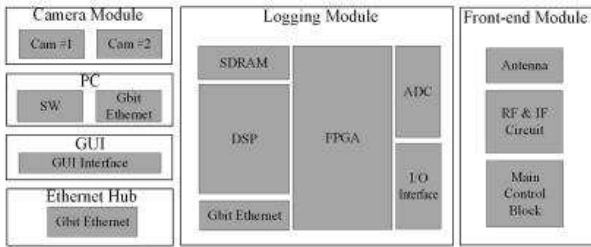


그림 1. 실시간 데이터 로깅 하드웨어 & 소프트웨어 시스템 아키텍처 블록도

Fig. 1. Block diagram of system architecture of hardware and software platform for real-time data logging

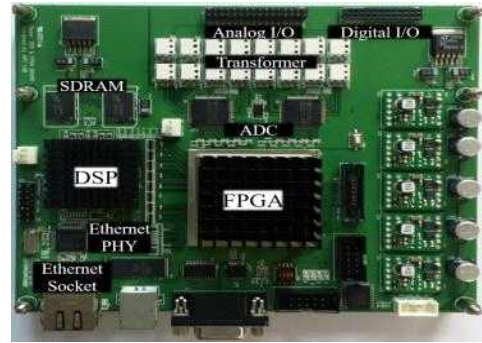


그림 3. 메인칩으로 구현된 데이터 로깅보드 사진
Fig. 3. Photo of data logging board implemented with main chips

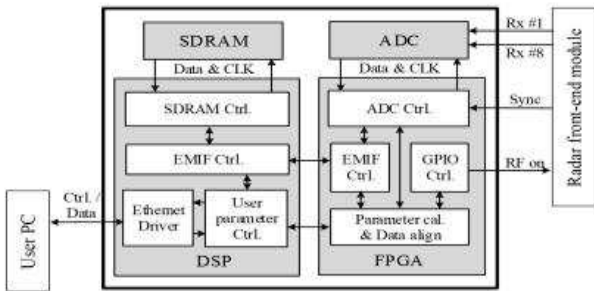


그림 2. 데이터 로깅 보드 블록도

Fig. 2. Block diagram of the designed data logging board

웨어 플랫폼의 시스템 아키텍처 블록도이다. 플랫폼은 로깅 모듈, 카메라 모듈, GUI (Graphic User Interface), PC, 이더넷 허브로 구성된다.

로깅 모듈은 ADC (Analog Digital Converter), FPGA, DSP로 구성되어 FEM에서 수신된 레이더 신호를 디지털화하고, 저장하고, 제어 시스템을 관리한다.

두 대의 카메라 모듈의 출력은 레이더 신호 처리 결과를 확인하기 위해 로깅 데이터와 동기화되어 영상으로 저장된다. PC의 소프트웨어 블록은 수신 데이터를 저장하고 알고리즘을 검증한다. 사용자는 GUI를 통해 전체 플랫폼을 제어할 수 있다. 이때 로깅 모듈과 카메라 모듈 및 PC는 기가비트 이더넷을 통해 연결된다.

2. 하드웨어 플랫폼 구조

그림 2는 FPGA와 DSP로 구성된 하드웨어 블록도이다. 구현된 보드에서는 8채널 ADC를 동시에 지원하기 위해 Intel의 Stratix4 EPSE530H 칩과 1GHz 클럭으로 동작하는 Ti의 TMS320C6450를 사용했고 실시간으로 많은 데이터를 저장하기 위해 256MByte DDR2 SDRAM 2개를 사용했다.

FEM에서 수신된 신호는 ADC와 FPGA의 GPIO (General Purpose Input Output)핀에 연결된 Sync, RF_on 등의 제어 신호를 통해 FPGA로 입력된다. 이 데이터는 DSP를 거쳐 이더넷을 통해 PC로 전송한다. 이때 DSP는 SDRAM을 제어하여 수신 데이터나 알고리즘 처리 결과를 저장한다.

FPGA와 DSP 간 데이터 전송은 고속 EMIF (Eternal

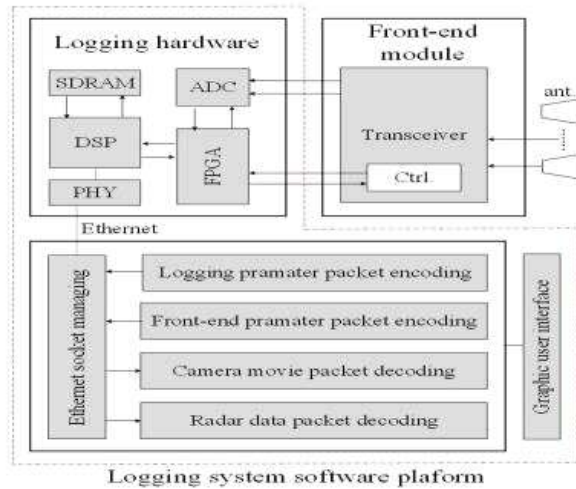


그림 4. 로깅 시스템 소프트웨어 플랫폼 블록도
Fig. 4. Logging system software platform block diagram



그림 5. 사용자 정의 매개변수를 설정하는 GUI
Fig. 5. GUI to set user defined parameters

Memory Interface)를 사용하고 제어 신호는 GPIO 핀을 통해 연결된다. 또한 DSP와 FPGA는 GUI를 통해 선택된 사용자 매개변수를 기반으로 ADC를 제어하고 디지털화된 샘플들을 알고리즘 처리에 맞게 정렬한다. 이를 위해 FPGA와 DSP는 그림 2와 같이 다양한 내부 블록으로 설계했다.

그림 3은 하드웨어 플랫폼의 구현 사진이다. PCB(Printed Circuit Board)의 레이아웃 시 칩과 라인의 배치 및 라우팅을 최적화해서 구현하였고, 아날로그 신호와 디지털 클럭 라인을 최대한 분리하여 디지털 노이즈가 아날로그 신호에 영향을 미치지 않도록 설계하였다.

3. 소프트웨어 플랫폼 구조

그림 4는 하드웨어 플랫폼에 구현되는 소프트웨어 플랫폼의 블록도이다. 그림 5는 레이더 데이터 로깅을 제어하기 위해 개발된 GUI 이다. 소프트웨어 플랫폼은 FPGA 펌웨어 소프트웨어, DSP 펌웨어 소프트웨어, 그리고 GUI로 구현된 PC 소프트웨어로 구성된다.

먼저 GUI로 구현된 PC 소프트웨어는 다음과 같이 동작한다. GUI에서 이더넷 IP 주소를 설정하고 DSP 및 PC를 Gigabit 네트워크로 연결한다. 사용자는 활성 채널, 트리거 모드, 샘플링 주파수, 램프 수 및 프레임 수와 같은 로깅에 필

요한 매개변수를 선택한다. 이 정보는 로깅을 위한 사전 준비를 위해 PC 소프트웨어에서 DSP 소프트웨어로 전달된다.

사용자는 GUI를 통해 'START'와 'STOP' 버튼을 선택하고, PC 소프트웨어는 DSP 소프트웨어에 데이터 로깅 시작과 종료 제어명령을 전달한다. 동시에 PC 소프트웨어는 영상 저장의 시작과 종료를 제어하고 로그 정보를 기록한다.

PC 소프트웨어는 DSP 소프트웨어로부터 로깅 완료 메시지를 수신하면 레이더 데이터와 영상 데이터를 PC 저장장치에 저장한다. 이러한 과정은 GUI 로그 창에 표시된다.

두번째, FPGA 펌웨어 소프트웨어는 다음과 같이 동작한다. DSP 소프트웨어에서 전송된 매개변수를 기반으로 ADC 레지스터가 설정된다. 시작 명령이 DSP 소프트웨어로 부터 수신되면 'RF_ON' 신호를 활성화 하여 FEM을 동작시키고 디지털화된 레이더 수신 신호를 획득한다. 이때 레이더 수신 신호는 GUI에서 선택된 매개 변수를 기반으로 'Sync'신호에 따라 동기화 모드 혹은 외부 트리거 신호와 상관없는 비동기 모드로 저장된다. 데이터 로깅이 완료되면 FPGA 소프트웨어는 DSP 소프트웨어에게 완료 신호를 전달한다.

마지막으로 DSP 펌웨어 소프트웨어는 다음과 같이 동작한다. DSP 소프트웨어는 사용자가 GUI를 통해 설정한 매개변수를 읽어서 DSP 동작 환경을 설정한다. FPGA 소프트웨어

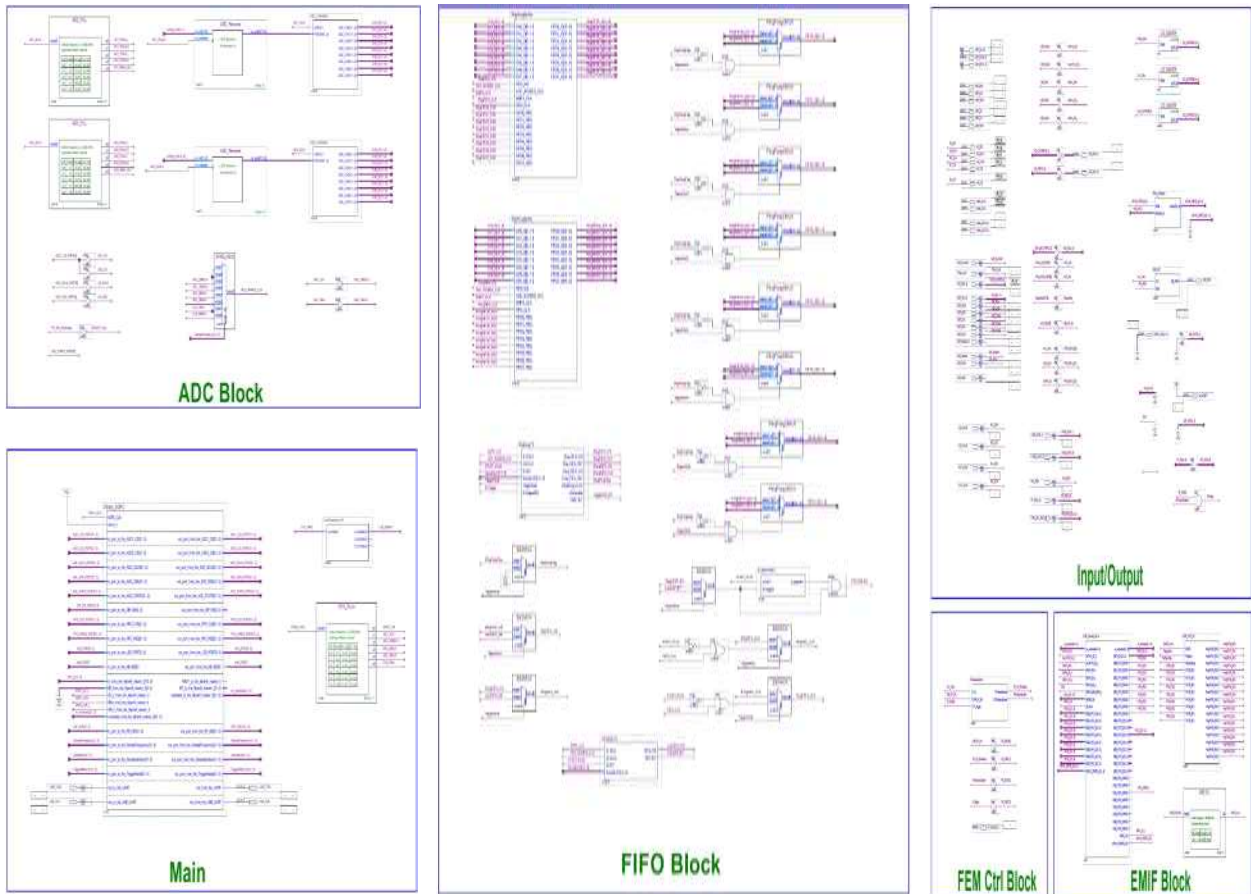


그림 6. FPGA 펌웨어 소프트웨어 로직 블록
Fig. 6. FPGA Firmware software Logic Block

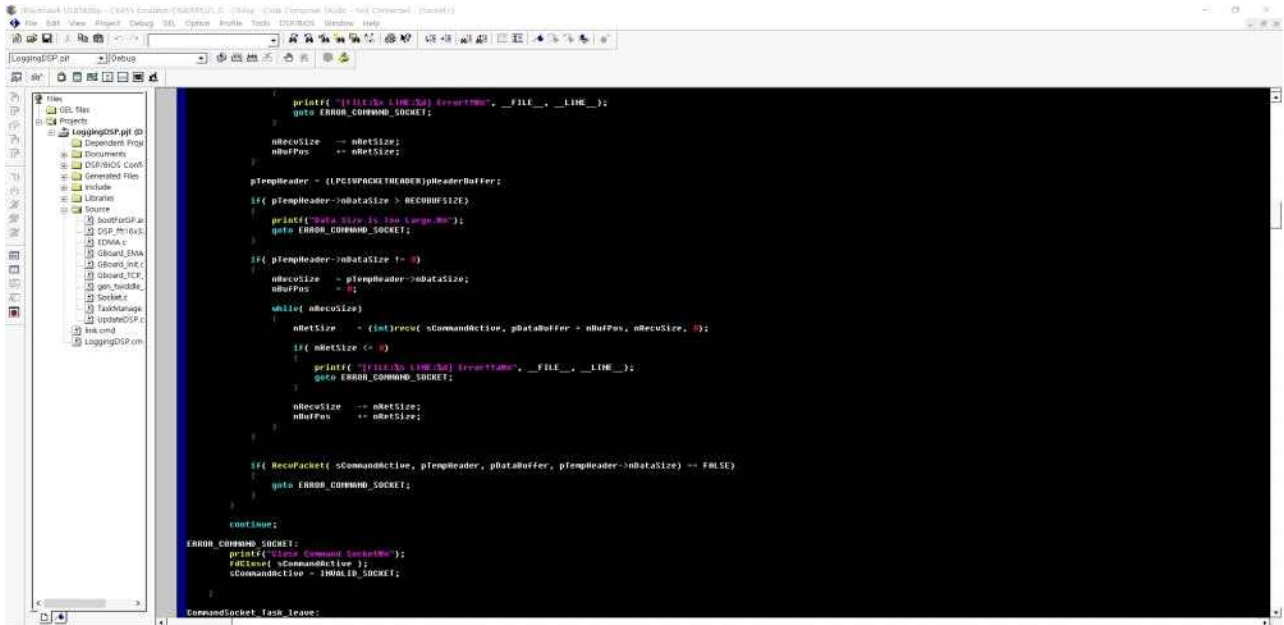


그림 7. DSP 펌웨어 소프트웨어 코드
Fig. 7. DSP Firmware software Code

표 1. 챔버 세부 사양
Table 1. Chamber Specification

Parameters	Specifications
Chamber Style	Rectangular
Chamber Size	10m(L)×5m(W)×4m(H)
Shielding Frequency Range	8GHz ~ 110GHz
Shielding Effectiveness	60dB at 8 GHz
Absorber Type	Microwave Absorber
Absorber Thickness	More than 8 inch
Absorber	More Than -40dB at 8GHz

FPGA 펌웨어 소프트웨어의 모든 로직은 Quartus II 도구 기반으로 개발했다. 또한 DSP 펌웨어 소프트웨어는 Code Composer 도구를 기반으로 개발했다. 그림 6은 Quartus II로 구현된 FPGA 소프트웨어 로직 일부이다.

이 로직은 상단 통합 블록, ADC 제어 블록, FIFO (First-Input First-Out) 메모리 블록, FEM 제어블록, EMIF 제어블록 및 입출력 블록이다. 그림 7은 Code Composer 도구를 사용하여 DSP에 구현된 펌웨어의 일부이다. 코드는 사용자 인터페이스와 관련된 이더넷 제어 및 사용자 매개변수 관리 코드이다.

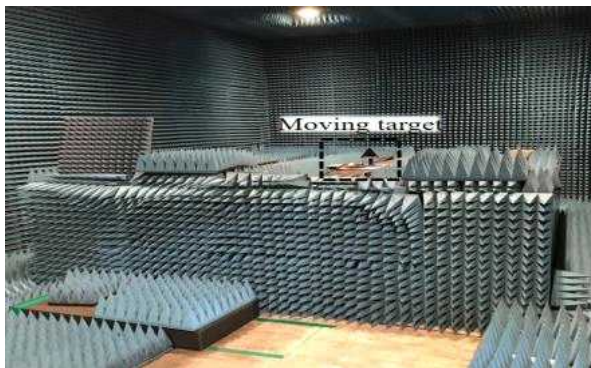


그림 8. 로깅 시스템 검증을 위한 챔버실 사진
Fig. 8. Photo of Chamber to verify the logging system

어에서 각 프레임별 레이더 신호 저장 완료 신호를 전달 받으면 DSP 소프트웨어는 그 데이터를 SDRAM에 이동 저장한다. 모든 프레임 저장이 완료되면 DSP 소프트웨어는 로깅 중지 명령을 FPGA 소프트웨어에 알리고, SDRAM에 저장된 데이터를 PC로 전송한다.

III. 실험 및 검증

개발된 하드웨어 및 소프트웨어 플랫폼을 검증하기 위해 챔버실에서 테스트를 진행했다. 표 1 및 그림 8 [4, 5]은 챔버실 세부 사양 및 구성이다.

검증을 위해 DGIST에서 개발한 8개 수신 채널을 가진 FEM 모듈을 사용했다 [3]. 다만 본 연구를 위해 송신 안테나는 소형 패치 형태로 새로이 제작하여 장착하였다. 그림 9와 10은 FEM 모듈 및 패치 안테나의 블록다이어그램과 사진이다. FEM 모듈 사양은 중심 주파수 24GHz, 대역폭 2GHz, 전송 전력 10dBm, 잡음 지수 8dB 이다. 증폭기는 6dB의 고정 이득을 가지며 2개의 자동 이득 제어기가 중속 되어 연결되어 있다.

안테나는 패치형 송신 안테나와 혼형 수신 안테나로 구성되며, 수직 및 수평 FOV (Field of View)는 83도와 13도, 100도와 10도이다. 두 안테나의 이득은 약 10dB이다. 8개의 Rx 안테나는 반파장 간격으로 장착했다. FEM 모듈에서 파형 생성 관리를 위해 PIC16F MCU를 사용했다. 본 논문에서

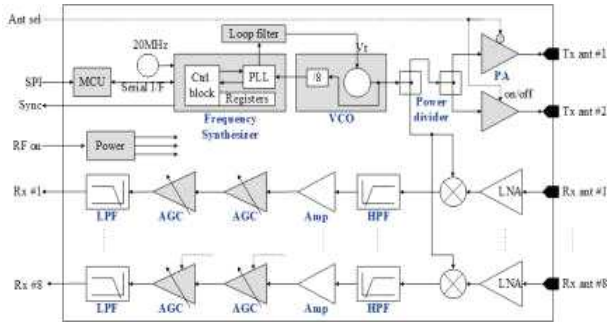


그림 9. 레이더 FEM 모듈 블록도
Fig. 9. Radar FEM Module Block diagram

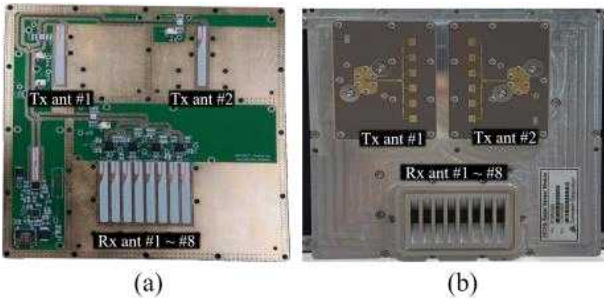


그림 10. 다중 수신 안테나를 갖는 레이더 FEM 모듈 사진 : (a) 칩셋 및 안테나 인터페이스가 부착된 PCB 평면도, (b) Tx 패치 안테나 및 Rx 혼 안테나가 부착된 하우징 평면도
Fig. 10. Photo of radar FEM module with multiple receive antennas : (a) PCB top-view assembled with chip-sets and interfaces of antennas, (b) housing top-view with attached Tx patch antennas and Rx horn antennas

서는 500MHz 대역폭과 400us 변조 주기를 갖는 파형을 설계하여 사용했다.

본 로깅 시스템은 5가지 시나리오로 검증을 진행했다. 4개 시나리오는 2.1m, 3.1m, 4.1m 및 5m에 위치한 정지 표적을, 마지막 시나리오는 2.1m ~ 5.2m 이동 표적 시나리오로 구성했다. 로깅 시스템 매개 변수는 샘플링 속도 5MHz, 샘플 길이 1024개, 램프 수 512개, 프레임 수 64개로 설정했다. 수신된 모든 레이더 데이터는 매트랩을 통해 구현된 알고리즘을 사용하여 분석했다. 그림 11은 2.1m 정지 표적이 있는 첫 번째 시나리오의 데이터이다. 그림 11 (a)~(h)는 수신 채널 #1~#8의 결과이다. x축은 시간영역으로 표현되는 샘플 인덱스, y축은 진폭을 나타낸다. 각 그림은 동일 시간에 수신된 8개 Rx 채널 신호이다. 모든 신호는 위상 오류 없이 저장됨을 확인했다.

그림 12는 FFT (Fast Fourier Transform) 및 제곱근을 사용하여 계산된 거리 프로파일이다 [6, 7]. 여기서 x축은 거리, y축은 PSD (Power spectrum density)이다. 그림 12 (a)와 그림 12 (b)는 시나리오 2.1m에 대한 채널 1,2번 결과이고, 그림 12 (c)와 그림 12 (d)는 시나리오 3.1m에 대한 채널 3,4번 결과이다. 그림 12 (e)와 그림 12 (f)는 시나리오 4.1m에 대한 채널 5,6번 결과이고, 그림 12 (g)와 그림 12 (h)는 시나리오 5m에 대한 채널 7,8번 결과이다. 실험 결과

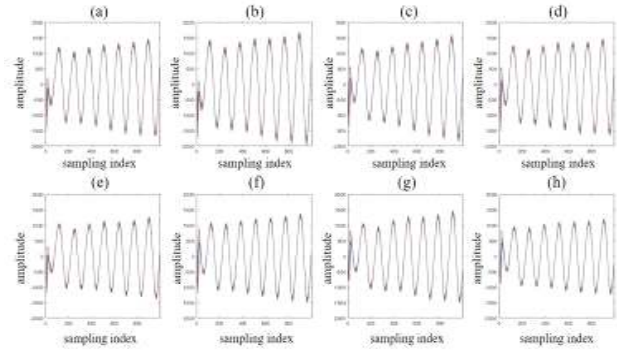


그림 11. 시간 도메인 상의 8개 Rx 채널 데이터 : (a)~(h) 각 Rx 채널의 결과
Fig. 11. 8 Rx channels Data in the time domain : (a) to (h) present the results of each Rx channel

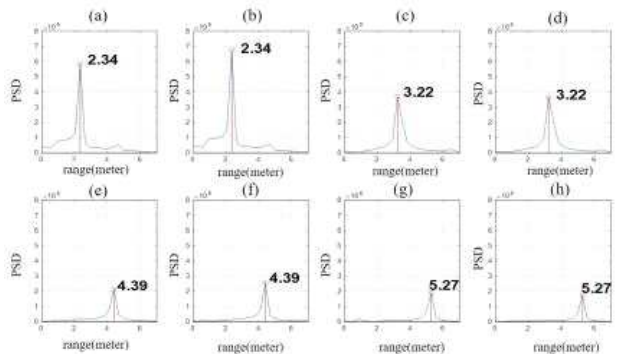


그림 12. 각 채널별 시나리오 표적의 거리 프로파일 결과 : 표적 위치는 (a),(b)는 2.1m, (c),(d)는 3.1m, (e),(f)는 4.1m 그리고 (e),(f)는 5m
Fig. 12. Range-profile results of the stationary target in each channel: the targets were located in 2.1m in (a) and (b), 3.1m in (c) and (d), 4.1m in (e) and (f), and 5.1m in (e) and (f)

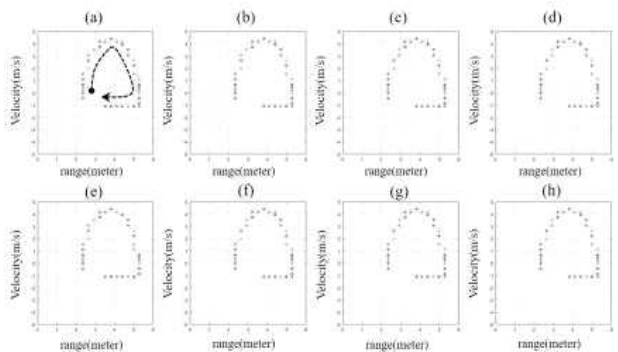


그림 13. 각 채널별 이동 표적 거리-속도 프로파일 결과 : (a)~(h)는 각 수신 채널 결과를 나타냄
Fig. 13. Range-Velocity profile results of the moving target in each channel: (a) to (h) indicates result of each Rx channel

각 시나리오에 대해 2.34m, 3.22m, 4.39m 그리고 5.27m로 약간의 오차가 발생했다.

마지막으로 그림 13은 여러 프레임에 걸쳐 움직이는 표적을 중첩 검출한 결과이다. 그림 13 (a)~(h)는 채널 #1~#8의 거리-속도 결과이다. 여기서 x축은 거리 (meter)이고 y축은 속도 (meter/second)이다. 그림에서 표적은 약 2.1m지점에서 4m/s로 가속되었다가 감속 한 후, 약 5.2m 지점에서 정지한 후 일정한 속도로 2.1m 지점으로 복귀하는 결과를 보여준다. 이 결과는 실제 챔버실 표적의 움직임과 일치함을 보여준다.

레이더 센서를 통해 측정된 거리 및 속도값의 오차는 본 논문에서 구현한 로깅보드와는 무관하며, 대역폭 및 변조주기와 같은 레이더 시스템 스펙, ADC 샘플링 주파수 및 FFT 포인트와 같은 신호처리 파라미터, 그리고 실험환경의 신호 대 잡음비에 의해 결정되는 것이다. 레이더 시스템 개발자는 원하는 응용분야에 맞게 이러한 값들을 설계하여야 하고, 실제 본 논문에서 개발한 테스트 베드를 통해 그 오차를 확인할 수 있을 것으로 판단한다.

IV. 결론

본 논문에서는 레이더 FEM과 신호처리 알고리즘을 검증하기 위한 로깅 시스템의 하드웨어 및 소프트웨어 플랫폼을 개발했다. 개발된 시스템은 챔버실에서 고정 및 이동 표적 시나리오를 기반으로 24GHz 다중 채널 FMCW FEM과 함께 검증 하였다. 검증 결과 실시간으로 레이더 데이터가 저장됨을 확인했고, 기본 신호처리 알고리즘을 사용하여 거리, 속도 프로파일이 정확하게 추출됨을 확인했다.

향후 개발된 로깅 시스템으로 다양한 레이더 FEM 및 알고리즘을 구현 및 테스트 할 예정이다. 본 시스템은 실시간으로 테스트 및 모니터링이 가능하기 때문에 매우 효율적인 개발이 가능할 것으로 기대된다.

References

[1] B. R. Mahafza, "Radar Systems Analysis and Design Using MATLAB," 3rd ed., CRC Press: Boca Raton, FL, USA, 2013.

[2] M. A. Richards, "Fundamentals of Radar Signal Processing," Tata McGraw-Hill Education, NY, USA, 2005.

[3] E. Hyun, Y. S. Jin, J. H. Lee, "Design and Implementation of 24 GHz Multichannel FMCW Surveillance Radar with a Software-Reconfigurable Baseband," Hindawi Journal of Sensors, Vol. 2017, Article ID 3148237, pp. 1-11, 2017.

[4] E. Hyun, S. D. Kim, Y. H. Ju, J. H. Lee, E. N. You, J. H. Park, D. J. Yeom, S. H. Park, S. G. Kim, "FPGA Based Signal Processing Module Design and Implementation for FMCW Vehicle Radar Systems," Proceedings of 2011 IEEE CIE International Conference on Radar, Chengdu, China, pp. 24-27, 2011.

[5] Y. S. Jin, S. D. Kim, Y. H. Ju, J. H. Lee, "Development of Real-time LCA System based on Automotive Radar," The International Symposium on Advances in Embedded System and Applications, Lisbon, Portugal, pp. 21-25, 2016.

[6] Y. S. Jin, H. C. Jeon, Y. N. Shin, E. Hyun, "Development of Data Logging Platform of Multiple Commercial Radars for sensor fusion with AVM cameras," IEMEK J. Embed. Sys. Appl, Vol. 13, No. 4, pp. 169-178, 2018.

[7] E. Hyun, Y. S. Jin, J. H. Lee, "A Pedestrian Detection Scheme Using a Coherent Phase Difference Method Based on 2D Range-Doppler FMCW Radar," Hindawi Journal of Sensors, Vol. 16, No. 1, 2016.

Young Seok Jin (진영석)



2009 Communication Engineering from Daegu University (B.S.)
 2012 Communication Engineering from Daegu University (M.S.)
 2012~Daegu Gyeongbuk Institute of Science & Technology (Researcher)

Field of Interests: Radar signal processing, Implementation of FPGA/DSP
 Email: ysjin@dgist.ac.kr

Eugin Hyun (현유진)



1999 Electronic Engineering from Yeungnam University (B.S.)
 2001 Electronic Engineering from Yeungnam University (M.S.)
 2005 Electronic Engineering from Yeungnam University (Ph. D)

2008 Business Administration, Korea National Open University (B.S.)

Career:

2005~ DGIST, Department of Future Automotive Technology (Principal Engineer)
 2019~2026 Radio Research Center for Advanced Intelligent Radar Sensor Technology (additional position)
 2007~2018 Adjunct Professor, the Undergraduate Colleges, Yeungnam University
 2018 Guest Researcher, Intelligent Radar System & Signal Processing Lab., Postech

Field of Interests: Radar signal processing (detection, tracking, classification) and machine learning of FMCW & CW radar, Automotive applications for all-round and in-cabin, Smart city applications for surveillance and human monitoring, and multi-sensor fusion for commercial applications.
 Email: braham@dgist.ac.kr