

대역폭 증가 기법을 사용한 저전력 전압 제어 발진기

이원영* · 이계민**

A Low Power Voltage Controlled Oscillator with Bandwidth Extension Scheme

Won-Young Lee* · Gye-Min Lee**

요약

본 논문은 저항과 캐패시터로 구성된 필터를 사용한 저전력 전압 제어 발진기를 소개하고 있다. 제안하는 전압 제어 발진기는 5단의 전류모드 버퍼로 구성되어 있으며, 각 버퍼 셀마다 저항-캐패시터 필터가 입력단과 출력단 사이에 연결되어 있다. 필터는 버퍼 셀 회로에 영점을 추가하게 되며, 영점은 회로 발진 조건을 고주파 대역으로 이동시킴으로써 낮은 전력 소모에도 높은 출력 주파수를 낼 수 있게 한다. 제안하는 회로는 0.18 μm CMOS 공정으로 설계되었다. 소모 전력은 2.7 GHz 에서 9.83 mW를 소모한다. 기존 회로와 전력 효율을 비교했을 때, 기존 회로는 4.79 pJ/Hz이고 제안하는 회로는 3.64 pJ/Hz로 기존 회로 대비 전력 소모량을 24 % 감소시켰다.

ABSTRACT

This paper introduces a low-power voltage-controlled oscillator(VCO) with filters that consist of resistors and capacitors. The proposed VCO contains a 5-stage current mode buffer, and each buffer cell has a resistor-capacitor filter that connects input and output terminals. The filter adds a zero to the buffer cell. Because the zero moves the oscillation condition to high frequencies, the proposed VCO can generate a high frequency clock with low power consumption. The proposed circuit has been designed with 0.18 μm CMOS process. The power consumption is 9.83 mW at 2.7 GHz. The proposed VCO shows 3.64 pJ/Hz in our simulation study, whereas the conventional circuit shows 4.79 pJ/Hz, indicating that our VCO achieves 24% reduction in power consumption.

키워드

Voltage Controlled Oscillator, Clock, Bandwidth
전압 제어 발진기, 클럭, 대역폭

1. 서론

반도체 회로 부품은 가전과 모바일 기기에서부터 자동차까지 일상생활에서 사용하는 모든 제품에 필수적으로 사용되고 있다. 대표적인 회로 부품에는 프로

세서, 메모리, RF 모듈, 디스플레이 드라이버, 센서 등이 있으며 아날로그 회로와 디지털 회로가 조합되어 각각의 기능을 수행하게 된다.

회로 부품이 기능을 수행하기 위해서는 안정적인 전원과 노이즈가 적은 클럭 신호의 공급이 필수적이

* 서울과학기술대학교 전자IT미디어공학과
(wylee@seoultech.ac.kr)

** 교신저자 : 서울과학기술대학교 전자IT미디어공학과
• 접수일 : 2021. 01. 22
• 수정완료일 : 2021. 02. 04
• 게재확정일 : 2021. 02. 17

• Received : Jan. 22, 2021, Revised : Feb. 04, 2021, Accepted : Feb. 17, 2021

• Corresponding Author : Gye-Min Lee

Dept. Electronic and IT Media Engineering, Seoul National University of Science and Technology,

Email : gyemin@seoultech.ac.kr

다. 전자제품에 요구되는 특성이 점점 고도화됨에 따라 회로 소모 전력과 구동 속도, 즉, 클록 주파수가 상승하게 되는데, 소모 전력과 구동 속도는 식 (1)과 같이 비례 관계를 가지고 있다[1].

$$P = \alpha C V_{DD}^2 f_{clock} \quad (1)$$

α 는 신호 스위칭 비율, C 는 회로 내의 모든 출력 노드의 정전 용량, V_{DD} 는 공급전압, f_{clock} 은 클록 주파수를 의미한다. 디지털 회로의 경우는 클록 신호는 신호 처리를 위한 순차 논리회로와 파이프라인 구조 등에 사용되며, RF 회로나 아날로그-디지털 변환기와 같은 회로에서는 변조된 신호로부터 데이터를 추출하거나, 신호를 샘플링하는데 클록 신호가 사용된다[2-5].

동작 속도의 증가는 클록을 사용하는 회로의 전력 증가뿐 아니라 소모 전력 또한 증가시키게 된다. 클록 신호 주기 시간 내에 논리 값 1과 0을 반복해야하기 때문에 주기가 짧아질수록 신호 천이 시간이 짧아져야 한다. 일반적인 회로의 천이 시간은 출력 단자의 총 정전 용량과 구동 회로의 출력 저항 값의 곱에 비례하게 된다. 따라서 빠른 천이 시간을 갖기 위해서는 출력 저항 값을 줄여야 하며 이는 출력 전류가 증가해야함을 의미한다. 그러나 클록 생성 회로는 출력 신호가 주기 마다 스위칭하기 때문에 주파수 증가에 따른 전력 소모 증가 비율이 매우 크다는 특징이 있다. 따라서 높은 성능의 저 전력 집적회로를 설계하는데 있어 저전력, 저노이즈 클록 생성 회로의 설계가 기본이자 필수임을 알 수 있다[6].

본 연구에서는 낮은 전력 소모에도 높은 주파수 출력을 얻기 위해 수동 소자 필터를 사용한 대역폭 증가 기법을 적용한 전압 제어 발진기의 구조를 제안하고 있다. 높은 공통 모드 제거비 특성과 높은 주파수를 출력할 수 있도록 기본 구조는 전류 모드 로직의 차동 신호 회로를 사용하였다. 다음 장에서는 전압 제어 발진기의 동작 원리에 대해서 설명하며, 제 3장에서는 제안하는 회로의 구조에 대해서 설명한다. 제 4장에서는 시뮬레이션을 통해 기존 회로와 제안하는 회로의 차이점에 대해 검증한다. 제 5장에서는 제안하는 회로의 구조와 특성에 대해 정리한다.

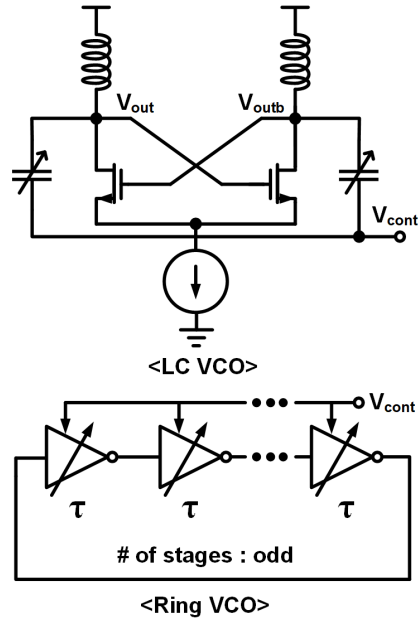


그림 1. LC VCO와 Ring VCO의 구조
Fig. 1 Structures of LC VCO and Ring VCO

II. 발진기 동작 원리

발진기는 과거 텔레비전용 전자 통신 시스템을 위한 저항-캐패시터 형태의 멀티타이브레이터에서부터 전압 제어, 전류 제어, 디지털 제어 발진기까지 다양한 형태로 발전했다[7]. 그림 1은 가장 널리 사용되는 형태의 전압 제어 발진기(VCO)를 보여주고 있다. VCO의 형태는 집적 회로 시스템이 요구하는 클록 특성에 의해 결정되며, 인덕터와 캐패시터 간의 공진 현상을 이용한 LC-VCO와 입출력 신호 간 지연 현상을 이용한 Ring VCO로 나뉜다. LC-VCO는 낮은 위상 잡음 특성을 보여주는 장점이 있지만, 설계에 필요한 칩 면적이 큰 단점이 있다. 반면, Ring VCO의 경우는 설계 난이도가 낮고 구현에 필요한 칩 면적이 상대적으로 작은 장점이 있지만 위상 잡음이 LC-VCO 대비 높은 단점이 있다. 위상 잡음이란 그림 2에서 볼 수 있듯이 주파수 스펙트럼 상에서 출력 신호의 주파수 성분 중 설계 목표 출력 주파수(f_{osc})를 제외한 나머지 주파수 성분의 신호를 의미한다. 예를 들어 위상

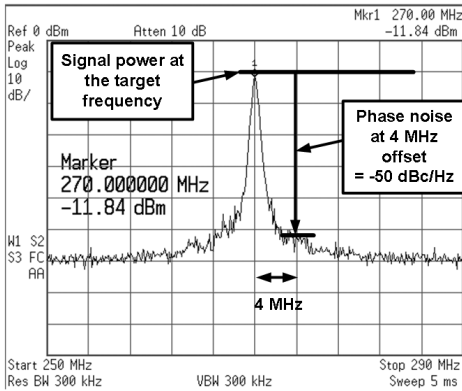


그림 2. 클럭 신호의 주파수 스펙트럼
Fig. 2 Frequency spectrum of a clock signal

잡음이 전혀 없는 출력 클럭 신호라면 스펙트럼 그래프에 출력 주파수 위치에 임펄스 신호가 하나 존재하게 되며, 만약 1 MHz의 위상 잡음만 가진 클럭 신호라고 한다면 스펙트럼 그래프에는 f_{osc} 와 $f_{osc} + 1$ MHz 위치에 각각 임펄스 신호가 존재하게 된다. 실제 클럭 신호에는 주파수 영역에서 연속적으로 위상 잡음이 발생하게 되며 위상 잡음의 크기는 오프셋 주파수에서의 신호 크기와 목표 출력 주파수의 신호 크기를 차이로 정의한다. 그림 2와 같이 목표 출력 주파수 270 MHz 대비 4 MHz 오프셋인 274 MHz에서 신호의 크기가 -62 dBm이고 출력 주파수 270MHz에서 -12 dBm 이라고 한다면 4 MHz 오프셋에서 -50 dBc/Hz의 위상 잡음이 존재하는 것이다. 좋은 품질의 클럭 신호를 만들기 위해서는 넓은 오프셋 주파수 범위에서 위상 잡음의 크기가 작아야 하며 이를 위해 LC 형태의 발진기, 주입 고정 발진기 (injection-locked oscillator), 부귀환 회로 등을 사용할 수 있다[8].

그림 3은 발진기의 주파수 영역에 대한 소신호 모델을 보여주고 있다. 출력 신호가 발진하기 위해서는 정 귀환 구조를 가져야 하며 입출력에 대한 폐 루프 이득은 아래 식 (2)와 같다.

$$G(j\omega) = \frac{Y(j\omega)}{X(j\omega)} = \frac{A(j\omega)}{1 - A(j\omega)\beta(j\omega)} \quad (2)$$

출력이 발진하기 위해서는 발진 주파수 ω_0 에서 $G(j\omega)$

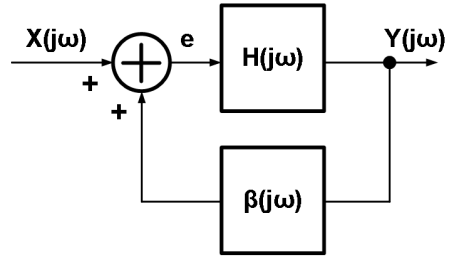


그림 3. 발진기의 소신호 모델
Fig. 3 Small-signal model of an oscillator

가 무한대가 되어야 한다. 따라서 루프 이득 $H(j\omega_0) = A(j\omega_0)\beta(j\omega_0) = 1$ 이라는 조건을 만족해야 발진기의 출력이 주기를 가진 신호가 된다[9]. 따라서 발진기를 설계할 때 목표 출력 주파수에서 루프 이득이 1이 될 수 있도록 설계하는 것이 매우 중요하다. 루프 이득이 모든 동작 주파수에서 1 보다 작은 경우 출력 신호가 동작 초기에는 발진을 하지만 시간이 지나면서 신호의 크기가 감소하여 사라져 안정화된 상태가 된다. 또는 루프 이득이 목표 주파수가 아닌 다른 주파수에서 1보다 크다면 출력 주파수에 오차가 발생하게 된다. 이러한 문제를 해결하기 위해 외부 제어 전압을 사용하여 루프이득 특성을 조정할 수 있으며, 루프 이득이 1이 되는 주파수를 조정하는 것이 바로 전압 제어 발진기 이다.

III. 제안된 전압 제어 발진기

그림 4는 제안하는 전압 제어 발진기의 구조를 보여주고 있다. 전압 제어 발진기의 기본적인 지터와 듀티사이클 특성을 확보하기 위해 CMOS 로직 회로 구조 대신 전류모드 회로 구조와 차동 신호 구조를 사용하였다. 총 5단으로 구성된 셀의 동작 주파수는 2.7 GHz를 목표로 설계되었다. 생성된 클럭 신호가 5단의 셀을 통과했을 때 180도의 위상차이가 발생하므로 각 단의 출력부에서는 36도씩의 위상 차를 가지는 클럭 신호가 생성된다. 회로의 출력 구조가 차동임을 고려하면 제안하는 발진기는 총 10개의 신호를 출력할 수 있으며, 각각 출력 클럭 신호의 위상은 36도 간격으로 0, 36, 72, ..., 252, 288, 324도의 위상을 가진다.

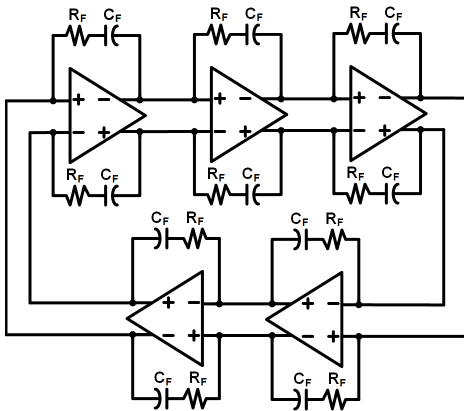


그림 4. 제안하는 전압제어발진기의 구조
Fig. 4 Structure of the proposed VCO

일반적인 전압 제어 발진기와 다른 점은 입력과 출력 단 사이에 저항과 캐패시터로 구성된 필터가 연결되어 있다는 것인데, 저항과 캐패시터는 발진기 회로의 대역폭을 증가시킴으로서 높은 주파수 대역에서 출력이 발진하는 조건을 만들어 준다. 이를 통해 사용 전력 대비 출력 주파수 증대 효과를 얻을 수 있다.

그림 5는 발진기 기본 셀의 회로도를 보여주고 있다. 전류모드 회로 형태의 구조로써 차동 신호를 입력 받아 차동 신호를 출력한다. 회로의 바이어스 전류는 레플리카 바이어싱 회로를 통해서 생성되며 1개의 바이어싱 회로가 5개의 셀에 바이어스 전압을 공급한다. 전압제어발진기 출력 클럭의 주기 값은 각 셀의 입력-출력간 지연시간을 모두 더한 값의 2배이므로 제어 전압(V_{CONT})을 통해 셀 지연시간을 조정하면 출력 클럭 주파수를 변경할 수 있다. 본 회로에서는 출력 주파수를 변경하기 위해 V_{CONT} 가 셀 회로의 로드 저항 값을 조정하게 된다. 로드 저항과 로드 캐패시턴스는 회로의 -3 dB 주파수를 결정하므로 로드 저항의 변화는 -3 dB 주파수의 변화를 의미한다. V_{CONT} 에 의해 셀 회로의 -3 dB 주파수가 변경되면 셀 회로의 입출력 간 위상 특성이 변화하므로 이를 통해 셀 입력-출력 간 지연시간을 제어한다. 아래 식 (3)은 소신호 등가모델을 통해 구한 VCO 셀 회로의 전달함수를 보여주고 있다.

$$G(s) = \frac{-g_{m1}R_O\{s(\tau_F - C_F/g_m) + 1\}}{s^2\tau_F\tau_L + s(\tau_F + \tau_L + C_FR_O) + 1} \quad (3)$$

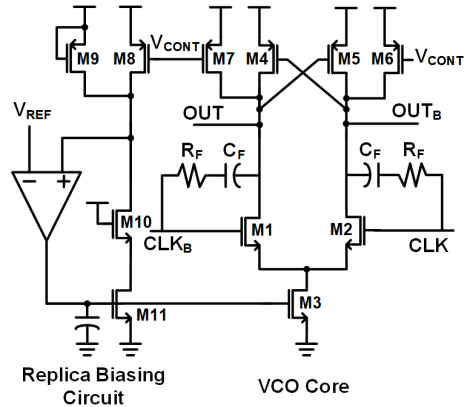


그림 5. 전압제어발진기 셀의 회로도
Fig. 5 Schematic of the VCO cell

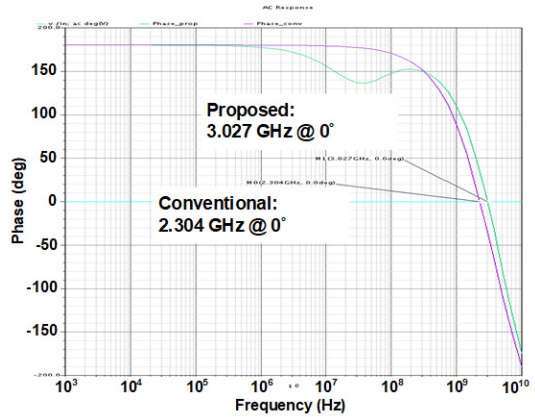


그림 6. 제안하는 전압 제어 발진기의 개방루프 주파수 특성

Fig. 6 Open-loop frequency response of the proposed VCO cell

g_m 은 입력단의 전달컨덕턴스이며, R_O 는 M1, M4, M7의 드레인 저항의 병렬 합이다. τ_F 와 τ_L 는 각각 R_FC_F , R_OC_L 을 의미한다. 기본적인 전류모드 형태의 차동 버퍼 구조는 전달함수가 1개의 극점으로 구성되지만 제안하는 VCO 셀 회로는 R_F 와 C_F 직렬 필터로 인해 1개의 영점과 2개의 극점으로 구성된다. 새롭게 추가된 영점을 통해 위상 특성을 변화 시켜 낮은 전력 소모 없이 높은 주파수 대역에서 발진 조건을 만족할 수 있게 된다.

그림 6은 필터를 연결하지 않은 셀과 필터를 연결

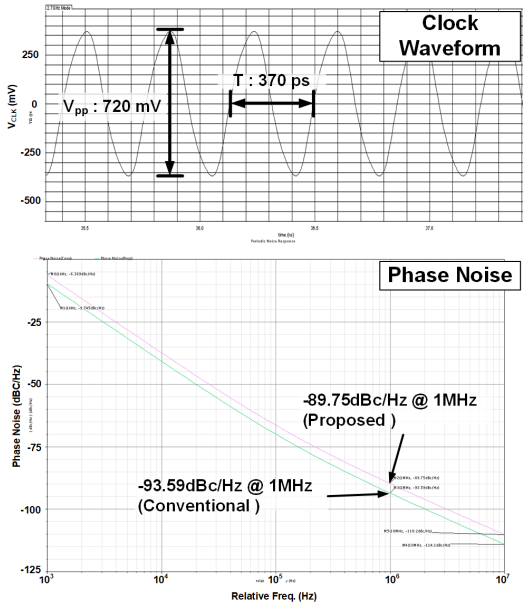


그림 7. 출력 클록의 신호 파형과 위상 잡음
Fig. 7 Waveform and phase noise of the output clock

한 셀을 사용한 5단 VCO 개방루프 회로의 주파수 위상 특성을 보여주고 있다. VCO의 루프를 구성할 때 위상을 반대로 연결하므로 개방루프의 입출력 위상 차이가 0도가 되는 주파수 지점에서 회로의 출력이 발진하게 된다. 필터를 연결하지 않은 경우 2.304 GHz에서 발진 조건을 만족한 반면, 제안한 회로는 3.027 GHz에서 발진 조건을 만족하였다. 이 때 각 단마다 공급되는 바이어스 전류는 0.826 mA로 동일하고, V_{CONTR} 전압도 1.2 V로 동일하였다. 기존 회로와 제안하는 회로의 5단 전체 개방루프 전압 이득은 3.0 GHz에서 각각 6.5 V/V와 3.51 V/V로 확인되었다. 필터를 추가함으로써 기존 회로 대비 전압이득이 감소했으나 발진의 기본 조건 1 V/V은 만족하였다.

IV. 시뮬레이션 결과

그림 7은 제안하는 전압제어발진기의 출력 신호의 파형과 위상 잡음 특성을 보여주고 있다. 전압제어발진기 출력 클록의 크기는 2.7 GHz 주파수에서 720 mV_{pp}이며, 출력 클록의 위상 잡음은 1 MHz 오프셋에서 -89.75 dBc/Hz로 측정되었다. 출력 클록 주파수를 2.7 GHz로 동일하게 설정한 기존 전압제어발진

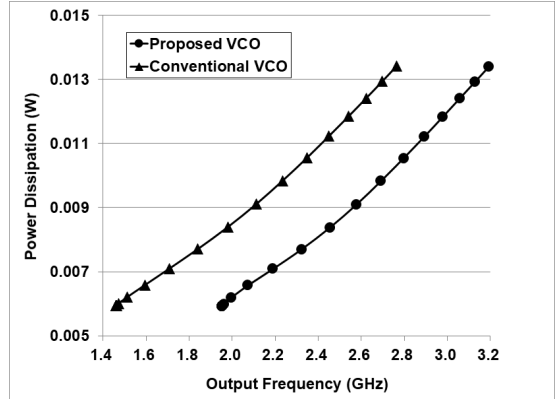


그림 8. 기존 회로와의 전력 소모 및 출력 주파수 비교
Fig. 8 Comparison on power dissipation and output frequency between the proposed and conventional circuits

기의 위상 잡음은 -93.59 dBc/Hz로 제안하는 회로보다 -3.84 dBc/Hz 더 낮게 측정되었는데 이는 기존 전압제어발진기의 소모 전력이 더 크고 따라서 출력 신호의 크기 때문이다. 그림 8은 기존 회로와 제안하는 회로의 출력 주파수 영역과 주파수 별 소모 전력을 보여주고 있다. 2.7 GHz를 출력하기 위해 기존 회로는 12.94 mW를 소모하는 반면 제안하는 회로는 9.83 mW를 소모하여 기존 회로 대비 전력 소모량을 24% 감소시켰다. 또한 동일한 전력 소모 범위 내에서 기존 회로는 1.472 GHz에서 2.763 GHz 까지 출력하는 반면, 제안하는 회로는 1.955 GHz에서 3.192 GHz 까지 출력하는 것을 볼 수 있다. 즉, 전력 효율 관점에서 기존 회로는 4.79 pJ/Hz이고 제안하는 회로는 3.64 pJ/Hz로 필터를 사용한 VCO에서 더 높은 전력 효율을 보여주고 있음을 확인할 수 있다.

제안하는 전압제어발진기는 0.18 μ m CMOS 공정을 사용하여 설계되었다. 공급 전압은 1.8 V이며, 소모 전력은 출력 주파수 2.7 GHz 조건에서 9.83 mW이다.

V. 결론

본 논문은 저항과 캐패시터 필터를 사용한 전압제어발진기 구조를 제안하고 있다. 필터에 의한 영점을 추가함으로써 신호 전달 시 위상 특성을 변화시켜 낮은 전력 소모에도 높은 주파수 대역에서 발진이 일어

날 수 있도록 하였으며, 이를 통해 기존 대비 전력 소모량을 24 % 감소시켰다. 회로의 구현은 0.18 μm CMOS 공정을 사용하였으며, 소모 전력은 출력 주파수가 2.7 GHz 일 때, 9.83 mW 이다.

감사의 글

이 연구는 서울과학기술대학교 교내연구비의 지원으로 수행되었습니다.

References

[1] D. A. Hodges, *Analysis and Design of Digital Integrated Circuits 3rd Ed.*, New York: McGraw-Hill, 2003.

[2] A. Ali, "A 14Bit 1GS/s RF Sampling Pipelined ADC With Background Calibration," *IEEE J. of Solid-State Circuits*, vol. 49, no. 12, Dec. 2014, pp. 2857-2865.

[3] P. S. Kim, B. H. Kwon, M. Kim, and H. Yoon, "Converting Analog to Digital Signals on the X-band Radar," *J. of the Korea Institute of Electronic Communication Science*, vol. 13, no. 3, 2018, pp. 497-502.

[4] Y. Chai, "Development of a Flash ADC with an Analog Memory," *J. of the Korea Institute of Electronic Communication Science*, vol. 6, no. 4, 2011, pp. 545-552.

[5] S. Park, H. Kim, D. Lee, and S. Kim, "A Low Power Current-Mode 12-bit ADC using 4-bit ADC in cascade structure," *J. of the Korea Institute of Electronic Communication Science*, vol. 14, no. 6, 2019, pp. 1145-1152.

[6] C. Jung and W. Lee, "A Low Jitter Delay-Locked Loop for Local Clock Skew Compensation," *J. of the Korea Institute of Electronic Communication Science*, vol. 14, no. 2, 2019, pp. 309-316.

[7] D. Lee and P. P. Mercier, "A Sub-mW 2.4-GHz Active-Mixer-Adopted Sub-Sampling PLL Achieving an FoM of -256 dB," *IEEE J. of Solid-State Circuits*, vol. 55, no. 6, 2020, pp. 1542-1552.

[8] M. V. Kiebert and A. F. Inglis, "Multivibrator Circuits," *Proc. of the IRE*, vol. 33, no. 8, 1945, pp. 534-539.

[9] S. Jeong, K. Min, S. Lee, J. Jeong, and S. Lee, "The Study on Single Injection Locking Phenomenon for Multi-Frequency Generator Design," *J. of the Korea Institute of Electronic Communication Science*, vol. 14, no. 6, 2019, pp. 1037-1044.

[10] H. Barkhausen, *Lehrbuch der Elektronen-Röhren und ihrer technischen Anwendungen: Rückkopplung 3rd ed.*, Leipzig: Hirzel, 1935.

저자 소개



이원영(Won-Young Lee)

2006년 KAIST 전기 및 전자공학과 졸업(공학사)
2008년 KAIST 대학원 전기 및 전자공학과 졸업(공학석사)

2012년 KAIST 대학원 전기 및 전자공학과 졸업(공학박사)
2012~2015년 삼성전자 메모리사업부 책임연구원
2015년~현재 서울과학기술대학교 전자IT미디어공학과 조교수
※ 관심분야 : VLSI, High-speed Serial Interface



이계민(Gye-Min Lee)

2001년 서울대학교 전기공학부 (공학사)
2006년 University of Michigan EECS (공학석사)
2011년 University of Michigan EECS (공학박사)

2011~2012년 University of Michigan, Research Fellow
2013년~현재 서울과학기술대학교 전자IT미디어공학과 부교수
※ 관심분야 : Machine Learning, Signal Processing